

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月4日(04.08.2016)



(10) 国際公開番号
WO 2016/121131 A1

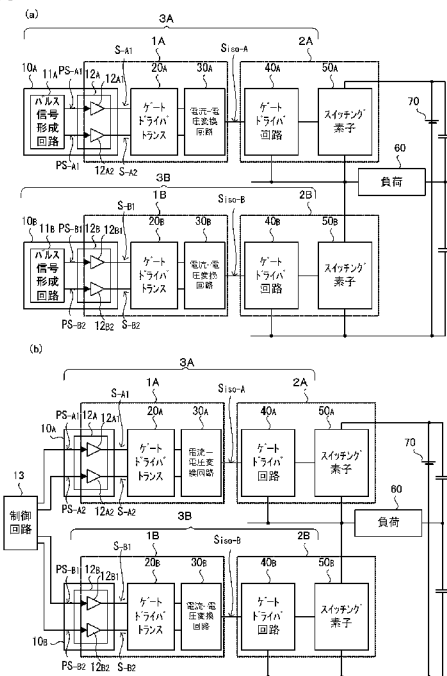
- (51) 国際特許分類: H02M 1/08 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2015/054726
- (22) 国際出願日: 2015年2月20日(20.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2015-016741 2015年1月30日(30.01.2015) JP
- (71) 出願人: 株式会社京三製作所 (KYOSAN ELECTRIC MFG. CO., LTD.) [JP/JP]; 〒2300031 神奈川県横浜市鶴見区平安町2丁目29番地の1 Kanagawa (JP).
- (72) 発明者: 譲原 逸男 (YUZURIHARA, Itsuo); 〒2300031 神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社京三製作所内 Kanagawa (JP). 國玉 博史 (KUNITAMA, Hiroshi); 〒2300031 神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社京三製作所内 Kanagawa (JP).
- (74) 代理人: 塩野入 章夫 (SHIONOIRI, Akio); 〒2510024 神奈川県藤沢市鶴沼橋1丁目1番4号 藤沢セントラルビル6階 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: HIGH-FREQUENCY-ISOLATION GATE DRIVER CIRCUIT AND GATE CIRCUIT DRIVING METHOD

(54) 発明の名称: 高周波絶縁ゲートドライバ回路、及びゲート回路駆動方法

[図1]



11A, 11B... PULSE SIGNAL FORMATION CIRCUIT
 13... CONTROL CIRCUIT
 20A, 20B... GATE DRIVER TRANSFORMER
 30A, 30B... CURRENT-VOLTAGE CONVERSION CIRCUIT
 40A, 40B... GATE DRIVER CIRCUIT
 50A, 50B... SWITCHING ELEMENT
 60... LOAD

(57) Abstract: In an isolation circuit configuration for a gate driver circuit for isolation of high frequencies in the band from 1 MHz to 1000 MHz using a transformer, the present invention makes an excitation current reset period unnecessary, suppresses the occurrence of noise current by eliminating the occurrence of a post-reset self-resonance phenomenon, and suppresses switching element malfunctioning resulting from noise. In the driving of a plurality of gate circuits using a high-frequency signal, in a configuration for isolating an input signal for driving using a gate drive transformer, causing the excitation current flowing through the primary coil of the gate drive transformer to constantly alternately flow in both directions without interruption makes a reset period resulting from the flow of excitation current in one direction only unnecessary, suppresses the occurrence of noise current by eliminating the occurrence of a post-reset self-resonance phenomenon, and suppresses switching element malfunctioning resulting from noise.

(57) 要約: 1MHz から 100MHz 帯の高周波絶縁ゲートドライバ回路のトランスを用いた絶縁回路構成において、励磁電流のリセット期間を不要とし、リセット後の自己共振現象の発生を解消してノイズ電流の発生を抑制し、ノイズによるスイッチング素子の誤動作を抑制する。高周波信号による複数のゲート回路の駆動において、ゲートドライバトランスによる駆動入力信号を絶縁する構成においてゲートドライバトランスの一次側コイルに流れる励磁電流を交互に両方向に断続することなく常時流すことによって、励磁電流が片方向のみに流れることに起因するリセット期間を不要とすると共に、リセット後の自己共振現象の発生を解消し、自己共振現象によるノイズ電流の発生を抑制し、ノイズによるスイッチング素子の誤動作を抑制する。

WO 2016/121131 A1

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 規則 4.17 に規定する申立て:
— 発明者である旨の申立て (規則 4.17(iv))
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
— 補正された請求の範囲及び説明書 (条約第 19 条(1))

明 細 書

発明の名称：

高周波絶縁ゲートドライバ回路、及びゲート回路駆動方法

技術分野

[0001] 本願発明は、半導体スイッチング素子のゲート回路を駆動するゲートドライバ回路およびゲート回路の駆動方法に関し、1MHzから100MHzの高周波電力を出力する高周波増幅装置に適応する。

背景技術

[0002] インバータ等の電力変換装置では、負荷を駆動するスイッチング素子のゲート回路を主電源と直列接続し、ブリッジ回路等によって負荷の電流方向を切り換えている。

[0003] 図9(a)は電力変換装置の構成例を示している。ここでは、スイッチング素子101A～101Dでフルブリッジを構成し、駆動電源103と負荷104との接続を切り換える例を示している。

[0004] スwitching素子101A～101Dはそれぞれゲートドライバ回路102A～102Dによってオン／オフが制御されている。

[0005] ゲートドライバ回路102A及びゲートドライバ回路102Cは高圧側の入力信号S-A及びS-Cによってスイッチング素子101A及びスイッチング素子101Cのオン／オフを制御し、ゲートドライバ回路102B及びゲートドライバ回路102Dは低圧側の入力信号S-B及びS-Dによってスイッチング素子101B及びスイッチング素子101Dのオン／オフを制御し、負荷104に対する電流方向の切り換えを行う。

[0006] このゲートドライバ回路は、高圧側及び低圧側のゲートドライバ回路のオン／オフ状態によって、低圧側のスイッチング素子101B、101Dの基準電位は変動しないものの、高圧側のスイッチング素子101A、101Cの電位は浮動状態にあり基準電位が変動するため、高圧側と低圧側の基準電位が異なり、短絡の要因となる。

- [0007] この短絡を避けるためには高圧側と低圧側のスイッチング素子の基準電位を電位的に浮動状態にする必要がある。スイッチング素子の基準電位を電位的に浮動状態とするために、各スイッチング素子101A~101Dをオン/オフ制御するゲートドライバ回路102A、102Cへの入力信号S-A~S-Dを電氣的に絶縁する必要がある。
- [0008] 図9(b)は絶縁素子を用いた電力変換装置の構成例を示している。ここでは、スイッチング素子101A、101Bでハーフブリッジを構成し、駆動電源103と負荷104との接続を切り換える例を示している。
- [0009] ゲートドライバ回路102A、102Bの入力側には絶縁素子105A、105Bが接続され、絶縁素子105A、105Bによって入力信号S-A、S-Bと絶縁駆動信号S_{iso}とは電氣的に絶縁される。ゲートドライバ回路の入力信号を電氣的に絶縁する絶縁素子としてフォトカプラやパルストランスが知られている。(特許公報1, 2)
- [0010] なお、パルストランスはゲート回路を駆動するトランスとして用いられゲートドライバトランスとも呼ばれる。
- [0011] 図10はフォトカプラを用いた回路例を示している。図10(a)に示す駆動回路では、スイッチング素子101A、101Bを駆動するゲートドライバ回路102A、102Bにフォトカプラ105A、105Bを接続することによって、入力信号S-Aと絶縁駆動信号S_{iso-A}との絶縁、及び入力信号S-Bと絶縁駆動信号S_{iso-B}との絶縁を行っている。
- [0012] なお、高周波MOS-FET等のスイッチング素子101と、FETドライバ等のゲートドライバ回路102とを合わせてドライバ内蔵RF-MOSモジュールを構成することができる。
- [0013] 図10(b)は駆動信号波形を示している。(b-1)は高圧側の入力信号S-Aを示し、(b-3)はフォトカプラで絶縁して得られる高圧側の絶縁駆動信号S_{iso-A}を示している。また、(b-2)は低圧側の入力信号S-Bを示し、(b-4)はフォトカプラで絶縁して得られる低圧側の絶縁駆動信号S_{iso-B}を示している。

- [0014] 図11はゲートドライバトランス（パルストランス）を用いて絶縁を行う回路例を示している。図11（a）に示す駆動回路では、スイッチング素子101A、101Bを駆動するゲートドライバ回路102A、102Bに自由磁化トランス回路106A、106Bを接続することによって、入力信号S-Aと絶縁駆動信号Siso-Aとの絶縁、及び入力信号S-Bと絶縁駆動信号Siso-Bとの絶縁を行っている。図11（a）に示す回路例においても図10（a）の回路例と同様に、高周波MOS-FET等のスイッチング素子101A、101Bと、FETドライバ等のゲートドライバ回路102A、102Bとを合わせてドライバ内蔵RF-MOSモジュールを構成することができる。
- [0015] 図11に示した自由磁化トランス回路106A、106Bは、ゲートドライバトランス（パルストランス）をフォワード方式で構成した絶縁回路であり、ゲートドライバトランス（パルストランス）106aの一次側コイルにFET106bを直列接続すると共に、一次側コイルに整流ダイオードと抵抗の直列回路を並列接続し、二次コイル側の出力端に整流回路106dを接続して構成される。
- [0016] 自由磁化トランス回路106では、トランスを片方向のみで励磁し、スイッチング素子がオフ状態にある期間においてコイルに蓄積されたエネルギーを放出することで磁化状態をリセットする。一次側コイルに並列接続される整流ダイオードと抵抗の直列回路は、リセット回路（スナバ回路）106cを構成している。
- [0017] ここでは、磁化されたコイルの磁化状態のリセットを、コイルに蓄積されたエネルギーの自然放出によって行っている。この磁化状態のリセットは外部作用によらず自由に行わせることから“自由磁化”と称している。
- [0018] 図11（b）は駆動信号波形を示している。（b-1）は高圧側の入力信号S-Aを示し、（b-2）は低圧側の入力信号S-Bを示し、（b-3）はゲートドライバトランスで絶縁して得られる高圧側の絶縁駆動信号Siso-Aを示し、（b-4）はゲートドライバトランスで絶縁して得られる低圧側の絶縁駆動信号Siso

-Bを示している。

先行技術文献

特許文献

[0019] 特許文献1：特許第5416673号

特許文献2：特開2008-270548号

発明の概要

発明が解決しようとする課題

[0020] 絶縁素子としてフォトカプラを用いた回路構成では、以下のような問題点がある。

(1) フォトカプラを用いた場合には、絶縁の前後で信号に位相差が生じるという問題がある。

[0021] 図10(b-1)の入力信号S-Aと図10(b-3)の絶縁駆動信号S_{iso}-Aとの比較で示す様に、フォトカプラ自身の伝送遅延によって遅れが生じ、絶縁後の絶縁駆動信号S_{iso}-Aは絶縁前の入力信号S-Aに対して位相差が発生する。

[0022] (2) フォトカプラを用いた場合には、絶縁後の絶縁駆動信号のパルス幅が変動するという問題がある。

[0023] 図10(b-2)の入力信号S-Bと図10(b-4)の絶縁駆動信号S_{iso}-Bとの比較で示す様に、フォトカプラ内部の閾値のバラつきにより絶縁後の絶縁駆動信号S_{iso}-Bのパルス幅は絶縁前の入力信号S-Bと比較して増加又は減少する。

[0024] (1) および(2)の問題により、高周波のゲート信号を絶縁するためにフォトカプラを使用する場合は、絶縁後の絶縁駆動信号に何らかの補正が必要となる。絶縁後駆動信号を補正しない場合は、負荷がトランスで構成されていると、印加される正負の電圧時間積に差が生じるためトランスが偏磁するという問題が生じる。

[0025] (3) フォトカプラを用いた場合には、フォトカプラの動作のバラつきにより高圧側と低圧側のスイッチング素子間が短絡するという問題がある。

[0026] フォトカプラの動作にバラつきがある場合には、高圧側の絶縁駆動信号S_i

so-Aと低圧側の絶縁駆動信号 S iso-Bとの間のデットタイムは T_d-2 の様に短くなり、スイッチング素子 101Aとスイッチング素子 101BのRF-MOSFET間で上下短絡が発生する。

[0027] (4) 実際のフォトカプラでは、絶縁側の出力電流が数十 μ A~数mAと小さいためノイズに弱いという問題がある。

[0028] (5) フォトカプラの絶縁間に存在する寄生容量 C_{iso} を通して、高周波の変位電圧が抜けてくるため、フォトカプラが誤点弧するという問題がある。

[0029] 一方、自由磁化トランスを用いて絶縁を行う場合には、トランスを駆動するMOS-FET 106bの特性が同じであれば、入力信号と絶縁駆動信号との位相差及びパルス幅のずれを解消することができる他、トランスを駆動するMOS-FET 106bの性能次第によってはトランスの二次電流 I_2 を多く流すことが可能であるため、フォトカプラよりもノイズ耐性が高いという利点がある。

[0030] しかしながら、自由磁化トランスを用いる場合には以下のような問題点がある。なお、図11(c)は絶縁後の駆動信号波形を示している。

[0031] (6) 図11(c-3)に示すように、励磁電流(I_1 の破線及び斜線部分)をリセットするためにRESET期間が必要であり、RESET期間において、MOS-FET 106bの両端電圧 V_{ds} にサージ電圧が生じるという問題がある。

[0032] (7) RESET期間のため、図11(b-1)、(b-2)に示す入力信号S-Aと入力信号S-BのデューティDutyが大きくパルス幅が過大となると励磁電流のリセットが十分に行われず、トランスが偏磁するという問題がある。トランスが偏磁すると、ゲートドライバ回路のMOS-FETが破損するおそれが生じる。

[0033] (8) 図11(c-3)中のPで示す様に、励磁電流をリセットした後、一次側コイルの電流 I_1 がなくなるため、RESET期間後にコイルの漏れインダクタンスと漏れ寄生容量によって生じる自己共振現象によって、絶縁後の絶縁駆動信号S isoにノイズ分Qが乗りやすいという欠点がある。絶縁駆動信号S

isoのノイズ分Qは高圧側スイッチング素子101Aと低圧側のスイッチング素子101Bが短絡するおそれがある。

[0034] (9) MOS-FET106bの両端電圧 V_{ds} に発生したサージ電圧は、トランス106aを駆動するMOSFETのDS間の電圧を上昇させるため、MOS-FET106bの耐圧を高める必要がある。一般的に高耐圧のMOS-FETはスイッチング速度が遅くなる傾向にあるため、RF-MOSモジュールの駆動速度がトランス駆動用のMOS-FETの速度に制限されるおそれがある。

[0035] したがって、自由磁化トランスを用いた構成では、リセット期間が必要であり、かつリセット終了時に発生する自己共振現象によって過大な電圧が発生し、スイッチング素子のRF-MOSが再度オン状態となるという誤動作が発生しやすいという問題がある。この傾向は、周波数が高くなるほど顕著である。

[0036] 本発明は前記した従来の問題点を解決し、トランスを用いた絶縁回路構成において、励磁電流のリセット期間を不要とし、リセット後の自己共振現象の発生を解消することを目的とする。また、自己共振現象によるノイズ電流の発生を抑制し、ノイズによるスイッチング素子の誤動作を抑制することを目的とする。

課題を解決するための手段

[0037] 本願発明は、高周波信号による複数のゲート回路の駆動において、ゲートドライバトランスによる駆動用入力信号を絶縁する構成においてゲートドライバトランスの一次側コイルに流れる励磁電流を交互に両方向に断続することなく常時流すことによって、励磁電流が片方向のみに流れることに起因するリセット期間を不要とすると共に、リセット後の自己共振現象の発生を解消する。自己共振現象を発生させないことによって、自己共振現象によるノイズ電流の発生を抑制し、ノイズによるスイッチング素子の誤動作を抑制することができる。

[0038] 本願発明は、装置の態様、及び方法の態様とすることができる。なお、以

下では図 1 ～図 3 に示した符号に基づいて説明する。

[0039] [装置の態様]

装置の態様において、本願発明の高周波絶縁ゲートドライバ回路は、互いに絶縁した高周波信号によって複数のゲート回路を駆動する。

[0040] 高周波絶縁ゲートドライバ回路は、入力信号形成回路とゲートドライバトランスと電流－電圧変換回路とを備える。

[0041] (入力信号形成回路)

入力信号形成回路は、同じデューティ比で互いに位相ずれした相補の電圧信号の二つの入力信号 (S) を出力する。二つの入力信号は、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が同電位である同電位期間とを備える。二つの入力信号の各電位は、時系列で高電位と低電位とを交互に切り換わる。

[0042] 入力信号形成回路の一形態は、高周波パルス信号 (PS) を形成するパルス信号形成回路 (11) と、高周波パルス信号の二値に基づいて、高電位又は低電位の入力信号 (S) を出力する二つのゲートドライバトランス駆動素子 (12) を備える。

[0043] 入力形成信号回路の別の形態は、高周波パルス信号を形成する制御回路 (13) を備え、制御回路 (13) が形成する高周波パルス信号の二値信号に基づいて、高電位又は低電位の入力信号 (S) を出力する二つのゲートドライバトランス駆動素子 (12) を備える。

[0044] 高電位及び低電位の入力信号の一形態において、高圧側のゲートドライバトランス駆動素子は電源電圧に基づいて高電位の入力信号を形成し、低圧側のゲートドライバトランス駆動素子は接地電圧、又は零電圧を含む基準電圧に基づいて低電位の入力信号を形成する。なお、実際のゲートドライバトランス駆動素子は、素子内に電圧降下があるため、電圧降下分を差し引いた電圧が入力信号として形成される。

[0045] また、高電位及び低電位の入力信号の別の形態においては、高圧側のゲートドライバトランス駆動素子は正の電源電圧に基づいて高電位の入力信号を

形成し、低圧側のゲートドライバトランス駆動素子は負の電源電圧に基づいて低電位の入力信号を形成する。

[0046] (ゲートドライバトランス)

ゲートドライバトランス(20)は、一次側コイルの両端の各入力端子に、入力信号形成回路の各相の出力端子が接続される。ゲートドライバトランスは、入力信号(S)を入力し、この入力信号と絶縁した信号を形成する。

[0047] 本願発明が備えるゲートドライバトランスは、一次側コイルの両端に印加する二つの入力信号(S)に、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と共に、互いの相の電圧が同電位である同電位期間を備える。ゲートドライバトランス(20)の一次側コイルには、相補電位期間において励磁電流(i_m)および負荷電流(i_L)が流れ、同電位期間において励磁電流(i_m)が流れる。これによって、一次側コイルには全期間において励磁電流(i_m)が常時流れることになる。

[0048] 励磁電流(i_m)は、相補電位期間における高電位と低電位の関係が時系列で入れ替わることによって、一次側コイルの電流方向が反転するため、励磁電流をリセットさせるリセット期間を不要とすることができる。

[0049] また、同電位期間において一次側コイルに励磁電流が流れることによって、自己共振現象によるノイズ電流の発生を抑制することができる。

[0050] 本願発明の高周波絶縁ゲートドライバ回路が備えるゲートドライバトランスは、一次側コイルに全期間において励磁電流(i_m)が常時流れるため、コイルは常に磁化された状態に保持される。従来の絶縁回路に用いられる自由磁化トランスでは、励磁電流がリセットされた後に励磁電流が流れない期間があり、この期間ではコイルの磁束状態はゲートドライバトランス回路によって制御されない自由な状態にあり、この期間では自己共振現象によってノイズ電流が発生する場合がある。これに対して、本願発明のゲートドライバトランスは、ゲートドライバトランス回路によって一次側コイルに常に励磁電流を流しているため、コイルの磁束状態はゲートドライバトランス回路によって制御された、言わば拘束された状態となる。そこで、ここでは本願発

明が備えるゲートドライバトランスは、従来の自由磁化トランスに対して拘束磁化トランスと称する。

[0051] (電流－電圧変換回路)

電流－電圧変換回路(30)は、入力端子にゲートドライバトランス(20)の出力端子が接続され、ゲートドライバトランスの二次側コイルに流れる二次電流を電流－電圧変換し、得られた絶縁駆動信号(Siso)をゲート回路に出力する。

[0052] 本願発明の電流－電圧変換回路(30)は、抵抗と整流ダイオードとを並列接続してなる第1の並列回路と第2の並列回路とを直並列接続して構成することができる。

[0053] 第1の並列回路は、ゲートドライバトランスの二次側コイルの巻始め側において、整流ダイオードを順方向がゲート回路の方向となるように直列接続される。一方、第2の並列回路は、ゲートドライバトランスの二次側コイルの巻始め側と巻終わり側の間において、整流ダイオードを順方向がゲート回路の入力端の方向となるように並列接続される。

[0054] 本願発明の電流－電圧変換回路は、第1の並列回路において直列接続された抵抗、及び第2の並列回路において並列された抵抗によって、ゲートドライバトランスの二次側コイルに流れる電流を電圧に電流－電圧変換すると共に、各抵抗に並列接続された整流ダイオードの整流作用によって、ゲートドライバ回路側方向に向かう電流方向に整流することができる。第1の並列回路及び／又は第2の並列回路は、コンデンサを並列接続する構成としてもよい。

[0055] 本願発明の電流－電圧変換回路は複数の態様とすることができる。

[0056] 電流－電圧変換回路の第1の態様は、第1の並列回路の抵抗の抵抗値と第2の並列回路の抵抗の抵抗値によって、ゲートドライバトランスから見た入力インピーダンスを所定値に調整する。第1の並列回路の抵抗の抵抗値と第2の並列回路の抵抗の抵抗値を同等の値とすることによって、ゲートドライバトランスから出力側を見たインピーダンスが常に一定とすることができる。

。なお、ここで同等の抵抗値は同一の抵抗値に限らず許容分を含むものである。

[0057] 電流－電圧変換回路の第2の態様は、第1の並列回路の抵抗の抵抗値と第2の並列回路の抵抗の抵抗値を、ゲートドライバトランスと電流－電圧変換回路との間の伝送線路の特性インピーダンスと同じとなるように選定する。第2の態様によれば、ゲートドライバトランスの一次側に入力された入力信号を歪むこと無く絶縁駆動信号としてゲートドライバ回路に伝送することができる。

[0058] 電流－電圧変換回路の第3の態様は、ゲートドライバトランスの一次側又は二次側にコモンモードトランスを備え、コモンモードトランスの特性インピーダンスを、ゲートドライバトランスと電流－電圧変換回路との間の伝送線路の特性インピーダンスに合わせる。第3の態様によれば、コモンモードトランスによって、ゲートドライバトランスの一次側コイルと二次側コイルの間の寄生容量を通して抜ける同方向に流れるコモンモードノイズ電流を阻止し、変位電圧の影響を低減させることができる。

[0059] (回路構成の態様)

本願発明のゲート回路は、スイッチング素子と、スイッチング素子を駆動するゲートドライバ回路とにより高周波スイッチングモジュールを構成することができる。

[0060] ゲートドライバ回路は、電流－電圧変換回路から出力された絶縁駆動信号(Siso)によってスイッチング素子のオン／オフ制御を行う。このオン／オフ制御において、高周波スイッチングモジュールを単位として制御してもよい。

[0061] 本願発明の高周波絶縁ゲートドライバ回路はフルブリッジ又はハーフブリッジで構成することができる。ブリッジを構成する単位は、ゲート回路の他、高周波スイッチングモジュールとすることができる。

[0062] ゲート回路をブリッジの構成単位とする場合には、負荷に高電圧を印加する高電圧ゲート回路と負荷に低電圧を印加する低電圧ゲート回路の各入力端

にそれぞれ高周波絶縁ゲートドライバ回路を接続する。

[0063] 高周波スイッチングモジュールをブリッジの構成単位とする場合には、高圧側の高周波スイッチングモジュールと低圧側の高周波スイッチングモジュールの各入力端にそれぞれ電流－電圧変換回路を接続する。

[0064] [方法の態様]

本願発明のゲート回路駆動方法は、複数のゲート回路を、互いに絶縁した複数の高周波信号で駆動する方法であり、ゲートドライバトランス（20）の一次側コイルの両端の各入力端子に、同じデューティ比で互いに位相ずれした相補の電圧信号であって、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が同電位である同電位期間とを、各電位を時系列で高電位と低電位とで交互に切り換えて備える二つの入力信号（S）を印加し、ゲートドライバトランス（20）の一次側コイルにおいて、相補電位期間において励磁電流および負荷電流を流し、同電位期間において励磁電流を流し、ゲートドライバトランス（20）の二次側コイルに流れる二次電流を電流－電圧変換して得られる絶縁駆動信号（S_{iso}）をゲート回路に入力し、絶縁駆動信号（S_{iso}）によってゲート回路を駆動する。

[0065] 本願発明のゲート回路駆動方法によれば、一次側コイルの両端に印加する二つの入力信号（S）に、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と共に、互いの相の電圧が同電位である同電位期間を備え、ゲートドライバトランス（20）の一次側コイルに、相補電位期間において励磁電流（ i_m ）および負荷電流（ i_L ）を流し、同電位期間において励磁電流（ i_m ）を流す。この励磁電流の流れによって、一次側コイルには全期間において励磁電流（ i_m ）が流れることになる。

[0066] 励磁電流（ i_m ）は、相補電位期間における高電位と低電位の関係が時系列で入れ替わることによって、一次側コイルの電流方向が反転するため、励磁電流をリセットさせるリセット期間を不要とすることができる。また、同電位期間において一次側コイルに励磁電流が流れることによって、自己共振現象によるノイズ電流の発生を抑制することができる。

- [0067] 本願発明のゲート回路駆動方法において、ゲートドライバトランス（20）の二次側コイルに接続された電流－電圧変換回路（30）によって電流－電圧変換を行う。
- [0068] 電流－電圧変換回路は、それぞれ抵抗と整流ダイオードとを並列接続してなる第1の並列回路と第2の並列回路とを直並列接続して構成され、ゲートドライバトランスの二次側コイルの巻始め側において、抵抗と整流ダイオードとの並列接続回路であって、整流ダイオードの順方向を前記ゲート回路に向けて直列接続される第1の並列回路と、ゲートドライバトランスの二次側コイルの巻始め側と巻き終わり側の間において、抵抗と整流ダイオードとの並列接続回路であって、整流ダイオードの順方向をゲート回路の入力端に向けて並列接続される第2の並列回路とを直並列接続して構成され、ゲートドライバトランス（20）の二次側コイルに接続される。
- [0069] 入力信号（S）の差電圧が第1の並列回路の整流ダイオードの順方向に対して負電圧である期間において、絶縁駆動信号（S_{iso}）の電位を第2の並列回路の整流ダイオードによって順方向電圧分だけ逆方向にバイアスする。
- [0070] 入力信号（S）の差電圧が第1の並列回路の整流ダイオードの順方向に対して負電圧である期間は、第1の並列回路の入力側が低電位で、第2の並列回路を介して接続される第1の並列回路の出力側は高電位となり、電流－電圧変換回路に対して負電圧が印加される負電圧期間に相当している。
- [0071] 入力信号にノイズ分が発生して絶縁駆動信号が変動した場合であっても、ゲートドライバ回路のMOS－FETの入力端電圧は、ゲートドライバ回路の整流ダイオードの順方向電圧分だけ逆方向にバイアスされているため誤動作が防止され、ゲートドライバ回路でオン／オフ制御されるスイッチング素子のRF－MOSが同時にオン状態となって、高圧側のスイッチング素子と低圧側のスイッチング素子が短絡することを防ぐことができる。
- [0072] 本願発明のゲート回路駆動方法において、二つの入力信号の生成は二つのゲートドライバトランス駆動素子を用いて行うことができ、一方のゲートドライバトランス駆動素子に、二値の高周波パルス信号（PS）の高電位の信

号を印加して高電位の入力信号（S）を生成し、他方のゲートドライバトランス駆動素子に、二値の高周波パルス信号（PS）の低電位の信号を印加して低電位の入力信号（S）を生成する。

[0073] ゲートドライバトランスの絶縁作用、及び電流－電圧変換によって入力信号（S）から得られた絶縁駆動信号（Siso）をゲートドライバ回路に入力し、ゲートドライバ回路で駆動電圧を生成し、生成した駆動電圧によってゲート回路のスイッチング素子のオン／オフ制御する。

[0074] 絶縁駆動信号のデューティは、二つの入力信号（S）間の位相差を変更することによって調整することができる。このデューティ調整は、全期間にわたってインピーダンスを低インピーダンスに維持したまま行うことができる。

発明の効果

[0075] 以上説明したように、本発明によれば、ゲートドライバトランスを用いた絶縁回路において、励磁電流のリセット期間を不要とすることができ、リセット後の自己共振現象の発生を防ぐことができる。また、励磁電流が常時流れることによって自己共振現象によるノイズの発生を抑制し、スイッチング素子の誤動作を抑制することができる。

[0076] 本願発明の高周波絶縁ゲートドライバ回路、及びゲート回路駆動方法は、フォトカプラ及び自由磁化トランス方式では対応が難しい1MHzから100MHz帯の高周波に好適であり、1MHzから100MHzまでの高周波電力を出力する高周波増幅装置に適応させることができる。

図面の簡単な説明

[0077] [図1]本願発明の高周波絶縁ゲートドライバ回路の概略構成を説明するための図である。

[図2]本願発明の高周波絶縁ゲートドライバ回路の一構成例を説明するための図である。

[図3]本願発明の高周波絶縁ゲートドライバ回路の電流及び電圧状態を説明するための図である。

[図4]本願発明の高周波絶縁ゲートドライバ回路の励磁電流 (i_m) の流れを説明するための図である。

[図5]本願発明の高周波絶縁ゲートドライバ回路の励磁電流 (i_m) の流れを説明するための図である。

[図6]電流－電圧変換回路の逆バイアス効果、及び絶縁駆動信号のパルス幅調整を説明するための図である。

[図7]本願発明の高周波絶縁ゲートドライバ回路の他の構成例を説明するための図である。

[図8]本願発明の高周波絶縁ゲートドライバ回路のゲートドライバトランス駆動素子の構成例を説明するための図である。

[図9]電力変換装置の構成例を示す図である。

[図10]フォトカプラを用いた回路例を示す図である。

[図11]ゲートドライバトランス (パルストランス) を用いた回路例を示す図である。

発明を実施するための形態

[0078] 本願発明の高周波絶縁ゲートドライバ回路、及びゲート回路駆動方法について図1～図7を用いて説明する。

[0079] 以下、図1を用いて本願発明の高周波絶縁ゲートドライバ回路の概略構成を説明し、図2～6を用いて本願発明の高周波絶縁ゲートドライバ回路の一構成例及び動作例を説明し、図7を用いて本願発明の高周波絶縁ゲートドライバ回路の他の構成例を説明し、図8を用いて本願発明の高周波絶縁ゲートドライバ回路が備えるゲートドライバトランス駆動素子の構成例を説明する。

[0080] (本願発明の構成)

図1は本願発明の高周波絶縁ゲートドライバ回路の概略構成を説明するための図であり、図1(a)は入力信号を形成するためのパルス信号を入力信号形成回路内で生成する構成を示し、図1(b)は入力信号を形成するためのパルス信号を入力信号形成回路外から導入する構成を示している。なお、

図1は2つのスイッチング素子を備えたハーフブリッジ回路の構成例を示しているが、4つのスイッチング素子を備えたフルブリッジ回路の構成例に適應することもできる。

[0081] 図1(a), (b)に示す構成図において、ハーフブリッジ構成のスイッチング回路は、スイッチング素子50Aと50Bを直列接続して直列回路を構成し、直列回路の両端に負荷電源70を接続する。スイッチング素子の直列回路には二つのコンデンサの直列回路を並列接続し、スイッチング素子の直列回路の midpoint とコンデンサの直列回路の midpoint との間に負荷60を接続する。

[0082] スwitching素子50A、50Bの駆動は、それぞれゲートドライバ回路40A、40Bによって行われる。スイッチング素子50(50A、50B)、及びゲートドライバ回路40(40A、40B)は、高周波スイッチングモジュール2(2A、2B)として一つの回路構成とすることができる。図1では、高周波スイッチングモジュール2をハーフブリッジで構成する例を示しているが、フルブリッジで構成しても良い。

[0083] ゲートドライバ回路40(40A、40B)又は高周波スイッチングモジュール2(2A、2B)には高周波絶縁ゲートドライバ回路1(1A、1B)が接続される。高周波絶縁ゲートドライバ回路1(1A、1B)は、絶縁駆動信号(Siso(Siso-A, Siso-B))をゲートドライバ回路40(40A、40B)に入力して、スイッチング素子50(50A、50B)をオン/オフ制御する。入力信号形成回路10、ゲートドライバトランス20、電流-電圧変換回路30、及びゲートドライバ回路40は、スイッチング素子駆動回路3(3A、3B)を構成する。スイッチング素子50(50A、50B)のオン/オフ制御は、負荷電源70と負荷60との接続状態を切り換え、負荷60に印加する電圧状態を切り換える。高周波スイッチングモジュール2Aは負荷60に高電圧を印加し、高周波スイッチングモジュール2Bは負荷60に低電圧を印加する。

[0084] 高周波絶縁ゲートドライバ回路1Aは高圧側の高周波スイッチングモジュ

ール2 Aに絶縁駆動信号(S iso-A)を入力し、高周波絶縁ゲートドライバ回路1 Bは低圧側の高周波スイッチングモジュール2 Bに絶縁駆動信号(S iso-B)を入力する。

- [0085] 各高周波絶縁ゲートドライバ回路1 (1 A, 1 B)は、ゲートドライバトランス駆動素子1 2 (1 2 A, 1 2 B)、ゲートドライバトランス2 0 (2 0 A, 2 0 B)、及び電流-電圧変換回路3 0 (3 0 A, 3 0 B)を備える。
- [0086] ゲートドライバトランス駆動素子1 2 (1 2 A, 1 2 B)は、2つのパルス信号(P S-1, P S-2)に基づいて2つの入力信号(S-1, S-2)を生成する。生成された2つの入力信号(S-1, S-2)はゲートドライバトランス2 0 (2 0 A, 2 0 B)に印加される。
- [0087] 入力信号(S)は、同じデューティ比で互いに位相ずれした相補の電圧信号であって、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が同電位である同電位期間とを、各電位を時系列で高電位と低電位とで交互に切り換える。
- [0088] 入力信号(S)は電位を異にする2種類の電圧信号の入力信号(S-1)及び入力信号(S-2)を備え、ゲートドライバトランス2 0の一次側コイルの両端の各端に入力される。
- [0089] ゲートドライバトランス2 0 (2 0 A, 2 0 B)は、入力信号(S)と絶縁駆動信号(S iso)とを絶縁するための絶縁素子であり、パルストランスとも称される高周波トランスで構成される。
- [0090] ゲートドライバトランス2 0は、入力信号(S-1)、(S-2)の電圧信号に応じて一次側コイルの電流状態が変化し、二次側コイルから一次電流と絶縁された二次側電流が流れる。
- [0091] 本願発明のゲートドライバトランス2 0は、一次側コイルの両端の各端にそれぞれ入力信号(S-1)と入力信号(S-2)が入力され、この入力信号(S-1)及び(S-2)の電位の高低が反転することによって一次側コイルの励磁電流を周期毎に反転させ、励磁電流のリセットを不要とする。また、一次側コ

イルの両端の各端に、入力信号(S-1)及び(S-2)の電位に基づいた電圧を印加することによって、一次コイルの両端を常に所定の電圧状態に保持し、これによって一次側コイルの励磁電流を常時流して、自由共振電流の発生を抑制する。

[0092] パルス信号(P S)は、パルス信号形成回路11で形成する他、外部の制御回路13から入力することができる。図1(a)はパルス信号(P S)をパルス信号形成回路11で形成する例を示し、図1(b)は外部の制御回路13から入力する例を示している。図1(a)の構成例では、パルス信号形成回路とゲートドライバトランス駆動素子12とで入力信号形成回路10を構成することができる。

[0093] 図1(a)の高圧側のパルス信号形成回路11Aは、パルス信号P S-A1とパルス信号P S-A2の2つのパルス信号を形成し、2つのゲートドライバトランス駆動素子12A1とゲートドライバトランス駆動素子12A2にそれぞれに入力する。また、低圧側においても、低圧側のパルス信号形成回路11Bは、パルス信号P S-B1とパルス信号P S-B2の2つのパルス信号を形成し、2つのゲートドライバトランス駆動素子12B1とゲートドライバトランス駆動素子12B2にそれぞれに入力する。

[0094] 図1(b)に示す構成例では、制御回路13はパルス信号P S-A1, P S-A2をそれぞれ高圧側のゲートドライバトランス駆動素子12A1, 12A2に入力し、パルス信号P S-B1, P S-B2をそれぞれ低圧側のゲートドライバトランス駆動素子12B1, 12B2に入力する。

[0095] 電流-電圧変換回路30(30A, 30B)は、ゲートドライバトランス20(20A, 20B)の二次側コイルの電流を電圧変換して絶縁駆動信号Siso(Siso-A, Siso-B)の電圧信号を形成し、ゲートドライバ回路40(40A, 40B)に出力する。

[0096] (高周波絶縁ゲートドライバ回路の構成例及び動作例)

本願発明の高周波絶縁ゲートドライバ回路の一構成例、及び本願発明の高周波絶縁ゲートドライバ回路の動作例を図2, 3を用いて説明する。

[0097] 図2は本願発明の高周波絶縁ゲートドライバ回路の一構成例を説明するための図であり、図3は本願発明の高周波絶縁ゲートドライバ回路の電流及び電圧状態を説明するための図である。

[0098] 図2の構成例は、高圧側と低圧側の2つのスイッチング素子を備えたハーフブリッジ回路の構成について示している。高圧側のスイッチング素子50Aaを駆動する高圧側の構成、低圧側のスイッチング素子50Baを駆動する低圧側の構成とは同様の構成であるため、ここでは主に高圧側のスイッチング素子50Aaを駆動する構成について説明する。

[0099] スwitchング素子50Aaは、ゲートドライバ回路40Aaによってオン／オフ制御が行われる。スイッチング素子50Aaは、例えば、RF-MOSFETで構成することができ、ゲートドライバ回路40Aaはプッシュプル構成のFET及びトランジスタで構成することができる。ゲートドライバ回路40Aaとスイッチング素子50Aaは、高周波スイッチングモジュール2Aとして一素子で構成する他、各素子を接続した回路によって構成してもよい。

[0100] 入力信号形成回路10Aを構成するゲートドライバトランス駆動素子12Aは、2つの駆動素子(12A1及び12A2)を備える。ゲートドライバトランス駆動素子12A1及び12A2は、図8(a)に示す様に2つのスイッチング素子で構成された出力段を持つCMOSやTTLの素子、あるいはDriveICの回路で構成される。また、スイッチング素子はMOS(図8(b))又はトランジスタ(図8(c))で構成される。直列接続された2つのスイッチング素子において、各スイッチング素子の一方の端部に電源電圧Vccあるいは接地電圧、また正負の電源電圧Vcc及び-Vccを接続し、両スイッチング素子を接続する接続点を出力段として入力信号Sを出力する。

[0101] ゲートドライバトランス駆動素子12A1及び12A2の各入力端には、パルス信号形成回路11からパルス信号PS-A1(図3(a))及びパルス信号PS-A2(図3(b))が入力される。パルス信号PS-A1及びパルス信号PS-A2は、論理素子の制御信号“1”及び“0”に対応する信号であり、ゲ

ートドライバトランス駆動素子12A1及び12A2は、パルス信号PSの二値の値に基づいて、出力段から電源電圧 V_{cc} 、接地電圧、基準電圧又は零電圧、あるいは正の電源電圧 V_{cc} 又は負の電源電圧 $-V_{cc}$ を選択して入力信号Sとして出力する。

[0102] パルス信号PSは、同じデューティ比で互いに位相ずれした相補の信号であって、高電位を“1”とし、低電位を“0”として論理表記すると、互いの相の値が、例えば、一方が“0”で他方が“1”の様に相補関係である相補期間と、互いの相の値が、例えば、両方が“0”又は“1”の同じ値である同値期間とを、“0”と“1”の値を時系列で交互に切り換える。

[0103] 入力信号Sはパルス信号PSの値に応じた電圧値を有する。そのため、パルス信号PSの値に基づいて形成される二つの入力信号(S)はパルス信号PSと同様の信号波形を有し、同じデューティ比で互いに位相ずれした相補の電圧信号であり、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が同電位である同電位期間とを、各電位を時系列で高電位と低電位とで交互に切り換えて備える。

[0104] ゲートドライバトランス駆動素子12A1及び12A2から出力される二つの出力の内、一方の出力は入力信号S-A1(図3(g))としてゲートドライバトランス20Aの一次側コイルの一方の端部に入力され、他方の出力は入力信号S-A2(図3(h))としてゲートドライバトランス20Aの一次側コイルの他方の端部に入力される。

[0105] ゲートドライバトランス20Aの一次側コイル20Aaの両端の内、一方の端部にはゲートドライバトランス駆動素子12A1の出力端が接続され、他方の端部にはゲートドライバトランス駆動素子12A2の出力端が接続される。

[0106] ゲートドライバトランス駆動素子12A1及び12A2から電源電圧 V_{cc} 又は接地電圧、あるいは正の電源電圧 V_{cc} 又は負の電源電圧 $-V_{cc}$ が出力されると、一次側コイル20Aaの両端には V_{cc} 、 $-V_{cc}$ 、0の電圧、あるいは $2V_{cc}$ 、 $-2V_{cc}$ 、0の両端電圧VT-A(図3(c))が印加される。な

お、正の電源電圧及び負の電源電圧をそれぞれ $V_{cc}/2$ 及び $-V_{cc}/2$ とすることによって、一次側コイル20Aaの両端電圧 V_{T-A} を V_{cc} 、 $-V_{cc}$ 、あるいは0とすることができる。一次側コイル20Aaに電圧を印加することによって、一次側コイル20Aaには一次電流 I_1 （図3（d））が流れ、二次側コイル20Abには二次電流 I_2 （図3（e））が流れる。

[0107] 電流－電圧変換回路30Aは、抵抗30Aaと整流ダイオード30Abの第1の並列回路と、抵抗30Acと整流ダイオード30Adの第2の並列回路とを、二次側コイル20Abに対して直並列に接続してなるインピーダンス回路で構成される。この電流－電圧変換回路30Aは、二次電流 I_2 の電流方向に応じて、二次電流 I_2 を正電圧又は負電圧に変換し、得られた電圧を絶縁駆動信号（Siso-A）として高周波スイッチングモジュール2Aのゲートドライバ回路40Aaに入力する。

[0108] 一次側コイル20Aaの両端電圧 V_{T-A} が正電圧であるとき、ゲートドライバトランス駆動素子12A1からゲートドライバトランス駆動素子12A2に向かって一次電流が流れ、二次側コイル20Abに図2中の矢印に示す方向に二次電流 I_2 が流れるときには、電流－電圧変換回路30Aの第2の並列回路中の抵抗30Acによって正電圧の絶縁駆動信号（Siso-A）が発生する。

[0109] 一方、一次側コイル20Aaの両端電圧 V_{T-A} が負電圧であるとき、ゲートドライバトランス駆動素子12A2からゲートドライバトランス駆動素子12A1に向かって一次電流が流れ、二次側コイル20Abに図2中の矢印と反対の方向に二次電流 I_2 が流れるときには、電流－電圧変換回路30Aの第2の並列回路中のダイオード30Adによって負電圧（-VF）の絶縁駆動信号（Siso）が発生する。

[0110] 上記では高圧側の構成について説明しているが、低圧側の入力信号形成回路10B、ゲートドライバトランス20B、電圧－電流変換回路30Bにおいても同様である。

[0111] （ゲートドライバトランスの励磁電流）

次に、ゲートドライバトランスの励磁電流について、図3～5を用いて説

明する。図3 (d) は励磁電流 i_m 及び負荷電流 i_L の一次電流 I_1 を示し、図4, 5 は励磁電流 i_m の流れの一例を示している。なお、図4 はゲートドライバトランスの一次側コイルに電圧 V_{cc} と接地電圧を印加した例を示し、図5 はゲートドライバトランスの一次側コイルに正の電圧 V_{cc} 及び負の電圧 $-V_{cc}$ を印加した例を示している。

[0112] 図3 (d) において、実線は負荷電流 i_L に励磁電流 i_m を重畳した一次電流 I_1 を示し、破線は励磁電流 i_m を示し、斜線部分は負荷電流 i_L を示している。また、図3中の“A”, “B”, “C”, 及び“D” は、それぞれパルス信号 $PS-A1$ が“1”でパルス信号 $PS-A2$ が“0”の期間を示し、パルス信号 $PS-A1$ が“1”でパルス信号 $PS-A2$ が“1”の期間を示し、パルス信号 $PS-A1$ が“0”でパルス信号 $PS-A2$ が“1”の期間を示し、パルス信号 $PS-A1$ が“0”でパルス信号 $PS-A2$ が“0”の期間を示している。また、図4及び図5の(a)～(d)は各期間“A”～“D”に対応して示している。

[0113] 期間“A”：

期間“A”では、ゲートドライバトランスの一次側コイルの両端間に正の V_{cc} (図5では $2V_{cc}$) の電圧が印加され、負荷電流 i_L と励磁電流 i_m が流れる。励磁電流 i_m は前の期間“D”において負方向に流れており、印加電圧に対して遅れて変動するため、この期間“A”では $-i_m$ から $+i_m$ に上昇して正方向に流れる。負荷電流 i_L は、一次側コイルの両端電圧が正の V_{cc} である間流れる。

[0114] 図4 (a), 図5 (a) において、一次側コイルに流れる一次電流 I_1 は実線で示した電流であり、負荷電流 i_L と破線で示した励磁電流 i_m とを合わせた電流である。このとき、二次側コイルには二次電流 I_2 が矢印の方向に流れ、並列接続された抵抗 R_{g2} によって電圧変換され、電圧変換された電圧が絶縁駆動信号 S_{iso} として出力される。

[0115] 期間“B”：

期間“B”では、ゲートドライバトランスの一次側コイルの両方の端子に

電源電圧が印加される。この期間では、一次側コイルの両端子間の電圧差がないため負荷電流 i_L は流れない。一方、励磁電流 i_m は前の期間 “A” において正の方向に流れており、一次側コイルの両端子間の電圧差がないため、この期間 “B” ではコイルの磁化状態が保持される拘束磁化状態となり、励磁電流は期間 “A” の終了時点の電流 $+i_m$ に保持される。

[0116] 図4 (b), 図5 (b) において、一次側コイルの一次電流 I_1 は破線で示した励磁電流 i_m のみである。このとき、二次側コイルには二次電流 I_2 は流れず、絶縁駆動信号 S_{iso} の出力は零電圧である。

[0117] 期間 “C” :

期間 “C” では、ゲートドライバトランスの一次側コイルの両端間に負の $-V_{cc}$ (図5では $-2V_{cc}$) の電圧が印加され、負荷電流 i_L と励磁電流 i_m が流れる。励磁電流 i_m は前の期間 “B” において保持されており、この期間 “C” では保持状態の $+i_m$ から減少して負方向に流れる。負荷電流 i_L は、一次側コイルの両端電圧が負の $-V_{cc}$ (図5では $-2V_{cc}$) である間流れる。

[0118] 図4 (c), 図5 (c) において、一次側コイルに流れる一次電流 I_1 は実線で示した負荷電流 i_L と、破線で示した励磁電流 i_m とを合わせた電流である。このとき、二次側コイルには、二次電流 I_2 が期間 “A” とは逆方向の矢印の方向に流れ、直列接続された抵抗 R_{g1} によって電圧変換される。このとき、絶縁駆動信号 S_{iso} は、並列接続された整流ダイオード d_2 の順方向電圧により逆バイアスされ、逆バイアス電圧分の $-VF$ が出力される。

[0119] 期間 “D” :

期間 “D” では、ゲートドライバトランスの一次側コイルの両方の端子に接地電圧が (図5では負電圧) が印加される。この期間では、一次側コイルの両端子間の電圧差がないため負荷電流 i_L は流れない。一方、励磁電流 i_m は前の期間 “C” において負の方向に流れており、一次側コイルの両端子間の電圧差がないため、この期間 “D” ではコイルの磁化状態が保持される拘束磁化状態となり、励磁電流は期間 “C” の終了時点の電流 $-i_m$ に保持され

る。

[0120] 図4 (d) , 図5 (d) において、一次側コイルの一次電流 I_1 は破線で示した励磁電流 i_m のみである。このとき、二次側コイルには二次電流 I_2 は流れず、絶縁駆動信号 S_{iso} の出力は零電圧である。

[0121] 負荷電流及び励磁電流の変動は、上記した期間 “A” ~ “D” を一周期として繰り返され、一次側コイルには常に励磁電流が流れる。これによって、全期間に亘って、ゲートドライバトランスのコイルの磁束状態は励磁電流によって制御された拘束磁化状態に維持され、ゲートドライバトランスは常に低インピーダンス状態で全期間にわたり駆動される。

[0122] 以下の表は、期間 “A” ~ “D” の状態変化を示している。表1は入力信号 $S-1$, $S-2$ が V_{cc} 及び接地電圧である例を示し、表2は入力信号 $S-1$, $S-2$ が V_{cc} 及び $-V_{cc}$ である例を示している。

[0123] [表1]

	A	B	C	D
パルス信号PS-1	1	1	0	0
パルス信号PS-2	0	1	1	0
入力信号S-1	V_{cc}	V_{cc}	接地電圧	接地電圧
入力信号S-2	接地電圧	V_{cc}	V_{cc}	接地電圧
一次コイルの両端電圧 V_T	V_{cc}	0	$-V_{cc}$	0
一次側コイル電流 I_1	励磁電流 $-I_m \rightarrow I_m$ 負荷電流 I_L	励磁電流 I_m	励磁電流 $I_m \rightarrow -I_m$ 負荷電流 $-I_L$	励磁電流 $-I_m$
二次側コイル電流 I_2	I_2	0	$-I_2$	0
絶縁駆動信号 S_{iso}	S_{iso}	0	$-S_{iso}$	0

[0124]

[表2]

	A	B	C	D
パルス信号PS-1	1	1	0	0
パルス信号PS-2	0	1	1	0
入力信号S-1	V _{cc}	V _{cc}	-V _{cc}	-V _{cc}
入力信号S-2	-V _{cc}	V _{cc}	V _{cc}	-V _{cc}
一次コイルの両端電圧V _T	2V _{cc}	0	-2V _{cc}	0
一次側コイル電流 I ₁	励磁電流 - I _m → I _m 負荷電流 I _L	励磁電流 I _m	励磁電流 I _m → - I _m 負荷電流 - I _L	励磁電流 - I _m
二次側コイル電流 I ₂	I ₂	0	- I ₂	0
絶縁駆動信号 S _{iso}	S _{iso}	0	- S _{iso}	0

[0125] (高周波絶縁ゲートドライバ回路の機能)

次に、図6及び図7を用いて本願発明の高周波絶縁ゲートドライバ回路の作用について説明する。本願発明の高周波絶縁ゲートドライバ回路は、電流-電圧変換回路による逆バイアス効果の作用、2つの入力信号(S)間の信号遅れ(位相差)による絶縁駆動信号のパルス幅調整の作用、スイッチング素子間の短絡防止、及びインピーダンス整合の作用を奏する。

[0126] 図6において、図6(a)及び図6(b)は高圧側のパルス信号PS-A1とパルス信号PS-A2を示している。

[0127] パルス信号PS-A1とパルス信号PS-A2とは、同じデューティー比で互いに位相ずれした相補の信号であって、高電位を“1”とし、低電位を“0”として論理表記すると、一方が“0”で他方が“1”の互いに相補関係である相補期間と、両方が“0”又は“1”である同値期間とを、“1”と“0”とを時系列で交互に切り換えている。なお、ここではデューティー比は50%の例を示しているが、デューティー比は50%に限らない。

[0128] パルス信号PS-A1とパルス信号PS-A2との間には位相差があり、パルス信号PS-A2はパルス信号PS-A1に対してdelayD-Aだけ信号遅れによる位相差がある。この位相差によって、パルス信号PS-A1とパルス信号PS-A2とは、一方が“0”で他方が“1”の互いに相補関係である相補期間と、両方

が“0”又は“1”である同値期間とを備える。

[0129] パルス信号PS-A1とパルス信号PS-A2との位相差によって、高圧側のゲートドライバトランスの一次側コイルの電圧VT-Aは図6(e)に示す波形となり、高圧側の絶縁駆動信号Siso-Aは図6(g)に示す電圧波形となる。

[0130] また、図6(c)及び図6(d)は低圧側のパルス信号PS-B1とパルス信号PS-B2を示している。

[0131] パルス信号PS-B1とパルス信号PS-B2の間において、パルス信号PS-A1とパルス信号PS-A2と同様の関係があり、パルス信号PS-B2はパルス信号PS-B1に対してdelayD-Bだけ信号遅れによる位相差がある。この位相差によって、低圧側のゲートドライバトランスの一次側コイルの電圧VT-Bは図6(f)に示す波形となり、低圧側の絶縁駆動信号Siso-Bは図6(h)に示す電圧波形となる。

[0132] ・電流－電圧変換回路の逆バイアス効果：

図6(g)に示す高圧側の絶縁駆動信号Siso-Aは、期間Cにおいて電流－電圧変換回路の整流ダイオードの順方向電圧によって逆バイアスされ負電圧－VFとなる。一方、図6(h)に示す低圧側の絶縁駆動信号Siso-Bは、期間Aにおいて電流－電圧変換回路の整流ダイオードの順方向電圧によって逆バイアスされ負電圧－VFとなる

[0133] 高圧側の絶縁駆動信号Siso-A及び低圧側の絶縁駆動信号Siso-Bの電圧を負電圧－VFに負方向にバイアスすることによって、ゲートドライバ回路40を駆動する信号レベルは負方向にバイアスされる。信号レベルが負方向にバイアスされることによって、絶縁駆動信号Siso-A及び絶縁駆動信号Siso-Bにノイズ分が重畳され、ゲートドライバ回路40を駆動する信号レベルが変動した場合であっても、ゲートドライバ回路40をオン状態とするまでに電圧が上昇することを防ぐことができるため、ゲートドライバ回路40の誤動作を防ぐことができる。

[0134] ・絶縁駆動信号のパルス幅調整：

図6(g)は高圧側の絶縁駆動信号(Siso-A)を示し、図6(h)は低圧

側の絶縁駆動信号 (Siso-B) を示している。

[0135] 高圧側の絶縁駆動信号 (Siso-A) のパルス幅 PW-Aは、高圧側のパルス信号 PS-A1 (図6 (a)) とパルス信号 PS-A2 (図6 (b)) との遅れ分 delay D-Aによる位相差に対応している。したがって、高圧側のパルス信号 PS-A1とパルス信号 PS-A2との位相差の幅 (delay D-A) を変更することによってパルス幅 PW-Aを調整することができる。

[0136] 高圧側のパルス信号 PS-A1とパルス信号 PS-A2との位相差の幅 (delay D-A) は、パルス信号 PS-A1及びパルス信号 PS-A2のデューティー比、及び低圧側のパルス信号 PS-B1及びパルス信号 PS-B2のデューティー比と独立したパラメータであるため、このパルス幅 PW-Aの調整は、パルス信号 PS-A1～PS-B2のデューティー比を変更することなく行うことができる。

[0137] また、低圧側の絶縁駆動信号 (Siso-B) のパルス幅 PW-Bは、低圧側のパルス信号 PS-B1 (図6 (c)) とパルス信号 PS-B2 (図6 (d)) との遅れ分 delay D-Bによる位相差に対応しており、低圧側のパルス信号 PS-B1とパルス信号 PS-B2との位相差の幅 (delay D-B) を変更することによってパルス幅 PW-Bを調整することができる。

[0138] 低圧側のパルス信号 PS-B1とパルス信号 PS-B2との位相差の幅 (delay D-B) は、パルス信号 PS-B1及びパルス信号 PS-B2のデューティー比、及び高圧側のパルス信号 PS-A1及びパルス信号 PS-A2のデューティー比と独立したパラメータであるため、このパルス幅 PW-Bの調整は、パルス信号 PS-A1～PS-B2のデューティー比を変更することなく行うことができる。

[0139] ・スイッチング素子間の短絡防止：

図6 (a) ～図6 (d) において、パルス信号 PS-A2の立ち下がりとパルス信号 PS-A1の立ち上がり間、及びパルス信号 PS-B2の立ち上がりとパルス PS-B1の立ち下がり間に時間幅を設けることによって、高圧側の絶縁駆動信号 (Siso-A) (図6 (g)) と低圧側の絶縁駆動信号 (Siso-B) (図6 (h)) との間にデットタイム T1を設ける。このデットタイム T1の間では、高圧側の絶縁駆動信号 (Siso-A) と低圧側の絶縁駆動信号 (Siso-

B) は共に信号レベルが低い状態にあり、高圧側のスイッチング素子及び低圧側のスイッチング素子の何れのスイッチング素子も非導通状態となる。

[0140] デットタイムT1の期間は、低圧側のスイッチング素子の導通状態から高圧側のスイッチング素子の導通状態への切り替わり時点に対応しており、両方のスイッチング素子を非導通状態とすることによるスイッチング素子間の短絡を防ぐことができる。

[0141] また、パルス信号PS-A2の立ち上がりとパルス信号PS-A1の立ち下がりの間、及びパルス信号PS-B2の立ち下がりとパルスPS-B1の立ち上がりの間に時間幅を設けることによって、高圧側の絶縁駆動信号(Siso-A) (図6(g))と低圧側の絶縁駆動信号(Siso-B) (図6(h))との間にデットタイムT2を設ける。このデットタイムT2の間では、高圧側の絶縁駆動信号(Siso-A)と低圧側の絶縁駆動信号(Siso-B)は共に信号レベルが低い状態にあり、高圧側のスイッチング素子及び低圧側のスイッチング素子の何れのスイッチング素子も非導通状態となる。

[0142] デットタイムT2の期間は、高圧側のスイッチング素子の導通状態から低圧側のスイッチング素子の導通状態への切り替わり時点に対応しており、両方のスイッチング素子を非導通状態とすることによるスイッチング素子間の短絡を防ぐことができる。

[0143] このデットタイムの期間は、励磁電流を保持し電流を絶えず流し続ける区間に相当している。

[0144] ・インピーダンス整合：

図7は本願発明の高周波絶縁ゲートドライバ回路におけるインピーダンス整合を説明するための図である。

[0145] インピーダンス整合は、電流－電圧変換回路の抵抗調整による態様、コモンモードトランスによる態様で行うことができる。

[0146] 電流－電圧変換回路30A、30Bは、図2で示したように、直列接続される第1の並列回路と並列接続される第2の並列回路を備える。第1の並列回路の抵抗の抵抗値Rg1と第2の並列回路の抵抗の抵抗値Rg2とを同一の抵

抗値とすることによって、ゲートドライバトランスから見たインピーダンスを常に一定に保持することができる。

[0147] また、伝送線路 80 の特性インピーダンス R_{Line} 、第 1 の並列回路の抵抗の抵抗値 R_{g1} 、及び第 2 の並列回路の抵抗の抵抗値 R_{g2} が同じとなるように選定することによって、ゲートドライバトランスの一次側に入力される入力信号 (S) を歪みなく絶縁駆動信号 (S_{iso}) として伝送することができる。

[0148] 図 7 において、高周波絶縁ゲートドライバ回路のゲートドライバトランスの二次側コイルの両端に接続される二本の伝送線路 80 にコモンモードトランス 81A、81B を設ける。コモンモードトランス 81A、81B は、二本の伝送線路 80 に対して導線の巻方向を同一方向とし、コモンモード電流に対してはインダクタとして働き、ディファレンシャルモード電流に対してはインダクタとして働かないことによって、コモンモードのノイズ電流に対するノイズフィルタとして作用する。これによって、ゲートドライバトランスの一次側と二次側との間の寄生容量を介して、一次側から二次側に通過した変位電圧の影響を低減させることができる。

[0149] コモンモードトランス 81A、81B は、図 7 に示す構成例のようにゲートドライバトランスの二次側に設ける他、ゲートドライバトランスの一次側に設ける構成、及びゲートドライバトランスの一次側と二次側の両方に設ける構成としてもよい。

[0150] 図 8 を用いて本願発明の高周波絶縁ゲートドライバ回路が備えるゲートドライバトランス駆動素子の構成例を説明する。

[0151] 図 8 (a)、(b)、(c) に示すように、MOS-FET やトランジスタ等のスイッチング素子を二つ直列に接続してなる COMS や TTL や Drive IC で構成する。ゲートドライバトランスに大電流を流す場合は、複数の駆動ゲートドライバトランス駆動素子を並列接続する構成とすることができる。スイッチング素子は、MOS-FET に限らず J-FET (接合型 FET) を用いることができる。

[0152] 図 8 (b)、(c) はゲートドライバトランス駆動素子を並列接続した構

成を示し、図8（b）はゲートドライバトランス駆動素子としてMOS-FETを用いた構成を示し、図8（c）はスイッチング素子としてトランジスタを用いた回路構成例を示している。

[0153] なお、上記実施の形態及び変形例における記述は、本発明に係る直流電源装置および直流電源装置の制御方法の一例であり、本発明は各実施の形態に限定されるものではなく、本発明の趣旨に基づいて種々変形することが可能であり、これらを本発明の範囲から排除するものではない。

産業上の利用可能性

[0154] 本願発明の高周波絶縁ゲートドライバ回路、及びゲート回路駆動方法は、インバータ等の電力変換装置に適用することができる。

符号の説明

[0155] 1, 1A, 1B 高周波絶縁ゲートドライバ回路
 2, 2A, 2B 高周波スイッチングモジュール
 3, 3A, 3B スwitching素子駆動回路
 10, 10A, 10B 入力信号形成回路
 11, 11A, 11B パルス信号形成回路
 12 ゲートドライバトランス駆動素子
 12A, 12B ゲートドライバトランス駆動素子
 12A1, 12A2, 12B1, 12B2 ゲートドライバトランス駆動素子
 13 制御回路
 20, 20A, 20B ゲートドライバトランス
 20Aa 一次側コイル
 20Ab 二次側コイル
 30, 30A, 30B 電流-電圧変換回路
 30Aa 抵抗
 30Ab 整流ダイオード
 30Ac 抵抗

30 Ad	整流ダイオード	
40, 40 A, 40 B, 40 Aa, 40 Ba		ゲートドライバ回路
50, 50 A, 50 B, 50 Aa, 50 Ba		スイッチング素子
60	負荷	
70	負荷電源	
80	伝送線路	
81 A, 81 B	コモンモードトランス	
101, 101 A, 101 B, 101 C, 101 D		スイッチング素子
102, 102 A, 102 B, 102 C, 102 D		ゲートドライバ回 路
103	駆動電源	
104	負荷	
105	絶縁素子	
105 A, 105 B	フォトカプラ	
106, 106 A, 106 B		自由磁化トランス回路
106 a	トランス	
106 b	FET	
106 c	リセット回路	
106 d	整流回路	
Ciso	寄生容量	
I1	一次電流	
I2	二次電流	
iL	負荷電流	
im	励磁電流	
PS	パルス信号	
PS-A1, PS-A2, PS-B1, PS-B2		パルス信号
PW-A, PW-B		パルス幅
Rg1	抵抗	

R_{g2} 抵抗

R_{line} 特性インピーダンス

S, S-A, S-B, S-A1, S-A2, S-B1, S-B2 入力信号

S_{iso}, S_{iso}-A, S_{iso}-B 絶縁駆動信号

T1, T2 デットタイム

V_{cc} 電源電圧

V_{ds} 両端電圧

V_{T-A}, V_{T-B}, 両端電圧

請求の範囲

[請求項1] 複数のゲート回路を、互いに絶縁した高周波信号で駆動する回路であって、

同じデューティ比で互いに位相ずれした相補の電圧信号であって、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が同電位である同電位期間とを、各電位を時系列で高電位と低電位とで交互に切り換えて備える二つの入力信号を出力する入力信号形成回路と、

一次側コイルの両端の各入力端子に、前記入力信号形成回路10の各相の出力端子が接続されたゲートドライバトランスと、

入力端子に前記ゲートドライバトランスの出力端子が接続され、前記ゲートドライバトランスの二次側コイルに流れる二次電流を電流－電圧変換して得られる絶縁駆動信号を前記ゲート回路に出力する電流－電圧変換回路とを備え、

前記ゲートドライバトランスの一次側コイルには、前記相補電位期間において励磁電流および負荷電流が流れ、前記同電位期間において励磁電流が流れることを特徴とする、高周波絶縁ゲートドライバ回路。

[請求項2] 前記電流－電圧変換回路は、それぞれ抵抗と整流ダイオードとを並列接続してなる第1の並列回路と第2の並列回路とを直並列接続して構成され、

前記第1の並列回路は、前記ゲートドライバトランスの二次側コイルの巻始め側において、整流ダイオードの順方向を前記ゲート回路に向けて直列接続され、

前記第2の並列回路は、前記ゲートドライバトランスの二次側コイルの巻始め側と巻き終わり側の間において、整流ダイオードの順方向を前記ゲート回路の入力端に向けて並列接続されることを特徴とする、請求項1に記載の高周波絶縁ゲートドライバ回路。

- [請求項3] 前記第1の並列回路及び／又は第2の並列回路は、コンデンサを並列接続することを特徴とする、請求項2に記載の高周波絶縁ゲートドライバ回路。
- [請求項4] 前記電流－電圧変換回路において、前記第1の並列回路の抵抗の抵抗値と前記第2の並列回路の抵抗の抵抗値は、前記ゲートドライバトランスから見た入力インピーダンスを所定値に調整することを特徴とする、請求項2に記載の高周波絶縁ゲートドライバ回路。
- [請求項5] 前記第1の並列回路の抵抗の抵抗値と前記第2の並列回路の抵抗の抵抗値は同一抵抗及び許容分を含む同等の抵抗値であることを特徴とする、請求項4に記載の高周波絶縁ゲートドライバ回路。
- [請求項6] 前記第1の並列回路の抵抗の抵抗値と前記第2の並列回路の抵抗の抵抗値は、ゲートドライバトランスと電流－電圧変換回路との間の伝送線路の特性インピーダンスと同じであることを特徴とする、請求項4に記載の高周波絶縁ゲートドライバ回路。
- [請求項7] 前記ゲートドライバトランスの一次側又は二次側にコモンモードトランスを備え、前記コモンモードトランスの特性インピーダンスは、ゲートドライバトランスと電流－電圧変換回路との間の伝送線路の特性インピーダンスと同じであることを特徴とする、1から6の何れか一つの記載の高周波絶縁ゲートドライバ回路。
- [請求項8] 前記入力信号形成回路は、
高周波パルス信号を形成するパルス信号形成回路と、
前記高周波パルス信号の二値に基づいて、高電位又は低電位の入力信号を出力する二つのゲートドライバトランス駆動素子を備えることを特徴とする、請求項1から7の何れか一つに記載の高周波絶縁ゲートドライバ回路。
- [請求項9] 高周波パルス信号を形成する制御回路を備え、
前記入力信号形成回路は、
前記制御回路が形成する高周波パルス信号の二値信号に基づいて、

高電位又は低電位の入力信号を出力する二つのゲートドライバトランス駆動素子を備えることを特徴とする、請求項 1 から 8 の何れか一つに記載の高周波絶縁ゲートドライバ回路。

[請求項10]

前記ゲート回路は、スイッチング素子と、当該スイッチング素子を駆動するゲートドライバ回路との高周波スイッチングモジュールで構成され、

前記ゲートドライバ回路は、前記電流－電圧変換回路から出力された絶縁駆動信号によって前記スイッチング素子のオン／オフ制御を行うことを特徴とする、請求項 1 から 9 の何れか一つに記載の高周波絶縁ゲートドライバ回路。

[請求項11]

前記複数のゲート回路は、負荷に高電位を印加する高圧側ゲート回路と負荷に低電位を印加する低圧側ゲート回路とのフルブリッジ又はハーフブリッジで構成され、

高圧側ゲート回路および低圧側ゲート回路の各入力端にそれぞれ高周波絶縁ゲートドライバ回路が接続されることを特徴とする、請求項 1 から 10 の何れか一つに記載の高周波絶縁ゲートドライバ回路。

[請求項12]

高圧側のゲートドライバトランス駆動素子は電源電圧に基づいた前記高電位又は低電位の入力信号を形成し、

低圧側のゲートドライバトランス駆動素子は接地電圧、又は零電圧を含む基準電圧に基づいた前記高電位又は低電位の入力信号を形成することを特徴とする、請求項 8 又は 9 に記載の高周波絶縁ゲートドライバ回路。

[請求項13]

高圧側のゲートドライバトランス駆動素子は正の電源電圧に基づいた前記高電位又は低電位の入力信号を形成し、

低圧側のゲートドライバトランス駆動素子は負の電源電圧に基づいた前記高電位又は低電位の入力信号を形成することを特徴とする、請求項 8 又は 9 に記載の高周波絶縁ゲートドライバ回路。

[請求項14]

複数のゲート回路を、互いに絶縁した複数の高周波信号で駆動する

方法であって、

ゲートドライバトランスの一次側コイルの両端の各入力端子に、同じデューティ比で互いに位相ずれした相補の電圧信号であって、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が同電位である同電位期間とを、各電位を時系列で高電位と低電位とで交互に切り換えて備える二つの入力信号を印加し、

前記ゲートドライバトランスの一次側コイルにおいて、前記相補電位期間において励磁電流および負荷電流を流し、前記同電位期間において励磁電流を流し、

前記ゲートドライバトランスの二次側コイルに流れる二次電流を電流－電圧変換して得られる絶縁駆動信号を前記ゲート回路に入力し、

前記絶縁駆動信号によって前記ゲート回路を駆動することを特徴とする、ゲート回路駆動方法。

[請求項15]

それぞれ抵抗と整流ダイオードとを並列接続してなる第1の並列回路と第2の並列回路とを直並列接続して構成され、

前記ゲートドライバトランスの二次側コイルの巻始め側において、抵抗と整流ダイオードとを並列接続回路であって、整流ダイオードの順方向を前記ゲート回路に向けて直列接続される第1の並列回路と、

前記ゲートドライバトランスの二次側コイルの巻始め側と巻き終わり側の間において、抵抗と整流ダイオードとを並列接続回路であって、整流ダイオードの順方向を前記ゲート回路の入力端に向けて並列接続される第2の並列回路とを直並列接続して構成され、前記ゲートドライバトランスの二次側コイルに接続された電流－電圧変換回路によって前記電流－電圧変換を行い、

前記入力信号の差電圧が前記第1の並列回路の整流ダイオードの順方向に対して負電圧である期間において、前記絶縁駆動信号の電位を前記第2の並列回路の整流ダイオードによって順方向電圧分だけ逆方向にバイアスすることを特徴とする、請求項14に記載のゲート回路

駆動方法。

- [請求項16] 二つのゲートドライバトランス駆動素子を備え、
 一方のゲートドライバトランス駆動素子に、二値の高周波パルス信号の高電位の信号を印加して高電位の入力信号を生成し、
 他方のゲートドライバトランス駆動素子に、二値の高周波パルス信号の低電位の信号を印加して低電位の入力信号を生成することを特徴とする、請求項14又は15に記載のゲート回路駆動方法。
- [請求項17] 前記電流－電圧変換回路から出力された絶縁駆動信号は、前記ゲート回路が備えるゲートドライバ回路により駆動電圧を生成し、当該駆動電圧によって前記ゲート回路が備えるスイッチング素子のオン／オフ制御を行うことを特徴とする、請求項14から16の何れか一つに記載のゲート回路駆動方法。
- [請求項18] 前記二つの入力信号間の位相差によって絶縁駆動信号のデューティーを調整することを特徴とする、請求項14から17の何れか一つに記載のゲート回路駆動方法。

補正された請求の範囲
[2016年5月19日(19.05.2016) 国際事務局受理]

[請求項1] (補正後) 複数のゲート回路を、互いに絶縁した高周波信号で駆動する回路であって、

同じデューティ比で互いに位相ずれした相補の電圧信号であって、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が高電位の同電位と低電位の同電位である同電位期間とを、各電位を時系列で高電位と低電位とで交互に切り換えて備える二つの入力信号を出力する入力信号形成回路と、

一次側コイルの両端の各入力端子に、前記入力信号形成回路10の各相の出力端子が接続されたゲートドライバトランスと、

入力端子に前記ゲートドライバトランスの出力端子が接続され、前記ゲートドライバトランスの二次側コイルに流れる二次電流を電流-電圧変換して得られる絶縁駆動信号を前記ゲート回路に出力する電流-電圧変換回路とを備え、

前記入力信号形成回路は、前記ゲートドライバトランスの一次側コイルに対して、前記相補電位期間において励磁電流および負荷電流を流し、前記同電位期間において励磁電流を流し、

前記電流-電圧変換回路は、前記相補電位期間において前記二次電流を正電圧及び負電圧に変換し、前記ゲート回路に正電圧と負電圧の絶縁駆動信号を交互に印加することを特徴とする、高周波絶縁ゲートドライバ回路。

[請求項2] 前記電流-電圧変換回路は、それぞれ抵抗と整流ダイオードとを並列接続してなる第1の並列回路と第2の並列回路とを直並列接続して構成され、

前記第1の並列回路は、前記ゲートドライバトランスの二次側コイルの巻始め側において、整流ダイオードの順方向を前記ゲート回路に向けて直列接続され、

前記第2の並列回路は、前記ゲートドライバトランスの二次側コイ

ルの巻始め側と巻き終わり側の間において、整流ダイオードの順方向を前記ゲート回路の入力端に向けて並列接続されることを特徴とする、請求項 1 に記載の高周波絶縁ゲートドライバ回路。

[請求項3] 前記第 1 の並列回路及び／又は第 2 の並列回路は、コンデンサを並列接続することを特徴とする、請求項 2 に記載の高周波絶縁ゲートドライバ回路。

[請求項4] 前記電流－電圧変換回路において、前記第 1 の並列回路の抵抗の抵抗値と前記第 2 の並列回路の抵抗の抵抗値は、前記ゲートドライバトランスから見た入力インピーダンスを所定値に調整することを特徴とする、請求項 2 に記載の高周波絶縁ゲートドライバ回路。

[請求項5] 前記第 1 の並列回路の抵抗の抵抗値と前記第 2 の並列回路の抵抗の抵抗値は同一抵抗及び許容分を含む同等の抵抗値であることを特徴とする、請求項 4 に記載の高周波絶縁ゲートドライバ回路。

[請求項6] 前記第 1 の並列回路の抵抗の抵抗値と前記第 2 の並列回路の抵抗の抵抗値は、ゲートドライバトランスと電流－電圧変換回路との間の伝送線路の特性インピーダンスと同じであることを特徴とする、請求項 4 に記載の高周波絶縁ゲートドライバ回路。

[請求項7] 前記ゲートドライバトランスの一次側又は二次側にコモンモードトランスを備え、前記コモンモードトランスの特性インピーダンスは、ゲートドライバトランスと電流－電圧変換回路との間の伝送線路の特性インピーダンスと同じであることを特徴とする、1 から 6 の何れか一つの記載の高周波絶縁ゲートドライバ回路。

[請求項8] 前記入力信号形成回路は、
高周波パルス信号を形成するパルス信号形成回路と、
前記高周波パルス信号の二値に基づいて、高電位又は低電位の入力信号を出力する二つのゲートドライバトランス駆動素子を備えることを特徴とする、請求項 1 から 7 の何れか一つに記載の高周波絶縁ゲートドライバ回路。

- [請求項9] 高周波パルス信号を形成する制御回路を備え、
前記入力信号形成回路は、
前記制御回路が形成する高周波パルス信号の二値信号に基づいて、
高電位又は低電位の入力信号を出力する二つのゲートドライバトランス駆動素子を備えることを特徴とする、請求項1から8の何れか一つに記載の高周波絶縁ゲートドライバ回路。
- [請求項10] 前記ゲート回路は、スイッチング素子と、当該スイッチング素子を駆動するゲートドライバ回路との高周波スイッチングモジュールで構成され、
前記ゲートドライバ回路は、前記電流－電圧変換回路から出力された絶縁駆動信号によって前記スイッチング素子のオン／オフ制御を行うことを特徴とする、請求項1から9の何れか一つに記載の高周波絶縁ゲートドライバ回路。
- [請求項11] 前記複数のゲート回路は、負荷に高電位を印加する高圧側ゲート回路と負荷に低電位を印加する低圧側ゲート回路とのフルブリッジ又はハーフブリッジで構成され、
高圧側ゲート回路および低圧側ゲート回路の各入力端にそれぞれ高周波絶縁ゲートドライバ回路が接続されることを特徴とする、請求項1から10の何れか一つに記載の高周波絶縁ゲートドライバ回路。
- [請求項12] 高圧側のゲートドライバトランス駆動素子は電源電圧に基づいた前記高電位又は低電位の入力信号を形成し、
低圧側のゲートドライバトランス駆動素子は接地電圧、又は零電圧を含む基準電圧に基づいた前記高電位又は低電位の入力信号を形成することを特徴とする、請求項8又は9に記載の高周波絶縁ゲートドライバ回路。
- [請求項13] 高圧側のゲートドライバトランス駆動素子は正の電源電圧に基づいた前記高電位又は低電位の入力信号を形成し、
低圧側のゲートドライバトランス駆動素子は負の電源電圧に基づい

た前記高電位又は低電位の入力信号を形成することを特徴とする、請求項 8 又は 9 に記載の高周波絶縁ゲートドライバ回路。

[請求項14] (補正後) 複数のゲート回路を、互いに絶縁した複数の高周波信号で駆動する方法であって、

ゲートドライバトランスの一次側コイルの両端の各入力端子に、同じデューティ比で互いに位相ずれした相補の電圧信号であって、互いの相の電圧が高電位と低電位との相補関係である相補電位期間と、互いの相の電圧が高電位の同電位と低電位の同電位である同電位期間とを、各電位を時系列で高電位と低電位とで交互に切り換えて備える二つの入力信号を印加し、

前記ゲートドライバトランスの一次側コイルにおいて、前記相補電位期間において励磁電流および負荷電流を流し、前記同電位期間において励磁電流を流し、

前記相補電位期間において前記ゲートドライバトランスの二次側コイルに流れる二次電流を正電圧及び負電圧に変換し、前記ゲート回路に正電圧と負電圧の絶縁駆動信号を交互に印加し、

前記絶縁駆動信号によって前記ゲート回路を駆動することを特徴とする、ゲート回路駆動方法。

[請求項15] それぞれ抵抗と整流ダイオードとを並列接続してなる第 1 の並列回路と第 2 の並列回路とを直並列接続して構成され、

前記ゲートドライバトランスの二次側コイルの巻始め側において、抵抗と整流ダイオードとを並列接続回路であって、整流ダイオードの順方向を前記ゲート回路に向けて直列接続される第 1 の並列回路と、

前記ゲートドライバトランスの二次側コイルの巻始め側と巻き終わり側の間において、抵抗と整流ダイオードとを並列接続回路であって、整流ダイオードの順方向を前記ゲート回路の入力端に向けて並列接続される第 2 の並列回路とを直並列接続して構成され、前記ゲートドライバトランスの二次側コイルに接続された電流-電圧変換回路によ

って前記電流－電圧変換を行い、

前記入力信号の差電圧が前記第1の並列回路の整流ダイオードの順方向に対して負電圧である期間において、前記絶縁駆動信号の電位を前記第2の並列回路の整流ダイオードによって順方向電圧分だけ逆方向にバイアスすることを特徴とする、請求項14に記載のゲート回路駆動方法。

[請求項16]

二つのゲートドライバトランス駆動素子を備え、

一方のゲートドライバトランス駆動素子に、二値の高周波パルス信号の高電位の信号を印加して高電位の入力信号を生成し、

他方のゲートドライバトランス駆動素子に、二値の高周波パルス信号の低電位の信号を印加して低電位の入力信号を生成することを特徴とする、請求項14又は15に記載のゲート回路駆動方法。

[請求項17]

前記電流－電圧変換回路から出力された絶縁駆動信号は、前記ゲート回路が備えるゲートドライバ回路により駆動電圧を生成し、当該駆動電圧によって前記ゲート回路が備えるスイッチング素子のオン／オフ制御を行うことを特徴とする、請求項14から16の何れか一つに記載のゲート回路駆動方法。

[請求項18]

前記二つの入力信号間の位相差によって絶縁駆動信号のデューティを調整することを特徴とする、請求項14から17の何れか一つに記載のゲート回路駆動方法。

条約19条(1)に基づく説明書

請求の範囲第1,14項は、

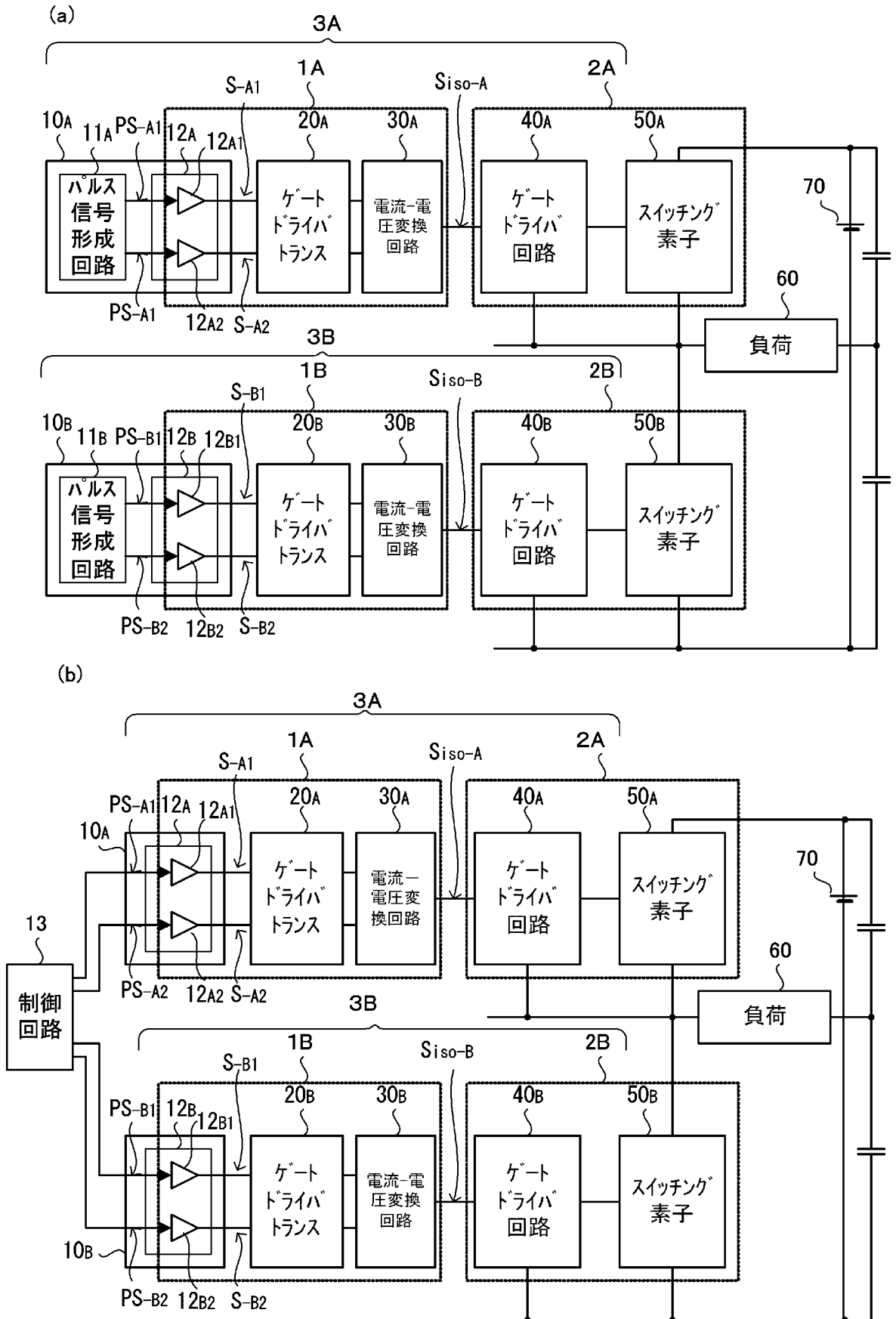
- ・同電位期間において互いの相の電圧は高電位の同電位と低電位の同電位であること
- ・入力信号形成回路は、相補正電位期間では励磁電流と負荷電流を、同電位期間では励磁電流を一次側トランスに対して流すこと
- ・電流－電圧変換回路は、相補正電位期間では二次電流を正電圧及び負電圧に変換し、ゲート回路に正電圧と負電圧の絶縁駆動信号を交互に印加することを明確とした。

引用例1,3は、本発明の「電流－電圧変換回路」について開示していない。引用例4は「ダイオードと抵抗の並列接続」について開示していない。引用例には、相補正電位期間においてゲート回路に正電圧と負電圧の絶縁駆動信号を交互に印加することについて開示していない。

本発明は、励磁電流のリセット期間を不要としてリセット後の自己共振現象の発生を抑制することができ、励磁電流が常時流れることによって自己共振現象によるノイズの発生を抑制し、スイッチング素子の誤動作を抑制するという効果を奏する。

[図1]

図1



[図2]

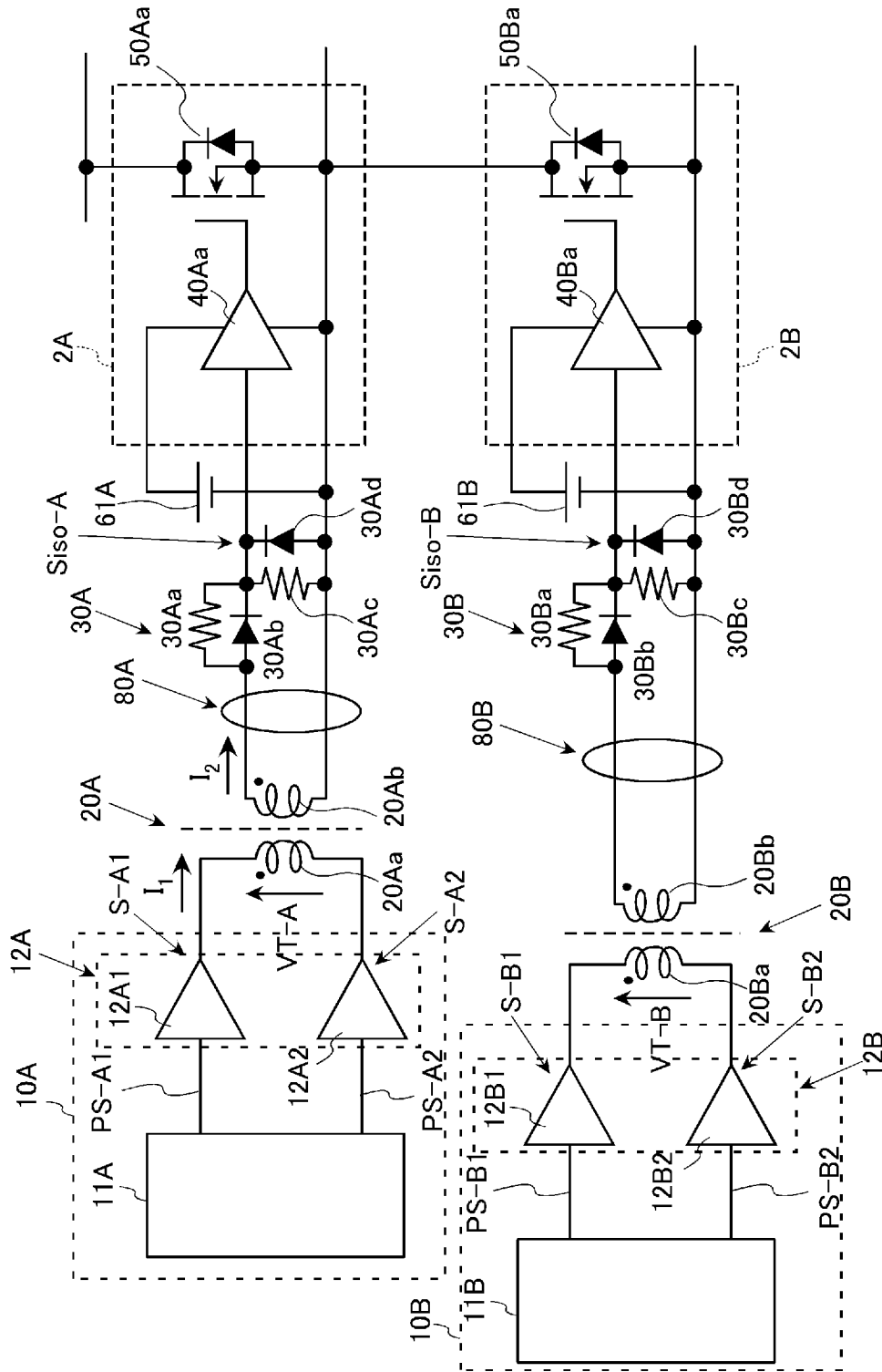


図2 拘束磁化ゲートトランジスタを用いた回路

[図3]

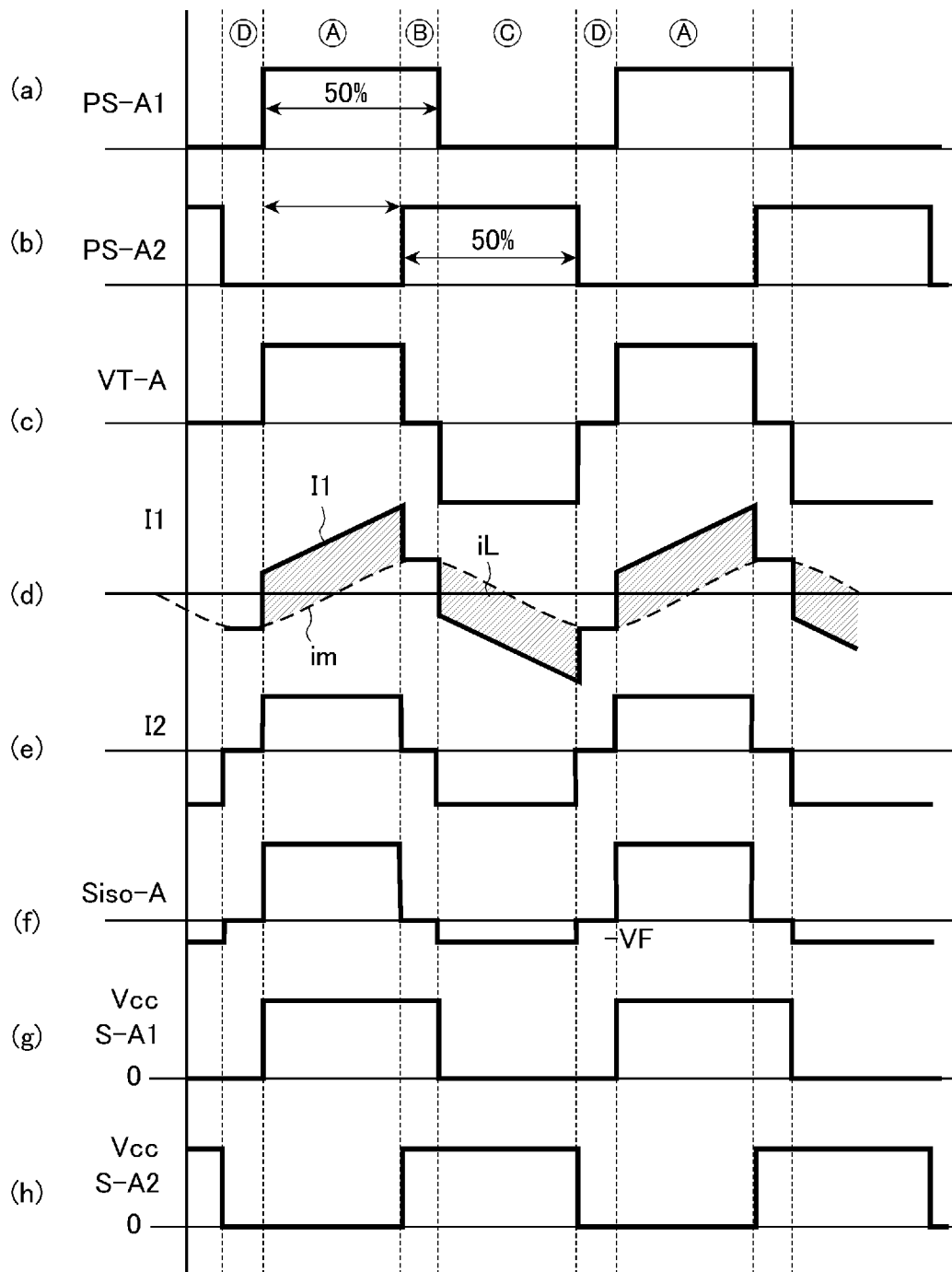
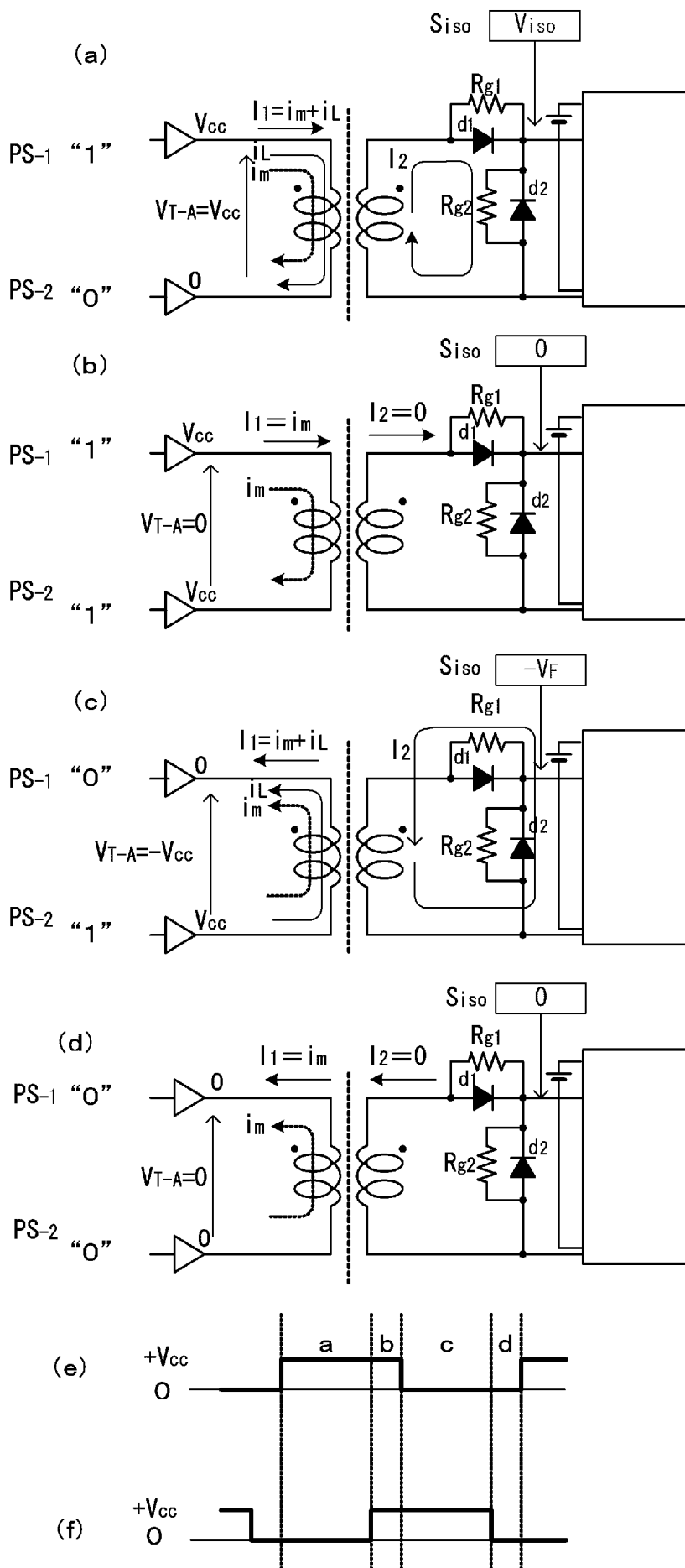


図3 ゲートトランスの励磁電流

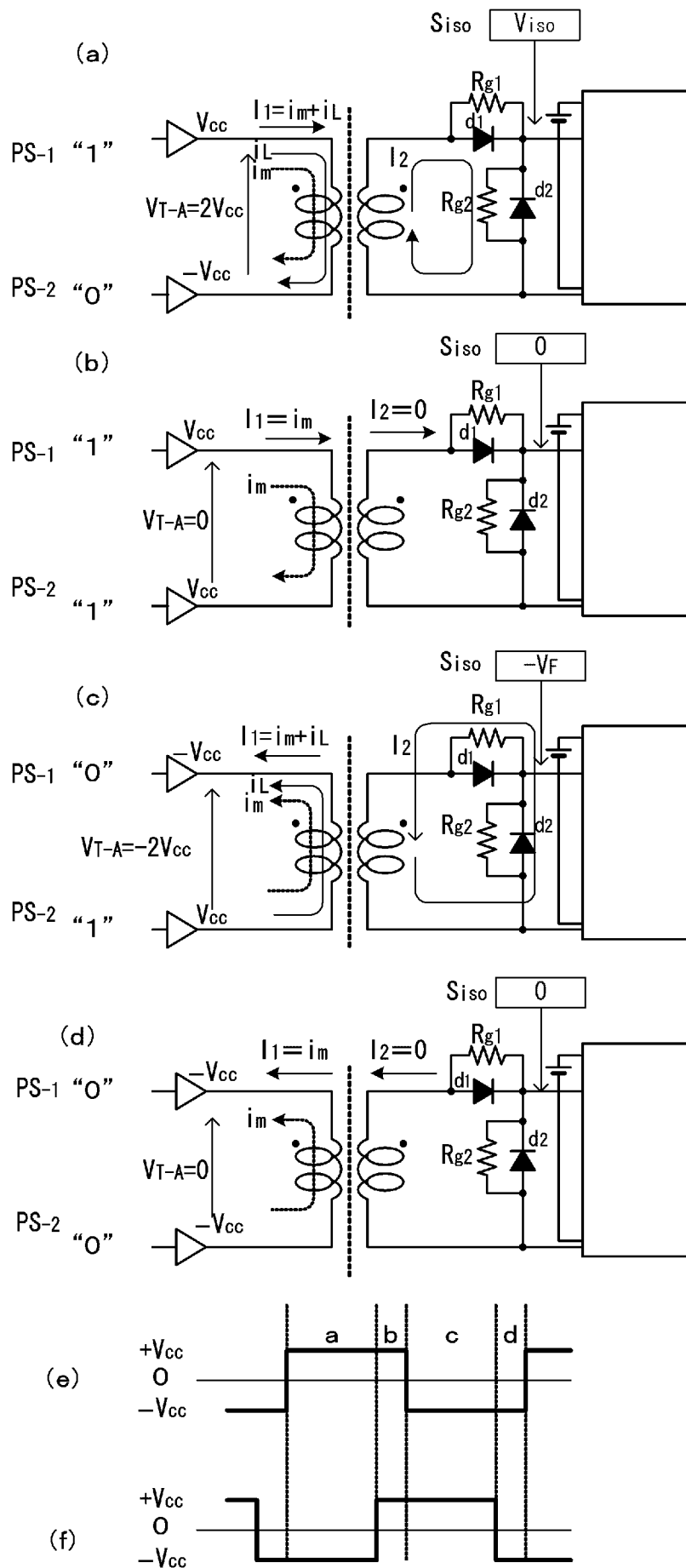
[図4]

図4



[図5]

図5



[図6]

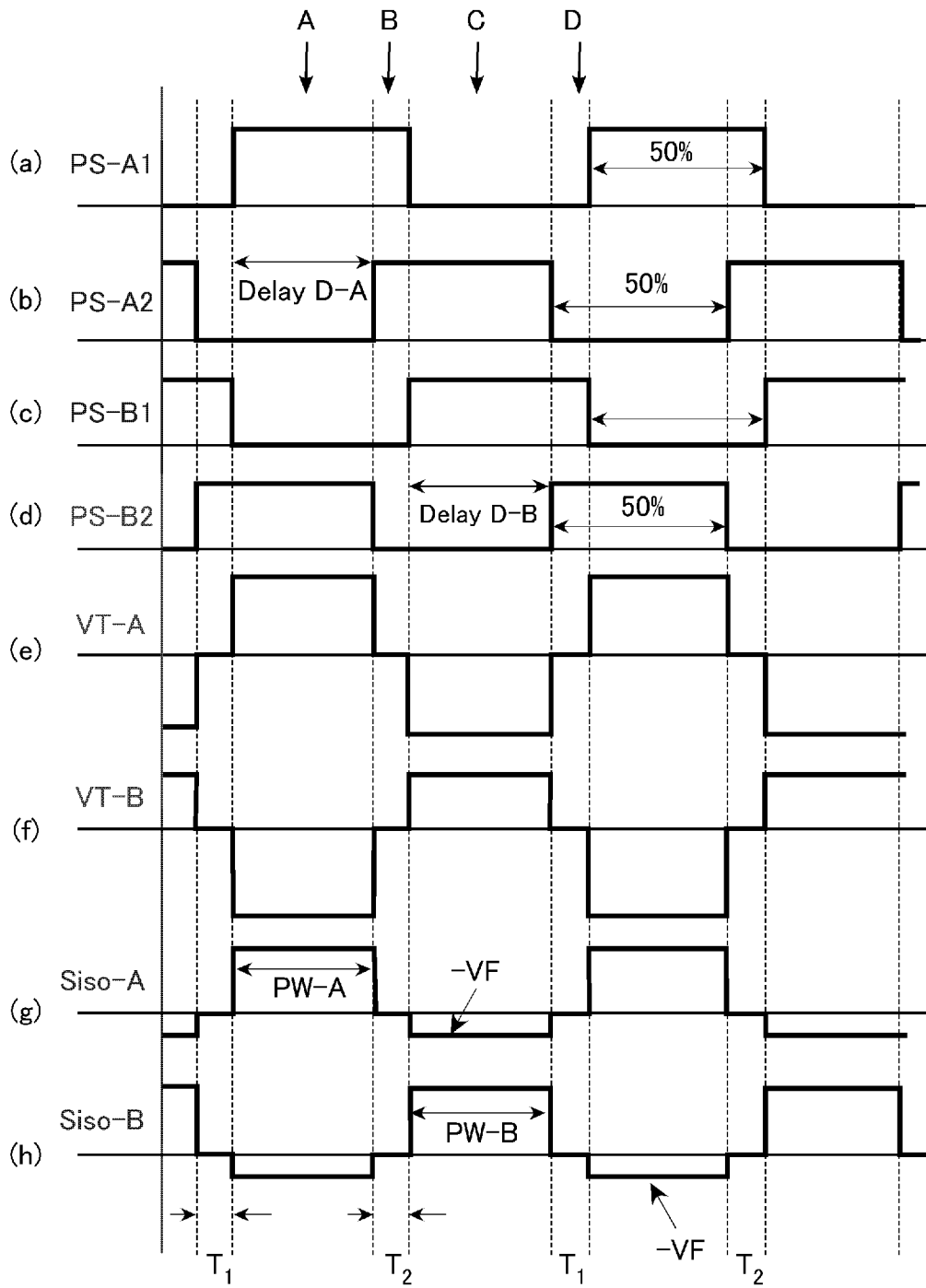


図6

[図7]

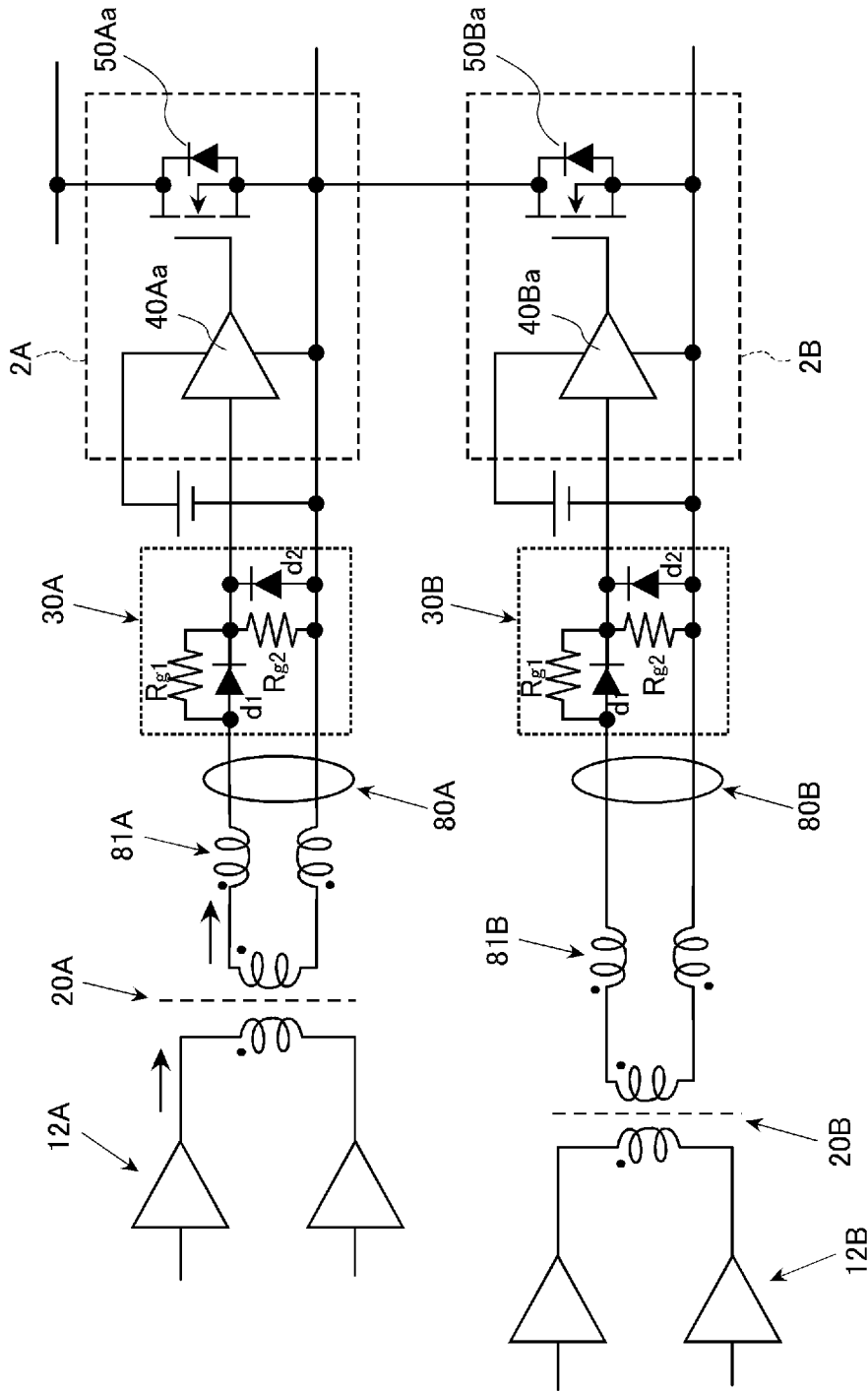
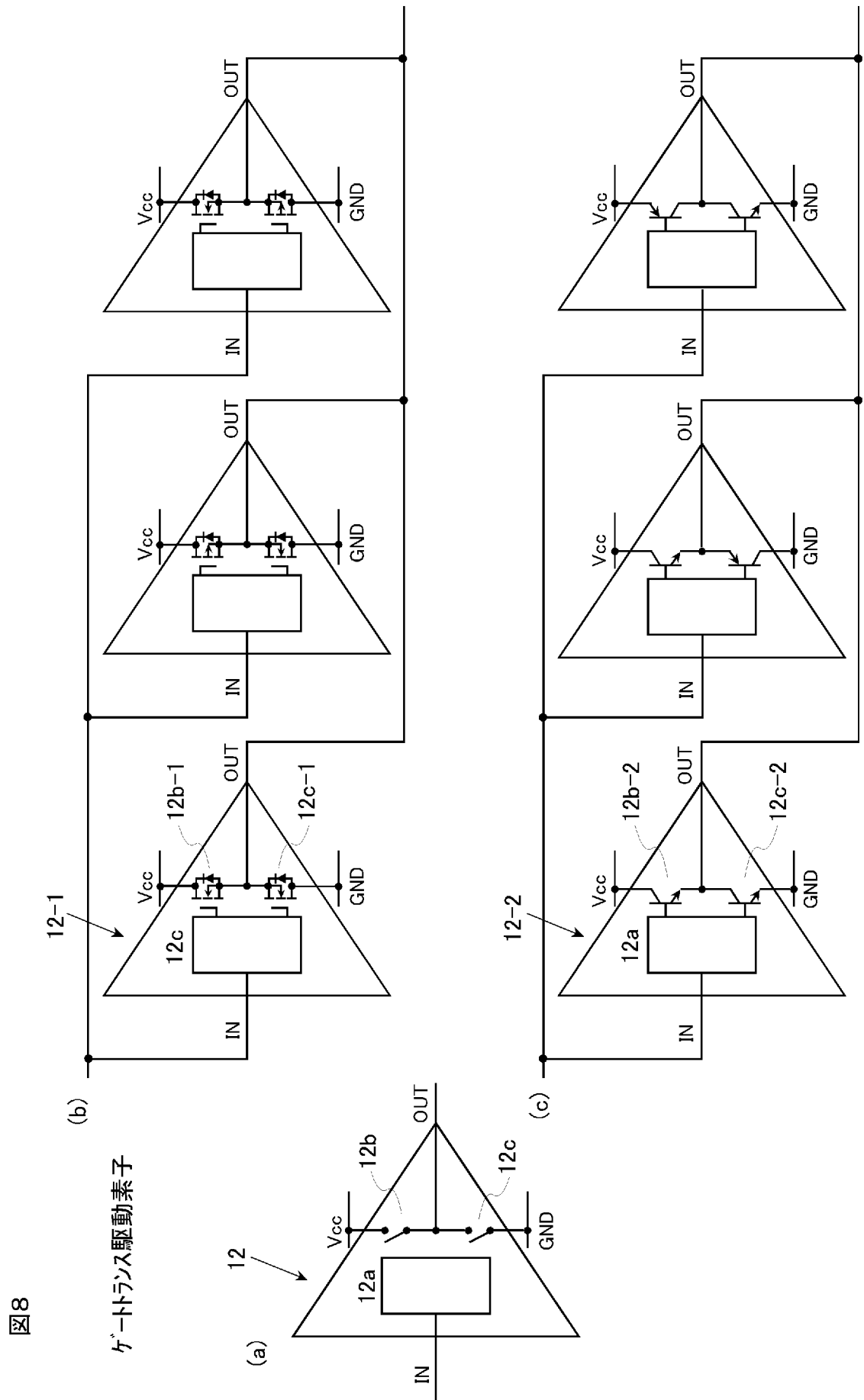


図7

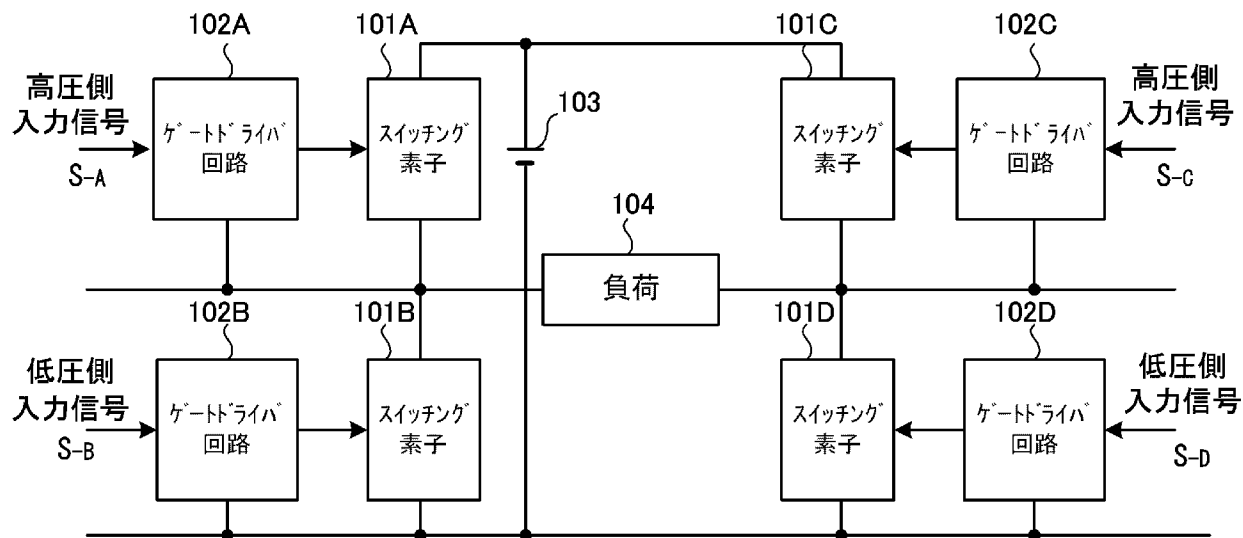
[図8]



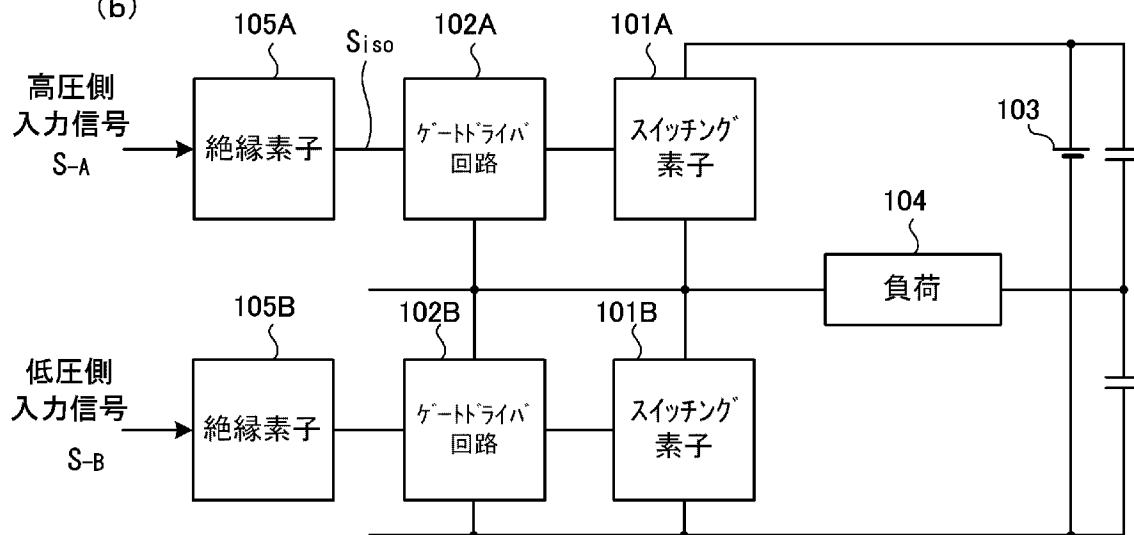
[図9]

図9

(a)

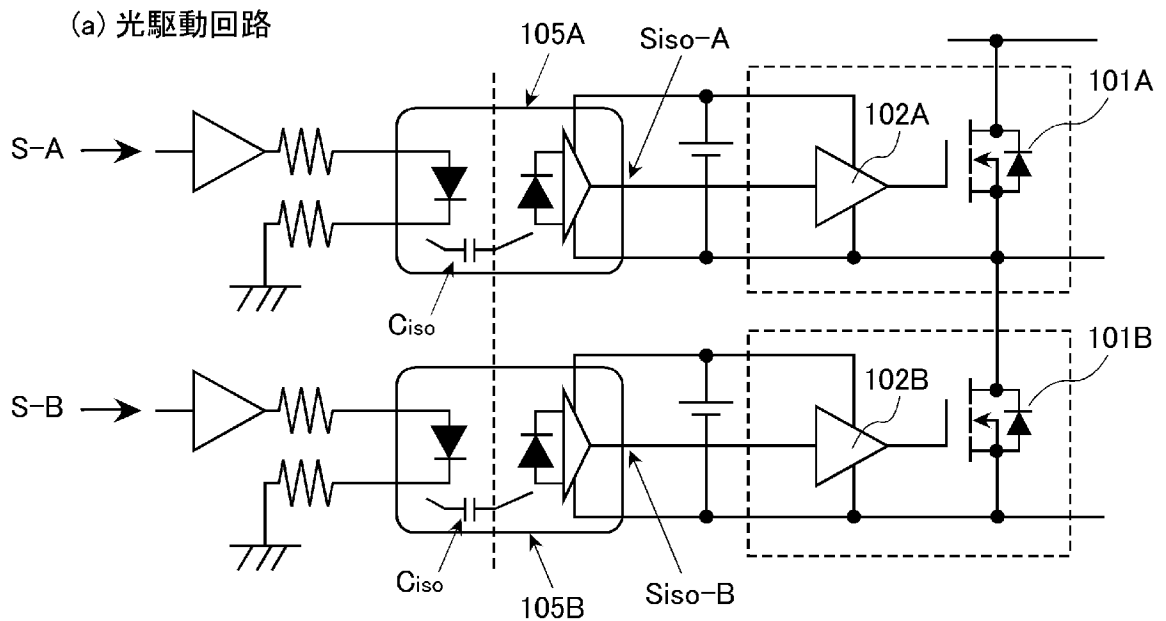


(b)

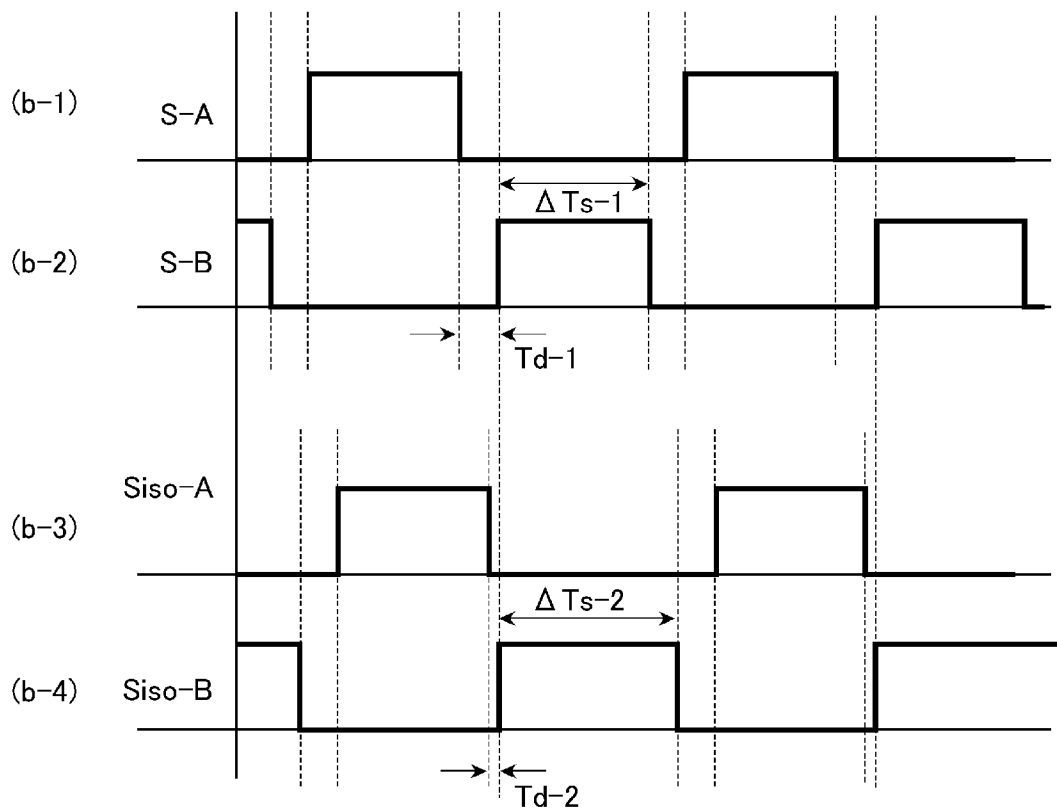


[図10]

図10
光絶縁素子を用いる回路

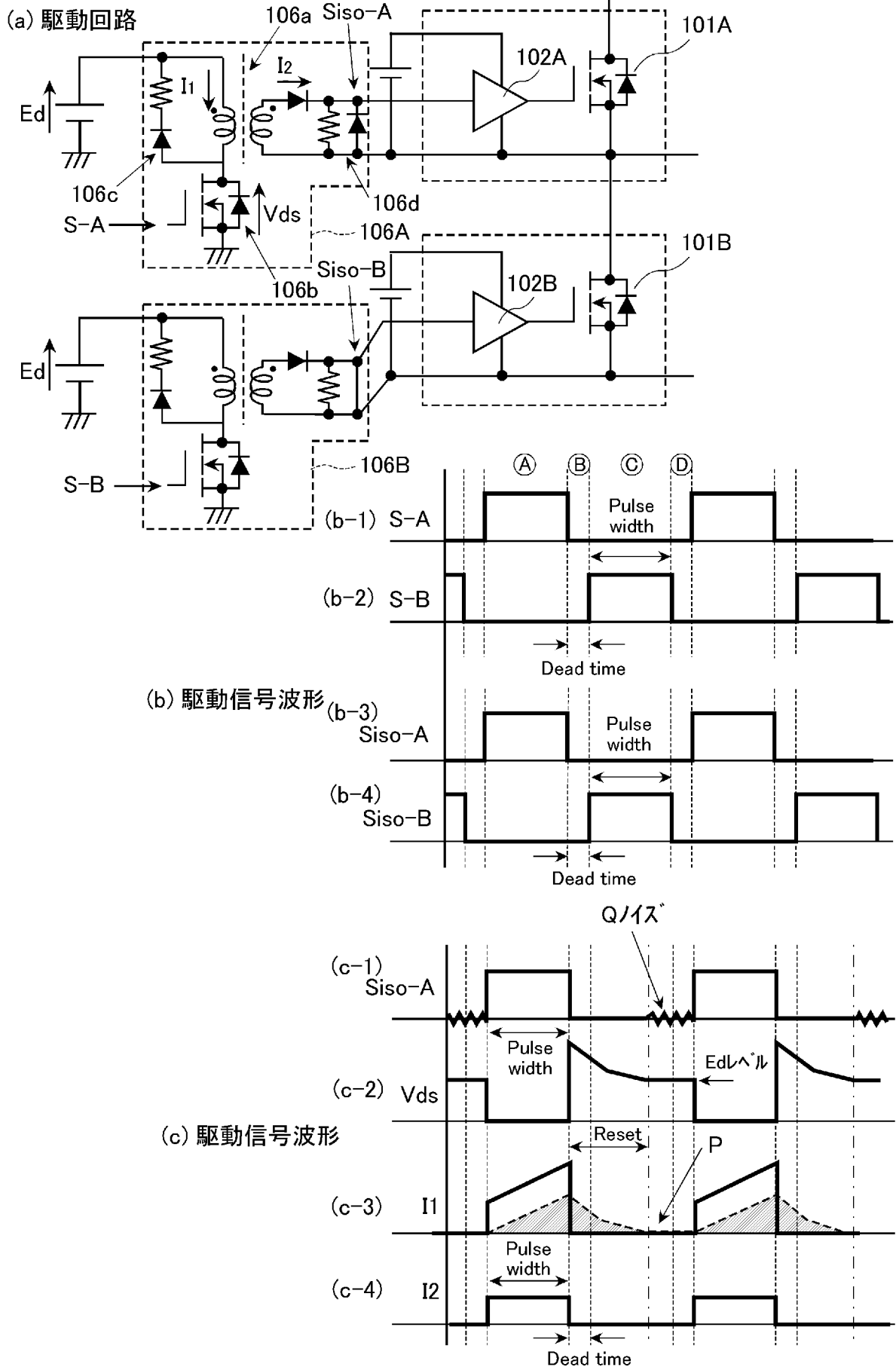


(b) 駆動信号波形



[図11]

図11 自由磁化トランスを用いる回路



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/054726

A. CLASSIFICATION OF SUBJECT MATTER
H02M1/08(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M1/08, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-153882 A (Toyota Industries Corp.), 27 May 2004 (27.05.2004), paragraphs [0018] to [0030]; fig. 1 (Family: none)	1-4, 8-18 5-7
Y	US 5912810 A (LUCENT TECHNOLOGIES INC.), 15 June 1999 (15.06.1999), column 8, line 63 to column 9, line 22; fig. 5 & US 5822199 A & US 6038145 A	1-4, 8-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 April 2015 (27.04.15)	Date of mailing of the international search report 19 May 2015 (19.05.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/054726

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 133079/1988 (Laid-open No. 53279/1990) (Japan Storage Battery Co., Ltd.), 17 April 1990 (17.04.1990), fig. 2 (Family: none)	2-4, 8-13, 15-18
Y	JP 2014-200133 A (The Nippon Signal Co., Ltd.), 23 October 2014 (23.10.2014), fig. 1 (Family: none)	2-4, 8-13, 15-18
Y	JP 2011-244615 A (Sanken Electric Co., Ltd.), 01 December 2011 (01.12.2011), paragraph [0014]; fig. 1 & US 2011/0285447 A1	3-4, 8-13
Y	JP 2002-64339 A (Taiyo Yuden Co., Ltd.), 28 February 2002 (28.02.2002), paragraph [0200]; fig. 40 (Family: none)	4, 8-13
Y	JP 2009-278863 A (Monolithic Power Systems, Inc.), 26 November 2009 (26.11.2009), paragraphs [0010] to [0011]; fig. 1 & JP 2007-43886 A & US 2007/0025123 A1 & CN 1909372 A & TW I384745 B	10-11, 17-18

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M1/08(2006.01)i, H03K17/687(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M1/08, H03K17/687		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2004-153882 A (株式会社豊田自動織機) 2004.05.27, 段落 [0018]-[0030], 図1 (ファミリーなし)	1-4, 8-18 5-7
Y	US 5912810 A (LUCENT TECHNOLOGIES INC) 1999.06.15, 第8カラム 第63行-第9カラム第22行, 図5 & US 5822199 A & US 6038145 A	1-4, 8-18
Y	日本国実用新案登録出願63-133079号(日本国実用新案登録出願公開 2-53279号)の願書に添付した明細書及び図面の内容を撮影したマイ クロフィルム (日本電池株式会社) 1990.04.17, 第2図 (ファミリ	2-4, 8-13, 15- 18
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 27.04.2015	国際調査報告の発送日 19.05.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 神山 貴行 電話番号 03-3581-1101 内線 3357	3V 3428

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	ーなし)	
Y	JP 2014-200133 A (日本信号株式会社) 2014. 10. 23, 図 1 (ファミリーーなし)	2-4, 8-13, 15-18
Y	JP 2011-244615 A (サンケン電気株式会社) 2011. 12. 01, 段落 [0014], 図 1 & US 2011/0285447 A1	3-4, 8-13
Y	JP 2002-64339 A (太陽誘電株式会社) 2002. 02. 28, 段落 [0200], 図 40 (ファミリーーなし)	4, 8-13
Y	JP 2009-278863 A (モノリシック パワー システムズ インコーポレイテッド) 2009. 11. 26, 段落 [0010]-[0011], 図 1 & JP 2007-43886 A & US 2007/0025123 A1 & CN 1909372 A & TW I384745 B	10-11, 17-18