

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5255046号
(P5255046)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年4月26日(2013.4.26)

(51) Int.Cl.
GO 1 R 15/20 (2006.01)

F I
GO 1 R 15/02 B

請求項の数 7 外国語出願 (全 38 頁)

(21) 出願番号	特願2010-281774 (P2010-281774)	(73) 特許権者	501105602
(22) 出願日	平成22年12月17日 (2010.12.17)		アレグロ・マイクロシステムズ・インコーポレーテッド
(62) 分割の表示	特願2008-513632 (P2008-513632)の分割		アメリカ合衆国マサチューセッツ州01615, ウスター, ノースイースト・カットオフ 115
原出願日	平成18年5月23日 (2006.5.23)	(74) 代理人	100140109
(65) 公開番号	特開2011-75576 (P2011-75576A)		弁理士 小野 新次郎
(43) 公開日	平成23年4月14日 (2011.4.14)	(74) 代理人	100075270
審査請求日	平成23年1月11日 (2011.1.11)		弁理士 小林 泰
(31) 優先権主張番号	11/140, 250	(74) 代理人	100080137
(32) 優先日	平成17年5月27日 (2005.5.27)		弁理士 千葉 昭男
(33) 優先権主張国	米国 (US)	(74) 代理人	100096013
(31) 優先権主張番号	11/144, 970		弁理士 富田 博行
(32) 優先日	平成17年6月3日 (2005.6.3)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 電流センサ

(57) 【特許請求の範囲】

【請求項 1】

集積回路において、
複数のリード線を有するリードフレーム部と、
前記複数のリード線のうちの少なくとも二つを備える第1の電流導体部と、
第1の表面および反対の第2の表面を有する基板であって、前記第1の表面が前記第1の電流導体部の近位にあり、前記第2の表面が前記第1の電流導体部から遠位にある、基板と、

前記基板の前記第1の表面上に配設された一つまたは複数の磁場変換器と、
前記基板の前記第1の表面に集積回路デポジション技法を使ってデポジットされた第2の電流導体部であって、前記一つまたは複数の磁場変換器の近位に配設され、前記第1の電流導体部に電気的に結合された、第2の電流導体部とを備える、集積回路。

【請求項 2】

前記複数のリード線のうちの前記少なくとも二つが、前記リードフレーム部を通る電流経路を提供する、請求項1に記載の集積回路。

【請求項 3】

前記複数のリード線のうちの前記少なくとも二つと、前記第2の電流導体部とが、電流経路を提供する、請求項1に記載の集積回路。

【請求項 4】

前記基板が、前記第1の電流導体部の上方にある前記基板の前記第1の表面と、前記第

1の表面の上方にある前記第2の表面とを有して配設される、請求項1に記載の集積回路。

【請求項5】

前記第1の電流導体部の少なくとも一部分が、T字形断面を有する、請求項1に記載の集積回路。

【請求項6】

前記第1の電流導体部の少なくとも一部分が、前記リードフレーム部の厚さよりも小さい厚さを有する長方形断面を有する、請求項1に記載の集積回路。

【請求項7】

前記基板に配設された少なくとも一つの増幅器をさらに備える、請求項1に記載の集積回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に電流センサに関し、より詳細には、集積回路パッケージ内の小型化された電流センサに関する。

【背景技術】

【0002】

当技術分野で知られているように、一つのタイプの従来の電流センサは、電流導体の近傍で磁場変換器（例えばホール効果または磁気抵抗変換器）を使用する。磁場変換器は、電流導体を通して流れる電流によって誘導される磁場に比例する大きさを有する出力信号を発生する。

20

【0003】

いくつかの典型的なホール効果電流センサは、ギャップ付トロイド磁束収束器を含み、ホール効果素子がトロイドギャップ内に位置決めされる。ホール効果デバイスおよびトロイドは、ハウジング内に組み立てられ、ハウジングは、印刷回路板に実装可能である。使用時、ワイヤなど個別の電流導体が、トロイドの中心を通される。そのようなデバイスは、高さと同回路板面積との両方の点で望ましくなく大きくなる傾向がある。

【0004】

他のホール効果電流センサは、誘電体材料、例えば回路板に実装されたホール効果素子を含む。一つのそのような電流センサは、欧州特許出願第EP0867725号に記載されている。さらに他のホール効果電流センサは、欧州特許出願第EP1111693号に記載されているように、基板、例えばシリコン基板上に実装されたホール効果素子を含む。

30

【0005】

様々なパラメータが、感度および線形性を含めた電流センサの性能を特徴付ける。感度は、感知される電流にตอบสนองしたホール効果変換器からの出力電圧の変化の大きさに関係付けられる。線形性は、感知される電流に正比例してホール効果変換器からの出力電圧が変化する度合いに関係付けられる。

【0006】

40

電流センサの感度は、様々な因子に関係付けられる。一つの重要な因子は、電流導体の近くで発生され、ホール効果素子によって感知される磁場の磁束収束である。このために、いくつかの電流センサが、磁束収束器を使用する。特に磁束収束器が使用されない電流センサのための別の重要な因子は、ホール効果素子と電流導体との間の物理的な離隔である。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】欧州特許出願第EP0867725号

【特許文献2】欧州特許出願第EP1111693号

50

【特許文献3】米国特許出願公開第2005/0045359号明細書

【発明の開示】

【課題を解決するための手段】

【0008】

本発明によれば、集積回路電流センサは、電流導体部を提供するように結合された少なくとも二つのリード線を有するリードフレームと、一つまたは複数の磁場変換器が配設される第1の表面であって、電流導体部の近位にある第1の表面、および電流導体部から遠位にある第2の表面を有する基板とを含む。一つの特定の実施形態では、基板は、電流導体部の上方にある基板の第1の表面と、前記第1の表面の上方にある基板の第2の表面とを有して配設される。この特定の実施形態では、基板は、従来の向きに関して集積回路内で上下逆に向けられる。

10

【0009】

この特定の構成では、電流センサは、電流導体部のごく近傍に位置決めされた一つまたは複数の磁場変換器を設けられ、改良された感度をもたらす。さらに、電流センサは、小さな集積回路パッケージ内に提供される。

【0010】

本発明の別の態様によれば、集積回路を製造する方法が、複数のリード線を有するリードフレームを提供するステップであって、複数のリード線のうちの少なくとも二つが一緒に結合されて電流導体部を形成するステップと、所定の形状を有する断面を電流導体部に提供するために電流導体部をエッチングするステップとを含む。一つの特定の実施形態では、所定の形状は、T字形である。別の実施形態では、所定の形状は、リードフレームの大部分の厚さよりも小さい最小寸法を有する長方形状である。

20

【0011】

この特定の構成では、電流導体部の表面の上に磁束密度がより多く集中されるように電流導体部が提供される。したがって、電流導体部の近くに実装された磁場変換器が、増加された磁場を受け、改良された感度を有する電流センサをもたらす。

【0012】

本発明の別の態様によれば、集積回路は、複数のリード線を有するリードフレーム部を含み、第1の電流導体部が、複数のリード線のうちの少なくとも二つを備える。また、集積回路は、第1の表面および反対の第2の表面を有する基板を含み、第1の表面が前記第1の電流導体部の近位にあり、第2の表面が前記第1の電流導体部から遠位にある。一つまたは複数の磁場変換器が、前記基板の第1の表面上に配設される。集積回路は、さらに、基板の第1の表面上にデポジットされ、一つまたは複数の磁場変換器の近位に配設され、第1の電流導体部に結合された第2の電流導体部を含む。

30

【0013】

本発明の別の態様によれば、集積回路は、複数のリード線を有し、複数のリード線のうちの少なくとも二つの結合を備える電流導体部を有するリードフレームを含む。また、集積回路は、第1の表面および反対の第2の表面を有する基板を含む。基板の第1の表面は、電流導体部の近位にあり、基板の第2の表面は、電流導体部から遠位にある。リード線の各一つが、それぞれの長さを有し、リード線の各一つが、リード線の長さ全体にわたって基板の第2の表面よりも基板の第1の表面に近くなるように選択された方向に湾曲部を有する。また、集積回路は、基板とリードフレームの電流導体部との間に配設された絶縁層と、基板の第1の表面上に配設された一つまたは複数の磁場変換器とを含む。

40

【0014】

本発明のさらに別の態様によれば、集積回路は、複数のリード線を有し、複数のリード線のうちの少なくとも二つを備える第1の電流導体部を有するリードフレーム部を含む。また、集積回路は、第1の表面および反対の第2の表面を有する基板を含む。基板の第1の表面は、第1の電流導体部の近位にあり、基板の第2の表面は、第1の電流導体部から遠位にある。また、集積回路は、基板の第1の表面上に配設された一つまたは複数の磁場変換器を含む。集積回路は、さらに、基板の第1の表面の近位にデポジットされ、一つま

50

たは複数の磁場変換器の近位に配設された第２の電流導体部を含む。第２の電流導体部は、第１の電流導体部に結合される。集積回路は、さらに、第２の電流導体部と基板の第１の表面との間に配設された絶縁層を含む。

【００１５】

本発明のさらに別の態様によれば、集積回路は、複数のリード線を有し、複数のリード線のうちの少なくとも二つを備える電流導体部を有するリードフレームを含む。集積回路は、さらに、第１の表面および反対の第２の表面を有する基板を含み、第１の表面が電流導体部の近位にあり、第２の表面が前記電流導体部から遠位にある。集積回路は、さらに、前記基板の第１の表面上に配設された一つまたは複数の磁場変換器と、基板とリードフレームの電流導体部との間に配設された絶縁層とを含む。絶縁層は、セラミック層を備える介在絶縁層、リードフレームと関連付けられた、リードフレーム溶射絶縁層、リードフレーム被覆絶縁層、またはリードフレーム酸化物絶縁層の少なくとも一つを備えるリードフレーム絶縁層、あるいは基板と関連付けられた、基板被覆絶縁層または基板酸化物絶縁層の少なくとも一つを備える基板絶縁層のうち少なくとも一つを含む。

10

【００１６】

本発明のさらに別の態様によれば、集積回路は、複数のリード線と、複数のリード線のうちの少なくとも二つを備える電流導体部とを有するリードフレーム部を含む。また、集積回路は、第１の表面および反対の第２の表面を有する基板を含む。第１の表面は、電流導体部の近位にあり、第２の表面は、電流導体部から遠位にある。また、集積回路は、電流導体部の近位に配設された一つまたは複数の磁場感知素子を含む。また、集積回路は、基板の第１の表面上に配設され、一つまたは複数の磁場感知素子に結合された電流感知回路を含む。電流感知回路は、電流導体部を通して流れる電流を示す出力信号を提供するように適合される。また、集積回路は、基板の第１の表面上に配設された過電流回路を含む。過電流回路は、電流と関連付けられた電圧降下を感知するように適合され、さらに、電圧降下に応答して出力信号を提供するように適合される。過電流回路からの出力信号は、過電流回路によって感知された電流が所定の電流よりも上であることを示す。

20

【００１７】

本発明のさらに別の態様によれば、集積回路は、複数のリード線と、複数のリード線のうちの少なくとも二つを備える第１の電流導体部とを有するリードフレームを含む。また、集積回路は、複数のリード線のうちの少なくとも二つの結合を備える分流導体部を含む。集積回路は、さらに、第１の表面および反対の第２の表面を有する基板を含む。基板の第１の表面は、第１の電流導体部の近位にあり、基板の第２の表面は、第１の電流導体部から遠位にある。また、集積回路は、前記基板の第１の表面上に配設された一つまたは複数の磁場変換器を含む。

30

【００１８】

本発明のさらに別の態様によれば、電流センサは、複数のリード線を有するリードフレームを含む。第１の電流導体部が、複数のリード線のうちの少なくとも二つを含む。また、電流センサは、第１の表面および反対の第２の表面を有する基板を含む。第１の表面は、第１の電流導体部の近位にあり、第２の表面は、第１の電流導体部から遠位にある。また、電流センサは、前記基板の第１の表面に配設された一つまたは複数の磁場変換器と、一つまたは複数の磁場変換器の近位にあり、基板の第１の表面と第１の電流導体部との間に配設された電磁シールドとを含む。電磁シールドは、電磁シールド内で誘導される渦電流を低減するように選択された少なくとも一つの特徴部を有する。

40

【００１９】

本発明のさらに別の態様によれば、電流センサは、複数のリード線を有するリードフレームと、第１の表面および反対の第２の表面を有する基板とを含む。一つまたは複数の磁場変換器が、基板の第１の表面上に被覆される。また、電流センサは、一つまたは複数の磁場変換器の近位に配設された電磁シールドを含む。電磁シールドは、電磁シールド内で誘導される渦電流を低減するように選択された少なくとも一つの特徴部を有する。

【００２０】

50

本発明の前述の特徴、および本発明自体は、以下の図面の詳細な説明からより完全に理解することができる。

【 0 0 2 1 】

第 1 の態様では、集積回路において、複数のリード線を有するリードフレーム部と、前記複数のリード線のうちの少なくとも二つを備える第 1 の電流導体部と、第 1 の表面および反対の第 2 の表面を有する基板であって、前記第 1 の表面が前記第 1 の電流導体部の近位にあり、前記第 2 の表面が前記第 1 の電流導体部から遠位にある、基板と、前記基板の前記第 1 の表面上に配設された一つまたは複数の磁場変換器と、前記基板の前記第 1 の表面にデポジットされた第 2 の電流導体部であって、前記一つまたは複数の磁場変換器の近位に配設され、前記第 1 の電流導体部に結合された、第 2 の電流導体部とを備える。第 2 の態様

では、前記複数のリード線のうちの前記少なくとも二つが、前記リードフレーム部を通る電流経路を提供する。第 3 の態様では、前記複数のリード線のうちの前記少なくとも二つが、前記第 2 の電流導体部を通る電流経路を提供する。第 4 の態様では、前記基板が、前記第 1 の電流導体部の上方にある前記基板の前記第 1 の表面と、前記第 1 の表面の上方にある前記第 2 の表面とを有して配設される。第 5 の態様では、前記第 2 の電流導体部の少なくとも一部分が、T 字形断面を有する。第 6 の態様では、前記第 2 の電流導体部の少なくとも一部分が、前記リードフレーム部の厚さよりも小さい最小寸法を有する長方形断面を有する。第 7 の態様では、前記基板に配設された少なくとも一つの増幅器をさらに備える。

【 0 0 2 2 】

第 8 の態様では、集積回路において、複数のリード線を有するリードフレーム部であって、前記複数のリード線のうちの少なくとも二つを備える電流導体部を有する、リードフレーム部と、第 1 の表面および反対の第 2 の表面を有する基板であって、前記第 1 の表面が前記電流導体部の近位にあり、前記第 2 の表面が前記電流導体部から遠位にあり、前記リード線の各一つがそれぞれの長さを有し、前記リード線の各一つが、前記リード線の前記長さ全体にわたって、前記基板の前記第 2 の表面よりも前記基板の前記第 1 の表面に近くなるように選択された方向に湾曲部を有する、基板と、前記基板および前記リードフレームの前記電流導体部の間に配設された絶縁層と、前記基板の前記第 1 の表面上に配設された一つまたは複数の磁場変換器とを備える。第 9 の態様では、前記絶縁層が、ポリマーテープから構成される。第 10 の態様では、前記絶縁層が、セラミック層から構成される。第 11 の態様では、前記絶縁層が、前記電流導体部上に配設された絶縁材料を備える。第 12 の態様では、前記絶縁材料が、ポリマーテープ、ポリマー、セラミック、または酸化物の少なくとも一つを備える。第 13 の態様では、前記絶縁層が、前記基板上に配設された絶縁材料を備える。第 14 の態様では、前記絶縁材料が、ポリマーテープ、ポリマー、セラミック、窒化物、または酸化物の少なくとも一つを備える。第 15 の態様では、前記電流導体部が、前記複数のリード線のうちの前記少なくとも二つの結合を備える。

【 0 0 2 3 】

第 16 の態様では、集積回路において、複数のリード線を有するリードフレーム部であって、前記複数のリード線のうちの少なくとも二つを備える第 1 の電流導体部を有する、リードフレーム部と、第 1 の表面および反対の第 2 の表面を有する基板であって、前記第 1 の表面が前記第 1 の電流導体部の近位にあり、前記第 2 の表面が前記第 1 の電流導体部から遠位にある、基板と、前記基板の前記第 1 の表面上に配設された一つまたは複数の磁場変換器と、前記基板の前記第 1 の表面の近位にデポジットされた第 2 の電流導体部であって、前記一つまたは複数の磁場変換器の近位に配設され、前記第 1 の電流導体部に結合された、第 2 の電流導体部と、前記第 2 の電流導体部および前記基板の前記第 1 の表面の間に配設された絶縁層とを備える。第 17 の態様では、前記絶縁層が、ポリマーテープから構成される。第 18 の態様では、前記絶縁層が、セラミック層から構成される。第 19 の態様では、前記絶縁層が、前記リードフレーム上に配設された絶縁材料を備える。第 20 の態様では、前記絶縁材料が、ポリマーテープ、ポリマー、セラミック、または酸化物

の少なくとも一つを備える。第 2 1 の態様では、前記絶縁層が、前記基板の前記第 1 の表面上に配設された絶縁材料を備える。第 2 2 の態様では、前記絶縁材料が、ポリマーテープ、ポリマー、セラミック、窒化物、または酸化物の少なくとも一つを備える。第 2 3 の態様では、前記絶縁層の材料が、ポリマー、セラミック、窒化物、または酸化物の少なくとも一つを備える。

【 0 0 2 4 】

第 2 4 の態様では、集積回路において、複数のリード線を有するリードフレームであって、前記複数のリード線のうちの少なくとも二つを備える電流導体部を有する、リードフレームと、第 1 の表面および反対の第 2 の表面を有する基板であって、前記第 1 の表面が前記電流導体部の近位にあり、前記第 2 の表面が前記電流導体部から遠位にある、基板と、前記基板の前記第 1 の表面上に配設された一つまたは複数の磁場変換器と、前記基板および前記リードフレームの前記電流導体部の間に配設された絶縁層とを備えており、前記絶縁層は、セラミック層を備える介在絶縁層、あるいは前記リードフレームと関連付けられたリードフレーム絶縁層であって、リードフレーム溶射絶縁層、リードフレーム被覆絶縁層、またはリードフレーム酸化物絶縁層の少なくとも一つを備える、リードフレーム絶縁層、あるいは前記基板と関連付けられた基板絶縁層であって、基板被覆絶縁層または基板酸化物絶縁層の少なくとも一つを備える、基板絶縁層、の少なくとも一つを備える。第 2 5 の態様では、前記基板の前記第 1 の表面の近位にデポジットされた第 2 の電流導体部であって、前記一つまたは複数の磁場変換器の近位に配設され、前記電流導体部に結合された、第 2 の電流導体部をさらに備える。

【 0 0 2 5 】

第 2 6 の態様では、集積回路において、複数のリード線を有するリードフレーム部と、前記複数のリード線のうちの少なくとも二つを備える電流導体部と、第 1 の表面および反対の第 2 の表面を有する基板であって、前記第 1 の表面が前記電流導体部の近位にあり、前記第 2 の表面が前記電流導体部から遠位にある、基板と、前記電流導体部の近位に配設された一つまたは複数の磁場感知素子と、前記基板の前記第 1 の表面上に配設され、かつ前記一つまたは複数の磁場感知素子に結合された電流感知回路であって、前記電流感知回路は、前記電流導体部を通して流れる電流を示す出力信号を提供するように適合される、電流感知回路と、前記基板の前記第 1 の表面上に配設された過電流回路であって、前記過電流回路は、電流と関連付けられた電圧降下を感知するように適合され、さらに、前記電圧降下に応答して出力信号を提供するように適合され、前記出力信号は、前記過電流回路によって感知された電流が所定の電流よりも上であることを示す、過電流回路とを備える。第 2 7 の態様では、前記基板の前記第 1 の表面が、前記過電流回路に結合された少なくとも二つの導電領域を含み、前記電流導体部が、前記少なくとも二つの導電領域に接触するように適合された少なくとも二つの特徴部を含む。第 2 8 の態様では、前記基板の前記第 1 の表面が、前記過電流回路に結合された少なくとも二つの導電領域を含み、前記。さらに、前記少なくとも二つの導電領域と前記電流導体部との間に結合された少なくとも二つのワイヤ結合部を備える。第 2 9 の態様では、前記電流導体部の近位に配設された第 2 の基板をさらに備え、前記一つまたは複数の磁場感知素子が、前記第 2 の基板上に配設される。第 3 0 の態様では、前記過電流回路が、前記電流導体部に結合され、前記電圧降下が、前記電流導体部を通して流れる前記電流と関連付けられ、前記出力信号が、前記電流導体部を通して流れる電流が所定の電流よりも上であることを示す。第 3 1 の態様では、前記過電流回路によって発生される前記出力信号が、第 1 および第 2 の状態を有するデジタル出力信号であり、前記第 1 および第 2 の状態の一方が、電流が前記所定の電流よりも上であることを示し、前記第 1 および第 2 の状態の他方が、電流が前記所定の電流よりも下であることを示す。第 3 2 の態様では、前記電流導体部が、第 1 の電流導体部であり、前記集積回路が、さらに、前記基板の前記第 1 の表面上にデポジットされた第 2 の電流導体部であって、前記一つまたは複数の磁場変換器の近位に配設され、前記第 1 の電流導体部に結合された、第 2 の電流導体部を備え、前記第 1 の電流導体部を通して流れる電流の少なくとも一部が、前記第 2 の電流導体部も通って流れる。第 3 3 の態様では、前記複

数のリード線が回路板の最上面に普通に実装されるときに、前記基板が、前記電流導体部の上方にある前記基板の前記第 1 の表面と、前記基板の前記第 1 の表面の上方にある前記基板の前記第 2 の表面とを有して配設される。

【 0 0 2 6 】

第 3 4 の態様では、電流センサにおいて、複数のリード線を有するリードフレームと、前記複数のリード線のうちの少なくとも二つを備える第 1 の電流導体部と、前記複数のリード線のうちの前記少なくとも二つの結合を備える分流導体部と、第 1 の表面および反対の第 2 の表面を有する基板であって、前記第 1 の表面が前記第 1 の電流導体部の近位にあり、前記第 2 の表面が前記第 1 の電流導体部から遠位にある、基板と、前記基板の前記第 1 の表面上に配設された一つまたは複数の磁場変換器とを備える。第 3 5 の態様では、前記第 1 の電流導体部および前記分流導体部が、それぞれ電流の一部を通すように適合され、前記分流導体部が、ある選択された抵抗を提供するように選択された寸法および形状を有し、前記抵抗が、前記電流の選択された一部を通すように選択される。第 3 6 の態様では、前記リード線の各一つが、前記リード線の長さ全体にわたって、前記基板の前記第 2 の表面よりも前記基板の前記第 1 の表面に近くなるように選択された方向に湾曲部を有する。第 3 7 の態様では、前記第 1 の電流導体部が、前記複数のリード線のうちの前記少なくとも二つの別の結合を備え、前記一つまたは複数の磁場変換器が、前記第 1 の電流導体部の近位に配設される。第 3 8 の態様では、前記基板の前記第 1 の表面上にデポジットされた第 2 の電流導体部であって、前記一つまたは複数の磁場変換器の近位に配設され、前記第 1 の電流導体部に結合された、第 2 の電流導体部をさらに備える。第 3 9 の態様では、前記基板の前記第 1 の表面および前記第 1 の電流導体部の間に配設された絶縁層をさらに備える。第 4 0 の態様では、前記分流導体部および前記一つまたは複数の磁場変換器の間に全体として配設される磁束シールドをさらに備える。第 4 1 の態様では、前記分流導体部上に配設された磁束収束器をさらに備える。第 4 2 の態様では、前記第 1 の電流導体部の少なくとも一部分が、T 字形断面を有する。第 4 3 の態様では、前記第 1 の電流導体部の少なくとも一部分が、前記リードフレームの厚さよりも小さい最小寸法を有する長方形の断面積を有する。第 4 4 の態様では、前記基板上に配設された少なくとも一つの増幅器をさらに備える。

【 0 0 2 7 】

第 4 5 の態様では、電流センサにおいて、複数のリード線を有するリードフレームと、前記複数のリード線のうちの少なくとも二つを備える第 1 の電流導体部と、第 1 の表面および反対の第 2 の表面を有する基板であって、前記第 1 の表面が前記第 1 の電流導体部の近位にあり、前記第 2 の表面が前記第 1 の電流導体部から遠位にある、基板と、前記基板の前記第 1 の表面上に配設された一つまたは複数の磁場変換器と、前記一つまたは複数の磁場変換器の近位で、かつ前記基板の前記第 1 の表面および前記第 1 の電流導体部の間に配設された電磁シールドであって、前記電磁シールド内で誘導される渦電流を低減するように選択された少なくとも一つの特徴部を有する、電磁シールドとを備える。第 4 6 の態様では、前記電磁シールドが、実質的に平坦であり、前記電磁シールド内の閉ループ電流経路の経路長を減少するように選択された形状を有する。第 4 7 の態様では、前記電磁シールドが、スロットを備える。第 4 8 の態様では、前記電磁シールドが、中央部材と、前記中央部材に結合された複数の非重畳部材とを備える。第 4 9 の態様では、前記電磁シールドが、複数の交互嵌合部材を備える。第 5 0 の態様では、前記一つまたは複数の磁場変換器に対する前記少なくとも一つの特徴部の位置が、前記一つまたは複数の磁場変換器に対する前記渦電流の影響を低減するように選択される。第 5 1 の態様では、前記リード線の各一つが、前記リード線の長さ全体にわたって、前記基板の前記第 2 の表面よりも前記基板の前記第 1 の表面に近くなるように選択された方向に湾曲部を有する。第 5 2 の態様では、前記第 1 の電流導体部が、前記複数のリード線のうちの前記少なくとも二つの結合を備え、前記一つまたは複数の磁場変換器が、前記第 1 の電流導体部の近位に配設される。第 5 3 の態様では、前記基板の前記第 1 の表面上にデポジットされた第 2 の電流導体部であって、前記一つまたは複数の磁場変換器の近位に配設され、前記第 1 の電流導体部に

10

20

30

40

50

結合された、第2の電流導体部をさらに備える。第54の態様では、前記基板の前記第1の表面および前記第1の電流導体部の間に配設された絶縁層をさらに備える。第55の態様では、前記第1の電流導体部の少なくとも一部分が、T字形断面を有する。第56の態様では、前記第1の電流導体部の少なくとも一部分が、前記リードフレームの厚さよりも小さい最小寸法を有する長方形断面を有する。第57の態様では、前記基板上に配設された少なくとも一つの増幅器をさらに備える。第58の態様では、前記複数のリード線のうちの前記少なくとも二つの結合を備える分流導体部をさらに備える。第59の態様では、前記第1の電流導体部および前記分流導体部が、それぞれ電流の一部を通すように適合され、前記分流導体部が、ある選択された抵抗を提供するように選択された寸法および形状を有し、前記抵抗が、前記電流の選択された一部を通すように選択される。

10

【0028】

第60の態様では、電流センサにおいて、複数のリード線を有するリードフレームと、第1の表面および反対の第2の表面を有する基板と、前記基板の前記第1の表面上に配設された一つまたは複数の磁場変換器と、前記一つまたは複数の磁場変換器の近位に配設された電磁シールドであって、前記電磁シールド内で誘導される渦電流を低減するように選択される少なくとも一つの特徴部を有する、電磁シールドとを備える。第61の態様では、前記電磁シールドが、実質的に平坦であり、前記電磁シールド内の閉ループ電流経路の経路長を減少するように選択された形状を有する。第62の態様では、前記電磁シールドが、スロットを備える。第63の態様では、前記電磁シールドが、中央部材と、前記中央部材に結合された複数の非重畳部材とを備える。第64の態様では、前記電磁シールドが、複数の交互嵌合部材を備える。第65の態様では、前記一つまたは複数の磁場変換器に対する前記少なくとも一つの特徴部の位置が、前記一つまたは複数の磁場変換器に対する前記渦電流の影響を低減するように選択される。

20

【図面の簡単な説明】

【0029】

【図1】本発明による電流センサの等角図である。

【図2】図1の電流センサのホール効果素子にわたる位置と磁場との関係を示すグラフである。

【図3】本発明による電流センサの別の実施形態の等角図である。

【図4】図3の電流センサの回路形成部の概略図である。

30

【図5】本発明による電流センサのさらに別の実施形態の等角図である。

【図6】本発明による電流センサのさらに別の実施形態の等角図である。

【図6A】本発明による電流センサのさらに別の実施形態の等角図である。

【図7】本発明による電流センサのさらに別の実施形態の等角図である。

【図8】絶縁層および電磁シールドを含むように修正されて図示された、図7の電流センサのさらなる等角図である。

【図9】本発明のさらなる態様による、より薄い電流導体部を有する代替リードフレームの等角図である。

【図9A】図9の電流導体部の代替実施形態の断面図である。

【図10】本発明による電流センサのさらに別の実施形態の等角図である。

40

【図11】図10の電流センサの代替構成の等角図である。

【図12】図10の電流センサの別の代替構成の等角図である。

【図13】図10の電流センサの別の代替構成の等角図である。

【図13A】図13の電流センサの断面図である。

【図14】図7および図8の電流センサの代替構成の等角図である。

【図14A】図14の電流センサの断面図である。

【図15】電流感知回路および過電流回路を含む、図13、図13A、図14、および図14Aの電流センサで使用することができる例示的な回路の概略図である。

【図16】図7および図8の電流センサの別の代替構成の分解等角図である。

【図17】図10の電流センサの別の代替構成の等角図である。

50

【図 18】図 7 および 8 の電流センサの別の代替構成の分解等角図である。

【図 19】電流センサの一部を形成することができる電磁シールドの上面図である。

【図 20】電流センサの一部を形成することができる別の電磁シールドの上面図である。

【図 21】電流センサの一部を形成することができるさらに別の電磁シールドの上面図である。

【図 22】電流センサの一部を形成することができるさらに別の電磁シールドの上面図である。

【図 23】図 19 ~ 図 22 の電磁シールドの一つを有する例示的な電流センサの積層構造を示す断面図である。

【発明を実施するための形態】

【0030】

図 1 を参照すると、本発明による例示的な電流センサ 10 は、複数のリード線 12 a ~ 12 h を有するリードフレーム 12 を含む。リード線 12 a および 12 b は、リード線 12 c および 12 d に結合されて、電流経路、または幅 w1 を有する狭い部分 14 を有する電流導体を形成する。また、電流センサ 10 は、第 1 の表面 16 a と反対の第 2 の表面 16 b とを有する基板 16 を含む。基板 16 は、磁場変換器 18 を有し、この磁場変換器 18 は、いくつかの実施形態では、第 1 の表面 16 a 内に拡散された、あるいは第 1 の表面 16 a 上に配設されたホール効果素子 18 であってよい。基板 16 は、半導体材料、例えばシリコンから構成することができ、または代替実施形態では、基板 16 は、絶縁材料から構成することができる。

【0031】

基板 16 は、第 1 の表面 16 a が電流導体部 14 の近位にあり、第 2 の表面 16 b が電流導体部 14 から遠位にあるように、より具体的には、ホール効果素子 18 が電流導体部 14 の近傍にあるように、リードフレーム 12 の上に配設される。例示される実施形態では、基板 16 は、基板が集積回路パッケージ内に実装される従来の方向に関して上下逆の（すなわち、第 1 の表面 16 a が下に向けられる）向きを有する。

【0032】

基板 16 は、第 1 の表面 16 a 上に結合パッド 20 a ~ 20 c を有し、そこに結合ワイヤ 22 a ~ 22 c が結合される。結合ワイヤは、さらに、リードフレーム 12 のリード線 12 e、12 f、12 h に結合される。

【0033】

絶縁体 24 が、基板 16 をリードフレーム 12 から離隔する。絶縁体 24 は、様々な形で提供することができる。例えば、一実施形態では、絶縁体 24 の第 1 の部分が、基板 16 の第 1 の表面 16 a 上に直接的に被覆（堆積、蒸着、デポジット）された BCB 樹脂材料の厚さ 4 μm の層を含む。絶縁体 24 の第 2 の部分は、リードフレーム 12 上に被覆されたアンダーフィル材料、例えば Staychip（商標）NUF-2071E（Cooks on Electronics Equipment, New Jersey）の層を含むことがある。そのような構成は、基板 16 とリードフレーム 12 との間に 1000 ボルトよりも大きい絶縁を提供する。

【0034】

電流導体部 14 は、電流が流れる経路全体の一部分にすぎないことを理解されたい。例えば、矢印 26 によって示される方向を有する電流は、ここでは並列に電氣的に結合されて図示されているリード線 12 c、12 d 内に流れ、電流導体部 14 を通って、やはりここでは並列に電氣的に結合されているリード線 12 a、12 b から出る。

【0035】

この構成では、ホール効果素子 18 は、電流導体部 14 の近傍に、導体部 14 に関して所定の位置に配設され、それにより、矢印 26 によって示される方向で電流導体部 14 を通過する電流によって発生される磁場は、ホール効果素子 18 の最大応答軸に実質的に整列された方向となる。ホール効果素子 18 は、磁場に比例する、したがって電流導体部 14 を通って流れる電流に比例する電圧出力を発生する。例示されるホール効果素子 18 は

10

20

30

40

50

、 z 軸 3 4 に実質的に整列された最大応答軸を有する。電流に応答して発生される磁場は、電流導体部 1 4 の周りで円形であるので、図示されるように、ホール効果素子 1 8 は、電流導体部 1 4 のすぐ横に（すなわち y 軸 3 2 に沿ってわずかにオフセットされて）配設され、ここで磁場は、実質的に z 軸 3 4 に沿って向けられる。この位置は、ホール効果素子 1 8 からのより大きな電圧出力、したがって改良された感度をもたらす。しかし、別の方向に整列された最大応答軸を有するホール効果素子、または別のタイプの磁場センサ、例えば磁気抵抗素子を、電流導体部 1 4 に関して別の位置に、例えば（ z 軸 3 4 に沿った方向で）電流導体部 1 4 の上に配設することもできる。

【0036】

一つのホール効果素子 1 8 が基板 1 6 の第 1 の表面 1 6 a 上に図示されているが、図 3 および図 5 の実施形態に示されるように、複数のホール効果素子を使用することもできることを理解されたい。また、さらなる回路、例えば増幅器を、基板 1 6 の第 1 および / または第 2 の表面 1 6 a、1 6 b 内に拡散する、あるいは表面 1 6 a、1 6 b 上に配設する、または表面 1 6 a、1 6 b によって支持することもできる。このタイプの例示的な回路は、図 4 に示されている。

【0037】

図 1 の実施形態では、ホール効果素子 1 8 と電流導体 1 4 との近接は、電流導体部 1 4 に対して第 2 の表面よりも近くに位置決めされる第 1 の基板表面 1 6 a 上にホール効果素子 1 8 を提供することによって実現される。他の実施形態では、この有利な近接は、図 7 および図 8 に示されるように、第 2 の基板表面 1 6 b 上にホール効果素子 1 8 を提供し、第 2 の表面 1 6 b に実質的に整列するように電流導体部 1 4 を形成することによって実現される。

【0038】

次に図 2 を参照すると、グラフ 5 0 が、10 A 程度の電流導体部 1 4 を通る電流に関して、ホール効果素子 1 8（図 1）の平面内の x 軸 3 0（図 1）および y 軸 3 2（図 1）に沿った、ホール素子 1 8 にわたる z 軸 3 4（図 1）の方向での磁束密度を例示する。ホール効果素子 1 8 の中心（図示せず）が、横座標 5 2 上で 300 ミクロンに相当する。小数部分 5 4 は、磁束に相当する。

【0039】

磁束曲線 5 6 は、 x 軸 3 0 に沿った位置に対する z 軸 3 4 での磁束の変化に相当する。磁束曲線 5 8 は、 y 軸 3 2 に沿った位置に対する z 軸 3 4 での磁束の変化に相当する。磁束曲線 5 6、5 8 は、300 μm に中心があるホール素子の近くで実質的に平らであるものと特徴付けることができる。したがって、 z 軸 3 4 の方向での磁場に敏感なホール効果素子 1 8 の出力は、 x 軸 3 0 および y 軸 3 2 に沿ったホール効果素子 1 8 の位置には比較的鈍感である。

【0040】

例示のホール効果素子 1 8 は、200 ミクロン程度の x 軸 3 0 および y 軸 3 2 に沿った寸法を有し、したがってホール効果素子 1 8 は、横座標 5 2 上で 200 ミクロン ~ 400 ミクロンの間の領域内にある。 x 軸 3 0 または y 軸 3 2 に沿ったホール効果素子 1 8 の位置の 50 ミクロンの変化は、ホール効果素子によって感知される磁場の変化をほとんどもたらさない。したがって、 x 軸 3 0 および y 軸 3 2 でのホール効果素子の位置は、電流センサ 1 0（図 1）の感度に対する実質的な影響を伴わずに、製造位置公差で変動することができる。

【0041】

x 方向 3 0 でのホール効果素子 1 8 の寸法に対する x 方向 3 0 での電流導体部 1 4 の幅 w_1 （図 1）が、 x 方向 3 0 でのホール効果素子 1 8 に沿った位置に関する z 方向 3 4 での磁束密度の均一性に大きな影響を及ぼす。特に、 x 方向 3 0 でのホール効果素子 1 8 の幅に対して電流導体部 1 4 が長くなるにつれて（すなわち、幅 w_1 （図 1）が大きくなるにつれて）、曲線 5 6 が実質的に平らのままである距離が長くなる。

【0042】

幅 w_1 (図 1) は、電流センサ 10 (図 1) の所望の感度と、電流経路 14 とホール効果素子 18 との相対位置の製造ばらつきに起因する性能ばらつき of 所望の減少とを含めた、しかしそれらに限定されない様々な因子に従って選択される。一般に、ホール効果素子 18 の幅と同等な幅 w_1 の選択が、電流センサ 10 の最大感度を提供することを理解されたい。しかし、ホール効果素子 18 の幅よりも大きい幅 w_1 の選択が、 x 方向 30 でのホール素子位置配置の製造公差に起因する性能ばらつきを最小にすることも理解されたい。

【0043】

次に図 3 を参照すると、本発明による別の例示的な電流センサ 70 が、複数のリード線 72 a ~ 72 h と、幅 w_2 を有する電流導体部 74 とを有するリードフレーム 72 を含む。また、電流センサは、第 1 の表面 76 a と反対の第 2 の表面 76 b とを有する基板 76 10 を含む。基板 76 は、第 1 の表面 76 a 内に拡散された、あるいは第 1 の表面 76 a 上に配設された、または第 1 の表面 76 a によって支持された第 1 および第 2 のホール効果素子 78 a、78 b を有する。基板 76 は、ホール効果素子 78 が電流導体部 74 の近傍にあるようにリードフレーム 72 上に配設される。例示される実施形態では、基板 76 は、集積回路パッケージ内に実装される基板の従来の向きに関して上下逆の (すなわち、第 1 の表面 76 a が下に向けられる) 向きを有する。絶縁体 (図示せず) が、基板 76 をリードフレーム 72 から離隔することができる。絶縁体は、図 1 に示される絶縁体 24 と同一または同様であってよい。

【0044】

この構成では、両方のホール効果素子 78 a、78 b が、電流導体部 74 の近傍に、電流導体部 74 に関して所定の位置に配設され、それにより、矢印 86 によって示される方向で電流導体部 74 を通過する電流によって発生される磁場は、ホール効果素子 78 a、78 b の最大応答軸に実質的に整列された方向となる。ここでは、各ホール効果素子 78 a、78 b が、 z 軸 94 に整列された最大応答軸を有する。したがって、図示されるように、ホール効果素子 78 a、78 b は、電流導体部 74 の両側に (すなわち y 軸 92 に沿ってわずかにオフセットされて) 配設され、ここで磁場は、 z 軸 94 に沿って向けられる。一実施形態では、ホール効果素子 78 a、78 b は、電流導体部 74 に関して実質的に等しくかつ逆向きの量だけ (y 軸 92 に沿って) オフセットされる。しかし、別の方向に整列された最大応答軸を有するホール効果素子、または別のタイプの磁場センサ、例えば磁気抵抗素子を、電流導体部 74 に関して他の位置に、例えば電流導体部 74 の (z 軸 94 の方向で) 上に配設することもできる。 20 30

【0045】

動作時、電流は、並列に結合されたリード線 72 c、72 d 内を流れ、電流導体部 74 を通って、やはり並列に結合されたリード線 72 a、72 b から出る。電流導体部 74 を通って流れる電流が磁場を発生し、この磁場がホール効果素子 78 a、78 b によって感知される。上述したように、ホール効果素子 78 a、78 b は、電流導体部 74 のごく近傍にあり、電流導体部 74 に関して所定の位置にあり、そのため、電流によって発生される磁場は、ホール効果素子 78 a、78 b の最大応答軸に実質的に整列される。この配置は、ホール効果素子 78 a、78 b からのより大きな電圧出力、したがって改良された感度をもたらす。 40

【0046】

第 1 および第 2 のホール効果素子 78 a、78 b によって受けられた磁場は逆方向に向けられ、それぞれ z 軸 94 に沿って整列されることを理解されたい。したがって、同じ方向に極性を与えられる場合、二つのホール効果素子 78 a、78 b の出力は極性が逆になる。ホール効果素子 78 a、78 b の一方からの出力が、例えば反転増幅器を用いて反転され、次いでホール効果素子 78 a、78 b の他方の出力と加算される、すなわち差分加算される場合、いくつかの利点の実現される。

【0047】

最初の利点として、二つのホール効果素子 78 a、78 b の出力は、上述したように差分加算されたとき、同じ電流の存在時の単一のホール効果素子からの電圧出力の大きさの 50

2 倍の電圧出力を提供する。したがって、電流センサ 70 は、図 1 の電流センサ 10 の 2 倍の感度を有する。

【0048】

第 2 の利点として、電流センサ 70 は、y 軸 92 の方向でのホール効果素子 78 a、78 b の位置の変動に比較的鈍感である。これは、y 軸 92 の方向で移動されるとき、ホール効果素子 78 a、78 b の一方からの電圧出力は増加する傾向があり、ホール効果素子 78 a、78 b の他方からの電圧出力は減少する傾向があるからである。したがって、二つの出力の差分加算は、比較的変動しない。

【0049】

リードフレーム 72 は、回路板への表面実装に適した平らなリード線 72 a ~ 72 h を有して図示されているが、図 1 のリードフレーム 12 のような湾曲したリード線を有するリードフレームを使用することもできることを理解されたい。また、二つのホール効果素子 78 a、78 b が図示されているが、二つよりも多い、または二つよりも少ないホール効果素子を使用することもできる。

【0050】

次に図 4 を参照すると、図 3 に関連して説明した差分信号加算を実施するのに適した加算回路 100 が、二つのホール効果素子 102 a、102 b に結合されて図示されている。ホール効果素子 102 a、102 b は、図 3 のホール効果素子 78 a、78 b と同一または同様であってよい。ここで、ホール効果素子 102 a、102 b はそれぞれ、ホール効果素子 102 a、102 b 上のベクトルによって示されるように、他方のホール効果素子に対して 90° 回転される。したがって、ホール効果素子 102 a、102 b は、逆の磁場 112 a、112 b に応答して、同じ極性を有する出力電圧 103 a、103 b を発生する。出力電圧 103 a は、非反転構成で構成された増幅器 104 a に結合され、出力電圧 103 b は、反転構成で構成された増幅器 104 b に結合される。したがって、増幅器出力電圧 106 a、106 b は、磁場 112 a、112 b に応答して、逆の電圧方向に移動する。増幅器出力電圧 106 a、106 b は、増幅器 108 に差分結合されて、出力電圧 106 a、106 b の差分加算、または差を発生する。したがって、出力電圧 106 a、106 b は、差分加算して、増幅器 108 の出力で、より大きな出力電圧 110 を提供する。

【0051】

加算回路 100 は、図 3 の電流センサ 70 で使用することができ、その場合、ホール効果素子 102 a、102 b は、ホール効果素子 78 a、78 b に相当する。一つの特の実施形態では、加算回路 100 は、基板 76 の第 1 の表面 76 a 内に拡散され、あるいは第 1 の表面 76 a 上に配設される。別の実施形態では、加算回路 100 は、基板 76 の第 2 の表面 76 b 内に拡散され、あるいは第 2 の表面 76 b 上に配設され、その一方で、ホール効果素子 78 a、78 b は第 1 の表面 76 a 上にあり、複数の通路（バイア）などを介して他の回路構成要素に結合される。

【0052】

次に図 5 を参照すると、図 1 の同様の要素が同様の参照符号を有して示され、別の例示的な電流センサ 120 が、第 1 の表面 126 a と反対の第 2 の表面 126 b とを有する基板 126 を含む。ここでは、4 つのホール効果素子 128 a ~ 128 d が、基板 126 の第 1 の表面 126 a 内に拡散される、あるいは第 1 の表面 126 a 上に配設される。基板 126 は、図示されるように、それぞれ第 1 および第 2 のホール効果素子 128 a、128 b が y 軸 142 に沿って電流導体部 14 の一方の側にあり、第 3 および第 4 のホール効果素子 128 c、128 d が y 軸 42 に沿って電流導体部 14 の反対の側にあるように、リードフレーム 12 に関して位置決めされる。一実施形態では、ホール効果素子 128 a、128 b は、ホール効果素子 128 c、128 d が電流導体部 14 から（y 軸 142 に沿って）オフセットされる量に等しくかつ逆向きの量だけ、電流導体部 14 から（y 軸 142 に沿って）オフセットされる。

【0053】

この構成では、ホール効果素子 1 2 8 a ~ 1 2 8 d は、電流導体部 1 4 の近傍に、導体部 1 4 に関して所定の位置に配設され、それにより、矢印 8 6 によって示される方向で電流導体部 1 4 を通過する電流によって発生される磁場は、ホール効果素子 1 2 8 a ~ 1 2 8 d の最大応答軸に実質的に整列された方向となる。ここでは、各ホール効果素子 1 2 8 a ~ 1 2 8 d が、z 軸 1 4 4 に整列された最大応答軸を有する。例示される実施形態では、図示されるように、ホール効果素子 1 2 8 a、1 2 8 b は、電流導体部 1 4 4 の、ホール効果素子 1 2 8 c、1 2 8 d とは反対の側に（すなわち、y 軸 1 4 2 に沿ってわずかにオフセットされて）配設され、ここで磁場は、z 軸 1 4 4 に沿って向けられる。しかし、別の方向に整列された最大応答軸を有するホール効果素子、または別のタイプの磁場センサ、例えば磁気抵抗素子を、電流導体部 1 4 に関して他の位置に、例えば電流導体部 1 4 の（z 軸 1 4 4 の方向で）上に配設することもできる。第 1 および第 2 のホール効果素子 1 2 8 a、1 2 8 b が、z 軸 1 4 4 に沿った一方向での磁場にさらされ、第 3 および第 4 のホール効果素子 1 2 8 c、1 2 8 d が、z 軸 1 4 4 に沿った逆方向での磁場にさらされることを理解されたい。

【0054】

4 つのホール効果素子 1 2 8 a ~ 1 2 8 d は、いくつかの利点を実現するために、当業者によって理解される加算回路として構成された電子回路に結合することができる。加算回路は、例えば、図 4 の加算回路 1 0 0 を二つ含むことができる。一実施形態では、加算回路は、ホール効果素子 1 2 8 a ~ 1 2 8 d のうちの第 1 の二つを、図 4 の加算回路 1 0 0 など第 1 の加算回路と結合し、ホール効果素子 1 2 8 a ~ 1 2 8 d のうちの第 2 の二つを、加算回路 1 0 0 など第 2 の加算回路と結合することができる。別の増幅器を用いて、第 1 の加算回路の出力を第 2 の加算回路の出力と加算することができる。最初の利点として、説明したように加算回路に結合された 4 つのホール効果素子 1 2 8 a ~ 1 2 8 d は、電流の存在時に、同じ電流の存在時の単一のホール効果素子、例えば図 1 のホール効果素子 1 8 からの電圧出力の大きさの 4 倍の電圧出力を提供する。したがって、電流センサ 1 2 0 は、図 1 の電流センサ 1 0 の 4 倍の感度を有する。

【0055】

第 2 の利点として、電流センサ 1 2 0 は、y 軸 1 4 2 の方向でのホール効果素子 1 2 8 a ~ 1 2 8 d の位置の変動に比較的鈍感である。これは、y 軸 1 4 2 の方向で移動される時、4 つのホール効果素子 1 2 8 a ~ 1 2 8 d のうちの二つからの電圧出力は増加する傾向があり、4 つのホール効果素子 1 2 8 a ~ 1 2 8 d のうちの他の二つからの電圧出力は減少する傾向があるからである。したがって、加算回路として結合されるとき、回路出力は、ホール効果素子の y 軸位置に関して比較的変動しない。

【0056】

次に図 6 を参照すると、本発明による例示的な電流センサ 1 5 0 が、複数のリード線 1 5 2 a ~ 1 5 2 h と電流導体部 1 5 4 とを有するリードフレーム 1 5 2 を含む。また、電流センサ 1 5 0 は、第 1 の表面 1 6 6 a と反対の第 2 の表面 1 6 6 b とを有する基板 1 6 6 を含む。基板 1 6 6 は、第 1 の表面 1 6 6 a 内に拡散された、あるいは第 1 の表面 1 6 6 a 上に配設されたホール効果素子 1 5 8 を有する。基板 1 6 6 は、ホール効果素子 1 5 8 が電流導体部 1 5 4 の近傍にあるようにリードフレーム 1 5 2 上に配設される。基板 1 6 6 は、基板が集積回路パッケージ内に実装される従来の方向に関して上下逆の（すなわち、第 1 の表面 1 6 6 a が下に向けられる）向きを有する。基板 1 6 6 は、基板 1 6 6 の第 1 の表面 1 6 6 a 上にはんだボール 1 6 0 a ~ 1 6 0 c を有するフリップチップである。はんだボール 1 6 0 a ~ 1 6 0 c は、図示されるように、リード線 1 5 2 e ~ 1 5 2 h に直接結合する。絶縁体 1 6 4 が、基板 1 6 6 をリードフレーム 1 5 2 から離隔する。絶縁体 1 6 4 は、図 1 に示される絶縁体 2 4 と同一または同様であってよい。

【0057】

この構成では、ホール効果素子 1 5 8 は、電流導体部 1 5 4 の近傍に、導体部 1 5 4 に関して所定の位置に配設され、それにより、矢印 1 6 8 によって示される方向で電流導体部 1 5 4 を通過する電流によって発生される磁場は、ホール効果素子 1 5 8 の最大応答軸

10

20

30

40

50

に実質的に整列された方向となる。ホール効果素子 158 は、z 軸 174 に整列された最大応答軸を有する。したがって、図示されるように、ホール効果素子 158 は、電流導体部 154 のすぐ横に（すなわち、y 軸 172 に沿ったわずかなオフセットで）配設され、ここで磁場は、z 軸 174 に沿って向けられる。しかし、別の方向に整列された最大応答軸を有するホール効果素子、または別のタイプの磁場センサ、例えば磁気抵抗素子を、電流導体部 154 に関して別の位置に、例えば電流導体部 154 の（z 軸 174 の方向で）上に配設することもできる。

【0058】

電流センサ 150 の動作は、図 1 の電流センサ 10 の上述した動作と同様である。電流導体部 154 の近傍にあるホール効果素子 158 は、ホール効果素子 158 からのより大きな出力電圧、したがって改良された感度をもたらす。

10

【0059】

一つのホール効果素子 158 のみが基板 166 の第 1 の表面 166 a 上に図示されているが、複数のホール効果素子を本発明と共に使用することもできることを理解されたい。他の回路、例えば増幅器を、基板 166 の第 1 および / または第 2 の表面 166 a、166 b 内に拡散する、あるいは表面 166 a、166 b に結合する、または表面 166 a、166 b によって支持することもできる。

【0060】

3 つのはんだボール 160 a ~ 160 c が図示されているが、基板 166 を安定させるためのダミーのはんだボールを含めた任意の数のはんだボールを提供することができる。また、はんだボール 160 a ~ 160 c が図示されているが、金隆起部、共晶または含鉛はんだ隆起部、無鉛はんだ隆起部、金スタッド隆起部、ポリマー導電性隆起部、異方性導電性ペースト、または導電性フィルムを含めた、しかしそれらに限定されない他の接続方法を使用することもできる。

20

【0061】

次に図 6 A を参照すると、図 6 と同様の要素が同様の参照符号を有して示され、本発明による例示的な電流センサ 180 は、磁束収束器 182 と、磁束収束層 184 とを含む。磁束収束器は、ホール効果センサ 158 の近位に、基板 166 の第 1 の表面 166 a に隣接して下に位置される。磁束収束層 184 は、基板 166 の第 2 の表面 166 b 上に（または第 2 の表面 166 b に隣接して上に）配設される。

30

【0062】

動作時、磁束収束器 182 と磁束収束層 184 とはそれぞれ、電流導体部 154 を通過する電流によって発生される磁束を収束する傾向があり、それにより電流センサ 180 が図 6 の電流センサ 150 よりも高い感度を有するようにする。

【0063】

磁束収束器 182 と磁束収束層 184 とはそれぞれ、フェライト、パーマロイ、および鉄を含めた、しかしそれらに限定されない様々な材料から構成することができる。接着層（図示せず）、例えばチタンまたはクロム層が存在することもあり、当業者によって理解されよう。

【0064】

磁束収束器 182 は立方形状を有して図示されているが、他の実施形態では、磁束収束器は、別の形状、例えば多面体形状、楕円形状、または球形状を有することができる。磁束収束器 182 と磁束収束層 184 との両方が図示されているが、他の実施形態では、磁束収束器 182 と磁束収束層 184 との一方のみを提供することができる。また、磁束収束器 182 と磁束収束層 184 とが一つの磁場変換器 158 に関連して図示されているが、磁束収束器 182 と磁束収束層 184 とを、複数の磁場変換器 158 を有する構成、例えば図 1、図 3、および図 5 に図示される構成に適用することもできることを理解すべきである。

40

【0065】

次に図 7 を参照すると、本発明による別の例示的な電流センサ 200 が、複数のリード

50

線 202a ~ 202h を有するリードフレーム 202 を含む。また、電流センサ 200 は、第 1 の表面 206a と反対の第 2 の表面 206b とを有する基板 206 を含む。基板 206 は、第 1 の表面 206a 内に拡散された、あるいは第 1 の表面 206a 上に配設されたホール効果素子 208 を有する。電流導体部 204a を有する導電性留め具（クリップ）204 が、リード線 202a ~ 202d に結合される。導電性留め具 204 の機構は、図 8 に示される。ここでは、導電性留め具は、導電性留め具 204 が基板 206 の第 1 の表面 206a の上にわたって延びるように湾曲部を有して形成されると言うに留めておく。基板 206 は、ホール効果素子 208 が電流導体部 204a の近傍にあるようにリードフレーム 202 上に配設される。例示される実施形態では、基板 206 は、第 1 の表面 206a が上に向けられた従来の実装向きを有する。基板 206 は、第 1 の表面 206a 上に結合パッド 212a ~ 212c を有し、そこに結合ワイヤ 210a ~ 210c が結合される。結合ワイヤ 210a ~ 210c は、さらに、リード線 202e、202f、202h に結合される。基板 206 を導電性留め具 204 から隔離するために、絶縁体 214 を提供することができる。絶縁体 214 は、図 1 に示される絶縁体 24 と同一または同様であってよい。

10

【0066】

この構成では、ホール効果素子 208 は、基板 206 の第 1 の表面 206a の上にわたって延びる電流導体部 204a の近傍に配設される。ホール効果素子 208 は、導体部 204a に関して所定の位置に配設され、それにより、矢印 216 によって示される方向で電流導体部 204a を通過する電流によって発生される磁場は、ホール効果素子 208 の最大応答軸に実質的に整列された方向となる。ホール効果素子 208 は、z 軸 224 に整列された最大応答軸を有する。例示される実施形態では、図示されるように、ホール効果素子 208 は、電流導体部 204a のすぐ横に（すなわち、y 軸 223 に沿ったわずかなオフセットで）配設され、ここで磁場は、z 軸 224 に沿って向けられる。しかし、別の方向に整列される最大応答軸を有するホール効果素子、または別のタイプの磁場センサ、例えば磁気抵抗素子を、電流導体部 204a に関して別の位置に配設することができ、例えば（z 軸 224 の方向で）上または下で電流導体部 204a に本質的に位置合わせすることができる。

20

【0067】

動作時、電流は、並列に結合されたリード線 202c、202d 内を流れ、導電性留め具 204 を通り、電流導体部 204a を通って、やはり並列に結合されたリード線 202a、202b から出る。電流導体部 204a を通って流れる電流が磁場を発生し、この磁場がホール効果素子 208 によって感知される。ホール効果素子 208 は、磁場に比例する、したがって電流導体部 204a を通って流れる電流に比例する電圧出力を発生する。上述したように、ホール効果素子 208 は、電流導体部 204a のごく近傍にあり、電流導体部 204a に関して所定の位置にあり、そのため、電流によって発生される磁場は、ホール効果素子 208 の最大応答軸に実質的に整列される。この位置は、ホール効果素子 208 からのより大きな電圧出力、したがって改良された感度をもたらす。

30

【0068】

一つのホール効果素子 208 のみが基板 206 の第 2 の表面 206b 上に図示されているが、複数のホール効果素子を使用することもできることを理解されたい。特に、二つのホール効果素子を有する実施形態は、図 3 の電流センサ 70 と同様であってよく、4 つのホール効果素子を有する実施形態は、図 5 の電流センサ 120 と同様であってよい。また、追加の回路、例えば増幅器を、基板 206 の第 1 および / または第 2 の表面 206a、206b 内に拡散する、あるいは表面 206a、206b に結合することができる。

40

【0069】

導電性留め具 204 は、様々な方法で、様々な材料から形成することができることを理解すべきである。一つの特の実施形態では、導電性留め具 204 は、例えば銅シートから打ち抜き加工される。別の実施形態では、導電性留め具 204 は、箔、例えば銅箔から形成される。さらに別の実施形態では、導電性留め具 204 は、エッチングプロセスによ

50

って形成される。導電性留め具 204 は、基板 206 の従来の実装向きの使用を可能にし、それと共に、電流導体部 204a をホール効果素子 208 に非常に近接させる。

【0070】

導電性留め具 204 は、当該導電性留め具 204 を通過する電流の量に従って選択される厚さを有するように提供することができる。したがって、比較的高い電流を感知するように適合された電流センサが望まれる場合、導電性留め具は比較的厚くすることができ、比較的低い電流を感知するように適合された電流センサが望まれる場合、導電性留め具 204 は比較的薄くすることができる。別の実施形態では、比較的高い電流を感知するように適合された電流センサが望まれる場合、他の導電性留め具と接触させて複数の導電性留め具 204 を積層することができ、任意の一つの導電性留め具 204 よりも厚い増加された実効厚さを提供し、したがってより多くの電流を搬送することが可能である。

10

【0071】

図 7 の実施形態では、ホール効果素子 208 と電流導体部 204a との近接は、電流導体部 204a に対して第 2 の表面 206b よりも近くに位置決めされる第 1 の基板表面 206a 上にホール効果素子 208 を提供することによって実現される。他の実施形態では、この有利な近接は、第 2 の基板表面 206b 上にホール効果素子 208 を提供し、第 2 の表面 206b に実質的に整列するように電流導体部 204a を形成することによって実現される。

【0072】

次に図 8 を参照すると、図 7 の同様の要素が同様の参照符号を有して示され、リード線 202a ~ 202d に結合される前の導電性留め具 204 が図示されている。導電性留め具 204 は、電流導体部 204a と、遷移領域 204b と、湾曲領域 204c と、結合領域 204d とを含む。結合領域 204d は、リード線 202a ~ 202d に結合する二つの部分 204e、204f を含む。遷移領域 204b は、基板 206 との接触を回避するために、電流導体部 204a に対して持ち上げることができる。

20

【0073】

ホール効果素子が本発明の実施形態に関連して図示されて説明されているが、他のタイプの磁場センサを使用することもできることを理解されたい。例えば、ホール効果素子の代わりに磁気抵抗素子を使用することができる。しかし、従来の磁気抵抗素子は、従来のホール効果素子の最大応答軸に垂直な最大応答軸を有する。当業者は、本明細書で説明するホール効果素子実施形態と同じ結果を実現するために、本発明の実施形態による電流導体部に対して一つまたは複数の磁気抵抗素子をどのように位置決めすべきかを理解されよう。

30

【0074】

いくつかの実施形態では、導電性留め具 204 と基板 206 の第 1 の表面 206a との間に絶縁層 220 を配設することができる。絶縁層 220 は、二酸化珪素およびポリマーを含めた、しかしそれらに限定されない様々な材料から形成することができる。いくつかの実施形態では、導電性留め具 204 と基板 206 の第 1 の表面 206a との間に電磁シールド 222 も配設することができる。電磁シールド 222 は、ホール効果素子 208 の近傍に、絶縁層 220 の下または上に配設することができる。例えば図 23 に示される他の構成では、一つが電磁シールド 222 の上にあり、一つが電磁シールド 222 の下にある二つの絶縁層が存在することができる。

40

【0075】

電磁シールド 222 は、ホール効果素子 208 に対する電磁場の影響を低減する傾向があり、この影響は、電流センサ 200 をあまり正確でないものにする、すなわち電流によって発生される磁場以外の電氣的な影響に敏感にさせる傾向がある。磁場のみに敏感であり、電磁場には敏感でないホール効果素子 208 を有することが望ましいことを理解されたい。電磁シールド 222 は、以下に図 19 ~ 図 22 に関連してより詳細に説明する。

【0076】

電磁シールド 222 は、図 7 および図 8 の電流センサ 200 に関連して図示されている

50

が、フリップチップ構成および非フリップチップ構成を含む本明細書で説明する任意の電流センサが、関連のホール効果素子の近傍に配設された、電磁シールド 2 2 2 と同一または同様の電磁シールドを有することができることを理解すべきである。

【 0 0 7 7 】

次に図 9 を参照すると、リードフレーム 2 5 0 が、図 3 のリードフレーム 7 2 および図 6 のリードフレーム 1 5 2 と同様の形状を有して図示されている。リードフレーム 2 5 0 は、複数の薄層化部分 2 5 2 a ~ 2 5 2 n を有し、これらの部分は、リードフレーム 2 5 0 の他の部分よりも薄い。より薄い部分は、化学エッチングおよび打ち抜き加工を含めた、しかしそれらに限定されない様々なプロセスによって提供することができる。

【 0 0 7 8 】

電流導体部 2 5 4 は、表面 2 5 4 a を有し、他の薄層化部分 2 5 2 b ~ 2 5 2 n の厚さと同一または同様であってよい厚さ t_1 を有する。リードフレームの他の部分は、厚さ t_2 を有する。一つの特定制態では、電流搬送部 2 5 4 の厚さ t_1 は、他の薄層化部分 2 5 2 b ~ 2 5 2 n の厚さと同じであり、厚さ t_1 は、厚さ t_2 のほぼ半分である。一実施形態では、電流導体部 2 5 4 は、厚さ t_1 を有する本質的に長方形の断面を有する。

【 0 0 7 9 】

電流導体部 2 5 4 を通過する電流の存在時、例えば図 3 の電流導体部 7 4 よりも薄い電流導体部 2 5 4 は、表面 2 5 4 a の近くで、図 3 の電流導体部 7 4 が同様の電流の存在時に表面 7 4 a の近くで有するよりも高い電流密度を有することを理解されたい。すなわち、電流は、より厚い電流導体部の場合よりも表面 2 5 4 a に近づくように圧縮される。その結果、電流によって発生される磁場は、表面 2 5 4 a の近傍で、より高い磁束密度を有する。

【 0 0 8 0 】

したがって、リードフレーム 2 5 0 が図 3 のリードフレーム 7 2 の代わりに使用されるとき、ホール効果素子 7 8 a、7 8 b は、より大きな磁場を受け、より敏感な電流センサをもたらす。

【 0 0 8 1 】

他の薄層化部分 2 5 2 b ~ 2 5 2 n は、他の利点を提供する。例えば、リードフレーム 2 5 0 がプラスチック囲包本体内に成形されるとき、他の薄層化部分 2 5 2 b ~ 2 5 2 n は、成形本体内にリードフレーム 2 5 0 をよりしっかりと係止する傾向がある。

【 0 0 8 2 】

厚さ t_1 は、電流導体部 2 5 4 に通すべき最大電流を含めた、しかしそれに限定されない様々な因子に従って選択される。

同じ利点を実現するために、図 3 の実施形態以外の実施形態で上に示した他のリードフレームに薄層化部分を適用することもできることを理解されたい。

【 0 0 8 3 】

次に図 9 A を参照すると、図 9 の電流導体部 2 5 4 に代わるものとして適した代替電流導体部 2 7 0 が、図 9 の線 9 A - 9 A に沿って取られた断面から見たときに T 字形断面を有する。T 字形は、表面 2 7 0 a と、第 1 の厚さ t_3 および第 2 の厚さ t_4 とを有する。厚さ t_3 は、図 9 の厚さ t_1 と同一または同様であってよく、厚さ t_4 は、図 9 の厚さ t_2 と同一または同様であってよい。一つの特定制態では、厚さ t_3 は、厚さ t_4 のほぼ半分である。

【 0 0 8 4 】

図 9 に関連して上述したのと実質的に同じ理由から、電流導体部 2 7 0 を通過する電流に応答して発生される磁場は、表面 2 7 0 a の近傍で、電流導体部 2 7 0 が均一な厚さ t_4 を有する場合よりも高い。

【 0 0 8 5 】

電流導体部 2 5 4 (図 9) および電流導体部 2 7 0 は、それぞれ長方形断面および T 字形断面を有するものとして説明してきたが、上の利点を実現するために他の断面形状を提供することもできることを理解すべきである。

【 0 0 8 6 】

次に図 10 を参照すると、本発明による別の例示的な電流センサ 3 0 0 が、複数のリード線 3 0 2 a ~ 3 0 2 h と、第 1 の電流導体部 3 0 4 a および第 2 の電流導体部 3 0 4 b の組合せとして提供される電流導体部 3 0 4 とを有するリードフレーム 3 0 2 (本明細書ではリードフレーム部とも呼ぶ) を含む。また、電流センサ 3 0 0 は、第 1 の表面 3 0 6 a と反対の第 2 の表面 3 0 6 b とを有する基板 3 0 6 を含む。基板 3 0 6 は、第 1 の表面 3 0 6 a 内に拡散された、あるいは第 1 の表面 3 0 6 a 上に配設された、または表面 3 0 6 a によって支持されたホール効果素子 3 0 8 を有する。基板 3 0 6 は、ホール効果素子 3 0 8 が電流導体部 3 0 4 の近傍にあるようにリードフレーム 3 0 2 上に配設される。例示される実施形態では、基板 3 0 6 は、集積回路パッケージ内に実装される基板の従来の向きに関して上下逆の (すなわち、第 1 の表面 3 0 6 a が下に向けられる) 向きを有する。基板 3 0 6 は、基板 3 0 6 の第 1 の表面 3 0 6 a 上にはんだボール 3 2 0 a ~ 3 2 0 e を有するフリップチップである。はんだボール 3 2 0 a ~ 3 2 0 e は、リード線 3 0 2 e ~ 3 0 2 h に直接結合する。絶縁層 3 3 0 が、基板 3 0 6 をリードフレーム 3 0 2 から隔離することができる。絶縁層 3 3 0 は、図 1 に示される絶縁体 2 4 と同一または同様であってよい。

10

【 0 0 8 7 】

一つの特定の実施形態では、第 2 の電流導体部 3 0 4 b が、基板 3 0 6 の第 1 の表面 3 0 6 a 上に直接 デポジット され、絶縁層 3 3 0 は使用されない。第 2 の電流導体部 3 0 4 b は、スパッタリングおよび電気めっきを含めた、しかしそれらに限定されない任意の従来の集積回路 デポジション 被覆技法によって デポジット することができる。他の実施形態では、第 2 の電流導体部 3 0 4 b は、基板 3 0 6 の第 1 の表面 3 0 6 a から離れた、しかし第 1 の表面 3 0 6 a の近位にある導電性構造であり、絶縁層 3 3 0 が、第 2 の電流導体部 3 0 4 b と基板 3 0 6 の第 1 の表面 3 0 6 a との間に配設される。

20

【 0 0 8 8 】

図示されるように、ホール効果素子 3 0 8 と、絶縁層 3 3 0 と、第 2 の電流導体部 3 0 4 b と、第 1 の電流導体部とが、基板 3 0 6 の下にあることを理解すべきである。これらの構成では、ホール効果素子 3 0 8 は、電流導体部 3 0 4 の近傍に、電流導体部 3 0 4 に関して所定の位置に配設され、それにより、電流導体部 3 0 4 を通過する電流 3 1 6 によって発生される磁場は、ホール効果素子 3 0 8 の最大応答軸に実質的に整列された方向となる。ここでは、ホール効果素子 3 0 8 は、z 軸 3 2 6 に整列された最大応答軸を有する。したがって、図示されるように、ホール効果素子 3 0 8 は、電流導体部 3 0 4 の横に (すなわち、y 軸 3 2 4 に沿ってわずかにオフセットされて) 配設され、ここで磁場は、z 軸 3 2 6 に沿って向けられる。しかし、別の方向に整列された最大応答軸を有するホール効果素子、または別のタイプの磁場センサ、例えば磁気抵抗素子を、電流導体部 3 0 4 に関して別の位置に、例えば電流導体部 3 0 4 の (z 軸 3 2 6 の方向で) 上に配設することができる。

30

【 0 0 8 9 】

絶縁層 3 3 0 は、介在絶縁層、または基板 3 0 6 と関連付けられた基板絶縁層であってよい。絶縁層 3 3 0 が介在絶縁層であるいくつかの実施形態では、絶縁層 3 3 0 は、セラミック介在絶縁層である。

40

【 0 0 9 0 】

絶縁層 3 3 0 が、基板 3 0 6 と関連付けられた基板絶縁層であるいくつかの実施形態では、絶縁層 3 3 0 は、テーピングプロセスによって形成される基板テープ絶縁層である。基板テープ絶縁層は、ポリマーテープ、例えば K a p t o n (商標) テープを含めた、しかしそれに限定されない基板に貼付されるテープから構成することができる。

【 0 0 9 1 】

絶縁層 3 3 0 が、基板 3 0 6 と関連付けられた基板絶縁層であるさらに他の実施形態では、絶縁層 3 3 0 は、被覆プロセスによって形成される基板被覆絶縁層である。絶縁層 3 3 0 を形成するために使用される被覆プロセスは、スクリーン印刷プロセス、スピン被覆

50

プロセス、スパッタリングプロセス、プラズマ強化化学蒸着（PECVD）プロセス、および低圧化学蒸着（LPCVD）プロセスを含めた、しかしそれらに限定されない様々なプロセスを含むことができる。スクリーン印刷プロセスは、ポリマーやセラミック材料を含めた、しかしそれらに限定されない様々な材料から構成される基板絶縁層をもたらすことができる。スピン被覆プロセスは、ポリマー、例えばポリイミド（例えば取引名Pyralin（商標））やビスベンゾシクロブテン（BCB）（例えば取引名Cyclotene（商標））を含めた、しかしそれらに限定されない様々な材料から構成される基板絶縁層をもたらすことができる。スパッタリングプロセスは、窒化物や酸化物を含めた、しかしそれらに限定されない様々な材料から構成される基板絶縁層をもたらすことができる。PECVDプロセスは、窒化物や酸化物を含めた、しかしそれらに限定されない様々な材料から構成される基板絶縁層をもたらすことができる。LPCVDプロセスは、窒化物や酸化物を含めた、しかしそれらに限定されない様々な材料から構成される基板絶縁層をもたらすことができる。

10

【0092】

絶縁層330が、基板306と関連付けられた基板絶縁層であるさらに他の実施形態では、絶縁層330は、酸化物生成プロセスによって形成される基板酸化物絶縁層である。基板酸化物絶縁層は、例えば二酸化珪素から構成することができる。

【0093】

動作時、電流316は、並列に結合されたリード線302c、302d内に流れ、電流導体部304を通して、やはり並列に結合されたリード線302a、302bから出る。電流導体部304を通して流れる電流が磁場を発生し、この磁場がホール効果素子308によって感知される。上述したように、ホール効果素子308は、電流導体部304のごく近傍にあり、電流導体部304に関して所定の位置にあり、そこで、電流によって発生される磁場は、ホール効果素子308の最大応答軸に実質的に整列される。この配置は、ホール効果素子308からのより大きな電圧出力、したがってより大きな感度をもたらす。

20

【0094】

この構成では、電流導体部304を通して流れる電流316が、それぞれ第1および第2の電流導体部304a、304bの間で分流することを理解されたい。リードフレーム302は、回路板への表面実装に適した湾曲リード線302a～302hを有するように示されているが、直線形状を有するスルーホールリード線を含めた、しかしそれに限定されない他の形状を有するリード線を有するリードフレームを使用することもできることを理解されたい。

30

【0095】

一つのホール効果素子308のみが基板306の第1の表面306a上に図示されているが、複数のホール効果素子を本発明と共に使用することもできることを理解されたい。また、他の回路、例えば増幅器を、基板306の第1および/または第2の表面306a、306b内に拡散する、あるいは表面306a、306bに結合する、または表面306a、306bによって支持することもできる。

【0096】

40

5つのはんだボール320a～320eが図示されているが、基板306を安定させるためのダミーのはんだボールを含めた任意の数のはんだボールを提供することができる。また、はんだボール320a～320eが図示されているが、金隆起部（バンプ）、共晶または含鉛はんだ隆起部、無鉛はんだ隆起部、金スタッド隆起部、ポリマー導電性隆起部、異方性導電性ペースト、導電性フィルム、またはワイヤ結合部を含めた、しかしそれらに限定されない他の接続方法を使用することもできる。

【0097】

基板306はフリップチップ構成で図示されているが、他の実施形態では、基板306は、従来のように実装することができ、集積回路300が回路板の最上面に実装されるときに、第1の表面306aが第2の表面306bの上になる。これらの構成では、それぞ

50

れ第1および第2の電流導体部304a、304bは、それぞれ基板306の第1の表面306aの上にある。

【0098】

次に図11を参照すると、図10の同様の要素が同様の参照符号を有して示され、図10の電流導体部304とは異なる電流導体部354を提供することによって、電流センサ350は、図10の電流センサ300とは異なる。電流導体部354は、第1の電流導体部354aと第2の電流導体部304bとを含む。第1の電流導体部354aを有するリードフレーム352は、図10の第1の電流導体部304aを有するリードフレーム302とは異なり、連続する電流経路を形成しない。この構成では、電流導体部354を通して流れる電流316が全て、第2の電流導体部304bを通過することを理解されたい。したがって、電流316は、図10の電流センサ300におけるよりもホール効果素子308の近くを通り、より高い感度をもたらす。

10

【0099】

図10に関連して上述したように、基板306はフリップチップ構成で図示されているが、他の実施形態では、基板306は、従来のように実装することができ、集積回路300が回路板の最上面に実装されるときに、第1の表面306aが第2の表面306bの上になる。これらの構成では、第1および第2の電流導体部354a、304bはそれぞれ、基板306の第1の表面306aの上にある。

【0100】

次に図12を参照すると、図10の同様の要素が同様の参照符号を有して示され、電流導体部304aのみを有する（すなわち、電流導体部304b（図10）が存在しない）電流導体部304を提供することによって、電流センサ400は、図10の電流センサ300とは異なる。第1の電流導体部304aを有するリードフレーム302は、連続する電流経路を形成する。この構成では、電流316が全て、電流導体部304aを通過することを理解されたい。

20

【0101】

絶縁層402が、電流導体部304aと基板306の第1の表面306aとの間に配設される。いくつかの実施形態では、絶縁層402は、図10に関連して上述したように、介在絶縁層、例えばセラミック層である。他の実施形態では、絶縁層402は、基板と関連付けられた基板絶縁層である。他の実施形態では、絶縁層402は、リードフレーム302と関連付けられたリードフレーム絶縁層である。リードフレームと関連付けられるとき、絶縁層402は、y軸324に沿った方向で基板306を越えて延在することができることを理解されたい。この構成は、基板306の縁部がリードフレーム302に接触する可能性が低いので、向上された信頼性を提供する。

30

【0102】

介在絶縁層および基板絶縁層は、図10に関連して上述した。

絶縁層402が、リードフレーム302と関連付けられたリードフレーム絶縁層であるいくつかの実施形態では、絶縁層402は、テーピングプロセスによって形成されるリードフレームテープ絶縁層である。リードフレームテープ絶縁層は、ポリマーテープ、例えばKapton（商標）テープを含めた、しかしそれに限定されないリードフレームに貼付されるテープから構成することができる。

40

【0103】

絶縁層402が、リードフレーム302と関連付けられたリードフレーム絶縁層である他の実施形態では、絶縁層402は、溶射プロセスによって形成されるリードフレーム溶射絶縁層である。リードフレーム溶射絶縁層は、ポリマー、例えばポリイミド（例えば取引名Pyralin（商標））、ビスベンゾシクロブテン（BCB）（例えば取引名Cyclotene（商標））、溶射される誘電体（例えば取引名3M Scotch（商標）絶縁スプレー1601およびLoc-tite（商標）Shadow Cure（商標）3900）、または溶射セラミックコーティングを含めた、しかしそれらに限定されない様々な材料から構成することができる。

50

【0104】

絶縁層402が、リードフレーム302と関連付けられたリードフレーム絶縁層である他の実施形態では、絶縁層402は、被覆プロセスによって形成されるリードフレーム被覆絶縁層である。リードフレーム被覆絶縁層は、スクリーン印刷プロセスを含めた、しかしそれに限定されない様々なプロセスによって形成することができる。スクリーン印刷プロセスは、ポリマーやセラミックを含めた、しかしそれらに限定されない様々な材料から構成されるリードフレーム被覆絶縁層をもたらすことができる。さらに他の実施形態では、リードフレーム被覆絶縁層は、真空被覆プロセスによって形成される。これらの実施形態では、リードフレーム被覆絶縁層は、例えば、ポリマー、例えばパリレンから構成することができる。

10

【0105】

絶縁層402が、リードフレーム302と関連付けられたリードフレーム絶縁層であるさらに他の実施形態では、絶縁層402は、酸化物生成プロセスによって形成されるリードフレーム酸化物絶縁層である。リードフレーム酸化物絶縁層は、例えば、リードフレーム302上に被覆されるスパッタ酸化物層から構成することができる。

【0106】

次に図13を参照すると、別の例示的な電流センサ450が、複数のリード線452a~452hと電流導体部454とを有するリードフレーム452（本明細書ではリードフレーム部とも呼ぶ）を含む。リードフレーム452は、図12のリードフレーム302と同様であってよい。また、電流センサ450は、第1の表面456aと反対の第2の表面456bとを有する基板456を含む。基板456は、第1の表面456a内に拡散された、あるいは第1の表面456a上に配設された、または第1の表面456aによって支持されたホール効果素子458を有する。基板456は、ホール効果素子458が電流導体部454の近傍にあるようにリードフレーム452上に配設される。例示される実施形態では、基板456は、集積回路パッケージ内に実装される基板の従来の向きに関して上下逆の（すなわち、第1の表面456aが下に向けられた）向きを有する。基板456は、基板456の第1の表面456a上にはんだボール460a~460eを有するフリップチップとして構成される。はんだボール460a~460eは、リード線452e~452hに直接結合する。絶縁層470が、基板456をリードフレーム452から離隔することができる。絶縁層470は、図1に示される絶縁層24と同一または同様であってよい。絶縁層470は、表面456aのかなりの部分を覆うことができる。絶縁層は領域470a、470bを有し、それらの領域は、以下の図13Aの論述からより明確になるように、絶縁材料を欠いている。

20

30

【0107】

電流導体部454は、二つの特徴部454a、454b（本明細書では隆起部（バンプ）とも呼ぶ）を有し、それらは、z軸476の方向で電流導体部454から上に延在する。隆起部454a、454bは、電流導体部454と基板456の第1の表面456aとの間の電気接点を提供するように選択された寸法および形状を有する。特に、二つの隆起部454a、454bは、基板456の第1の表面456a上の金属化特徴部（図示せず）への電気接点を提供し、やはり基板456の第1の表面456a上に配設された回路（図示せず）への電氣的結合を提供する。電氣的結合、およびそれに結合される回路は、以下に図15に関連してより詳細に論じる。

40

【0108】

第1の電流導体部454を有するリードフレーム452は、連続する電流経路を形成する。この構成では、電流466のほとんどが電流導体部454を通過し、いくらかの少量の電流466が、隆起部454aおよび454bを介して基板456上の上述した回路内に流れることを理解されたい。しかし、上述した回路は、わずかな量の電流466しか引き込まないように設計することができることを理解されたい。したがって、電流466のほとんど全てが電流導体部454を通過する。

【0109】

50

いくつかの実施形態では、絶縁層 470 は、介在絶縁層、例えばセラミック層である。他の実施形態では、絶縁層 470 は、基板と関連付けられた基板絶縁層である。他の実施形態では、絶縁層 470 は、リードフレーム 452 と関連付けられたリードフレーム絶縁層である。

【0110】

介在絶縁層、基板絶縁層、およびリードフレーム絶縁層は、図 10 に関連して上述した。

隆起部 454a、454b は、過電流状態を検出するように適合された、すなわち所定の電流レベルまたは電流しきい値よりも大きい電流導体部 452a を通過する電流を検出するように適合された回路に電流導体部 454 を結合する接続を提供することができることは、図 13A および図 15 に関連した以下の論述から明らかになる。このために、回路は、所定の電圧降下または電圧しきい値よりも大きい第 1 の隆起部 454a と第 2 の隆起部 454b との間の電圧差を検出することができる。

10

【0111】

一つの電流導体部 454 のみが図示されているが、第 2 の電流導体部を使用することもできることを理解すべきである。第 2 の電流導体部は、図 10 の第 2 の電流導体部 304b と同一または同様であってよく、基板 456 の第 1 の表面 456a 上または絶縁体 470 上に同様に配設することができる。

【0112】

次に図 13A を参照すると、図 13 の同様の要素が同様の参照符号を有して示され、電流導体部 454 が隆起部 454a を含み、この隆起部 454a が、電流導体部 454 を、絶縁層 470 の領域 470a を介して基板 456 の第 1 の表面 456a に結合する。

20

【0113】

ホール効果素子 458 は、基板 456 の第 1 の表面 456a 内または第 1 の表面 456a 上に配設される。隆起部 454a に電氣的に結合される他の回路 480 を、基板 456 の第 1 の表面 456a 内または第 1 の表面 456a 上に配設することもできる。例示的な回路 480 は、以下に図 15 に関連して説明する。

【0114】

他の実施形態では、隆起部 454a に対する代替構成であることを示すためにここでは想像線として図示されているワイヤ結合部 478 などを使用して、電流導体部 454 を、絶縁層 470 の領域 470a を介して基板 456 の第 1 の表面 456a に結合することができる。図 13 の他方の隆起部 454b の代わりに第 2 のワイヤ結合部（図示せず）を使用することができることを理解されたい。ワイヤ結合部 478 は、電流導体部 454 のすぐ上にある基板 456 に終端するように見えるが、終端は、電流導体部 454 の側部へのものであってもよいことを理解されたい。

30

【0115】

次に図 14 を参照すると、別の例示的な電流センサ 500 が、複数のリード線 502a ~ 502h を有するリードフレーム 502 を含む。見やすくするためにリード線 502c および 502d のみが図示されているが、リード線 502a ~ 502h の他のものは従来のリード線構成で構成されることを理解されたい。また、電流センサ 500 は、第 1 の表面 506a と反対の第 2 の表面 506b とを有する基板 506 を含む。基板 506 は、第 1 の表面 506a 内に拡散された、あるいは第 1 の表面 506a 上に配設されたホール効果素子 508 を有する。電流導体部 504 を有する導電性留め具 503 が、リード線 502a ~ 502d に結合される。電流導体部 504 は、二つの隆起部 504a、504b を含む。

40

【0116】

導電性留め具 503 は、導電性留め具 503 が基板 506 の第 1 の表面 506a の上にわたって延びるように湾曲部を有して形成される。基板 506 は、ホール効果素子 508 が電流導体部 504 の近傍にあるようにリードフレーム 502 上に配設される。例示される実施形態では、基板 506 は、第 1 の表面 506a が上に向けられた従来の実装向きを

50

有する。絶縁体 5 1 4（本明細書では絶縁層とも呼ぶ）が、基板 5 0 6 を導電性留め具 5 0 3 から絶縁することができる。絶縁体 5 1 4 は、任意の絶縁材料を欠いている二つの領域 5 1 4 a、5 1 4 b を有する。絶縁体 5 1 4 は、図 1 に示される絶縁体 2 4 と同様であってよい。

【0117】

集積回路 5 0 0 が組み立てられるとき、隆起部 5 0 4 a、5 0 4 b は、絶縁材料を欠いている絶縁層 5 1 4 の領域 5 1 4 a、5 1 4 b に位置を合わせ、その領域内に延在することを理解されたい。隆起部 5 0 4 a、5 0 4 b は、電流導体部 5 0 4 と基板 5 0 6 の第 1 の表面 5 0 6 a との間の電気接点を提供するように選択された寸法および形状を有する。特に、二つの隆起部 5 0 4 a、5 0 4 b は、基板 5 0 6 の第 1 の表面 5 0 6 a 上の金属化特徴部（図示せず）への電気接点を提供し、やはり基板 5 0 6 の第 1 の表面 5 0 6 a 上に配設された回路（図示せず）への電氣的結合を提供する。電氣的結合、およびそれに結合される回路は、以下に図 1 5 に関連してより詳細に論じる。

10

【0118】

隆起部 5 4 0 a、5 4 0 b を含む電流導体部 5 0 4 を有する導電性留め具 5 0 3 が図示されているが、他の構成では、他の電流導体部、例えば二つの特徴部または隆起部を含む直線状の電流導体部を使用することもできることを理解されたい。

【0119】

一つの電流導体部 5 0 4 のみが図示されているが、第 2 の電流導体部を使用することもできることを理解すべきである。第 2 の電流導体部は、図 1 0 の第 2 の電流導体部 3 0 4 b と同一または同様であってよく、基板 5 0 6 の第 1 の表面 5 0 6 a 上または絶縁体 5 1 4 上に同様に配設することができる。

20

【0120】

次に図 1 4 A を参照すると、図 1 4 の同様の要素が同様の参照符号を有して示され、電流導体部 5 0 4 が隆起部 5 0 4 a を含み、この隆起部 5 0 4 a が、電流導体部 5 0 4 を、絶縁層 5 1 4 の領域 5 1 4 a を介して基板 5 0 6 に結合する。

【0121】

ホール効果素子 5 0 8 は、基板 5 0 6 の表面 5 0 6 a 内または表面 5 0 6 a 上に配設される。隆起部 5 0 4 a に電氣的に結合される他の回路 5 3 0 を、基板 5 0 6 の基板 5 0 6 a 内または表面 5 0 6 a 上に配設することもできる。例示的な回路 5 3 0 は、以下に図 1 5 に関連して説明する。

30

【0122】

他の実施形態では、隆起部 5 0 4 a に対する代替構成であることを示すためにここでは想像線として図示されているワイヤ結合部 5 3 2 などを使用して、電流導体部 5 0 4 を、絶縁層 5 1 4 の領域 5 1 4 a を介して基板 5 0 6 の第 1 の表面 5 0 6 a に結合することができる。図 1 4 の他方の隆起部 5 0 4 b の代わりに第 2 のワイヤ結合部（図示せず）を使用することができることを理解されたい。ワイヤ結合部 5 3 2 は、電流導体部 5 0 6 の下にある基板 5 0 6 に終端するように見えるが、終端は、電流導体部 5 0 6 の側部へのものであってもよいことを理解されたい。

【0123】

次に図 1 5 を参照すると、例示的な回路 5 5 0 は、図 1 3 A の電流センサ 4 5 0 で使用される回路 4 8 0、または図 1 4 A の電流センサ 5 0 0 で使用される回路 5 3 0 と同一または同様であってよい。回路 5 5 0 は、ホール効果素子 5 5 2 に結合することができる。ホール効果素子 5 5 2 は、図 1 3 および図 1 3 A のホール効果素子 4 5 8、または図 1 4 および図 1 4 A のホール効果素子 5 0 8 と同一または同様であってよい。

40

【0124】

ホール効果素子 5 5 2 は、電流感知回路 5 5 4 に結合され、電流感知回路 5 5 4 は、動的オフセットキャンセル回路 5 5 3 を含む。動的オフセットキャンセル回路 5 5 3 は、ホール効果素子 5 5 2 と関連付けられた DC 電圧誤差のための DC オフセット調整を提供する。

50

【0125】

動的オフセットキャンセル回路553は、増幅器556に結合され、増幅器556は、オフセット調整されたホール出力信号を増幅する。増幅器556は、フィルタ558に結合され、フィルタ558は、低域フィルタ、高域フィルタ、帯域フィルタ、および/またはノッチフィルタであってよい。フィルタ558は、所望の応答時間と、ホール効果素子552、動的オフセットキャンセル回路553、および増幅器556と関連付けられた雑音の周波数スペクトルとを含めた、しかしそれらに限定されない様々な因子に従って選択される。一つの特定の実施形態では、フィルタ558は低域フィルタである。フィルタ558は、出力ドライバ560に結合され、出力ドライバ560は、他の電子回路（図示せず）への伝送のために、ノード572に電流センサ出力信号571を提供する。より完全に以下に説明するように、電流センサ出力信号は、導体を通過する電流の大きさを示す。

10

【0126】

トリム制御回路564が、ノード570に結合される。ノード570は、トリム信号を受信することができ、この信号は、典型的には製造中、様々な電流センサパラメータをトリム（調整）できるようにする。このために、トリム制御回路564は、ノード570に印加される適切な信号によって使用可能（イネーブル）にされる一つまたは複数のカウンタを含む。

【0127】

トリム制御回路564は、静止出力電圧（ Q_{vo} ）回路562に結合される。静止出力電圧は、ホール効果素子552によって感知された電流がゼロであるときの出力信号571の電圧である。名目上は、単極供給電圧では、 Q_{vo} が $V_{cc}/2$ に等しい。適切なトリム信号をノード570を介してトリム制御回路564内部の第1のトリム制御回路カウンタに与え、トリム制御回路564が次いで Q_{vo} 回路562内部のデジタルアナログ変換器（DAC）を制御することによって、 Q_{vo} をトリム（調整）できる。

20

【0128】

トリム制御回路564は、さらに、感度調整回路566に結合される。感度調整回路566は、電流センサ550の感度を調整するように増幅器556の利得の調整を可能にする。適切なトリム信号をノード570を介してトリム制御回路564内部の第2のトリム制御回路カウンタに与え、トリム制御回路564が次いで感度調整回路566内部のDACを制御することによって、感度をトリムすることができる。

30

【0129】

トリム制御回路564は、さらに、感度温度補償回路568に結合される。感度温度補償回路568は、温度による利得変動を補償するように増幅器556の利得の調整を可能にする。適切なトリム信号をノード570を介してトリム制御回路564内部の第3のトリム制御回路カウンタに与え、トリム制御回路564が次いで感度温度補償回路568内部のDACを制御することによって、感度温度補償回路568をトリムすることができる。

【0130】

ホール効果素子552は、ここでは見やすくするためにホール効果素子552から離して図示されている電流導体部604の近傍に配置される。電流導体部604は、集積回路リード線の結合によって形成された図13および図13Aの電流導体部454、または図14および図14Aの電流導体部504と同一または同様であってよい。動作時、電流584は、電流センサ550のノード574に入り、電流導体部604を通過し、ノード576から出て、ここでスイッチ580および負荷586を通過し、その両方が集積回路550の外部にあってよい。スイッチ580は、例えばリレーまたは電界効果トランジスタ（FET）であってよい。

40

【0131】

過電流状態、例えば短絡の検出時に電流584を停止することが望ましく、過電流状態は普通、望ましくなく高い電流584をもたらす、これは、集積回路550または他の関連の回路を損壊する可能性がある。このために、過電流回路590が、過電流状態を検出

50

することができる。

【0132】

過電流回路590は、電流センサ出力信号571を受信するように結合され、かつまた電圧基準592に結合された比較器591を含む。比較器591の出力593は、論理ゲート594に結合される。論理ゲート594は、ゲートドライバに結合され、ゲートドライバが、回路550のノード578に制御信号597を発生する。ノード578は、スイッチ580の制御ノードに結合され、ホール効果素子552による過電流状態の検出に応答してスイッチ580を開き、電流584を停止するように動作可能である。

【0133】

また、論理ゲート594は、故障回路598に結合され、故障回路598は、集積回路550のノード588に故障出力信号599を発生する。故障出力信号599は、過電流状態、電流584が所定の電流を超えていることを示す。

【0134】

増幅器591および電圧基準592は、電流センサ出力信号571に応答し、電流センサ出力信号571は、ホール効果素子552によって発生される信号に応答することを理解されたい。ホール効果素子552が、比較的遅い応答時間を有することを理解されたい。したがって、スイッチ580が、ホール効果素子552によって発生される信号に応答して上述した様式でのみ制御される場合、スイッチ580を開くことができるようになる前に、何らかの急速な過電流状態が集積回路550または負荷586を損壊する可能性がある。以下に述べる回路は、過電流状態へのより速い応答速度を提供することができる。

【0135】

比較器600および電圧基準602が、集積回路550の電流導体部604に結合される。上述したように、電流導体部604は、集積回路リード線の結合によって形成される、図13および図13Aの電流導体部454、および図14および図14Aの電流導体部504と同一または同様であってよい。電流導体部604から電圧基準602および比較器600への結合は、図13および図13Aの隆起部454aおよび454b、および図14および図14Aの隆起部504a、504bを含めた、しかしそれらに限定されない様々な形で提供することができる。

【0136】

動作時、電流導体部604が関連の抵抗を有するので、電流584に応答して、電流導体部604の両端間に電圧が現れる。電流584が十分に大きいとき、比較器600の出力信号601が状態を変え、それにより制御信号597が状態を変え、スイッチ580を開き、電流を停止する。この様式でのスイッチ580の開放は、ホール効果素子592によって発生される信号に応答して比較器591のみによってスイッチ580が開かれる場合よりも急速に行われる。

【0137】

図15に図示される回路550が、図13および図13Aの電流センサ450および図14および図14Aの電流センサ500のような電流センサと関連付けられて電流センサ内に集積されることがある例示的な回路を示すことは、当業者によって理解されよう。

【0138】

他の実施形態では、スイッチ580を電流センサ回路550内に集積することもできることを理解されたい。

次に図16を参照すると、別の例示的な電流センサ650は、図14の電流センサ500と同様であり、しかし電流センサ650は、より完全に以下に説明する第2の基板655を含む。電流センサ650は、複数のリード線552a~552hを有するリードフレーム652を含む。また、電流センサ650は、第1の表面656aと反対の第2の表面656bとを有する基板656を含む。電流導体部655を有する導電性留め具654が、リード線652a~652dに結合される。電流導体部605は、二つの隆起部655a、655bを含む。磁場感知素子、例えば磁気抵抗素子(図示せず)が上に配設された第2の基板666を、電流導体部655の上に配設することができる。第2の基板666

10

20

30

40

50

上の磁場感知素子は、ワイヤ結合部 6 6 8 a、6 6 8 b などを用いて、基板 6 5 6 の第 1 の表面 6 5 6 a に結合することができる。

【 0 1 3 9 】

導電性留め具 6 5 4 は、導電性留め具 6 5 4 が基板 6 5 6 の第 1 の表面 6 5 6 a の上にわたって延びるように湾曲部を有して形成される。例示される実施形態では、基板 6 5 6 は、第 1 の表面 6 5 6 a が上に向けられた従来の実装向きを有する。絶縁体 6 6 4 (本明細書では絶縁層とも呼ぶ) が、基板 6 5 6 を導電性留め具 6 5 4 から絶縁することができる。絶縁体 6 6 4 は、任意の絶縁材料を欠いている二つの領域 6 6 4 a、6 6 4 b を有する。絶縁体 6 6 4 は、図 1 に示される絶縁体 2 4 と同様であってよい。

【 0 1 4 0 】

組み立てられた形で図示されて、隆起部 6 5 5 a、6 5 5 b は、絶縁材料を欠いている絶縁層 6 6 4 の領域 6 6 4 a、6 6 4 b に位置を合わせ、その領域内に延在する。隆起部 6 5 5 a、6 5 5 b は、電流導体部 6 5 5 と基板 6 5 6 の第 1 の表面 6 5 6 a との間の電気接点を提供するように選択された寸法および形状を有する。特に、二つの隆起部 6 5 5 a、6 5 5 b は、基板 6 5 6 の第 1 の表面 6 5 6 a 上の金属化特徴部 (図示せず) への電気接点を提供し、やはり基板 6 5 6 の第 1 の表面 6 5 6 a 上に配設された回路 (図示せず) への電氣的結合を提供する。電氣的結合、およびそれに結合される回路は、図 1 5 に関連して上でより詳細に論じた。

【 0 1 4 1 】

隆起部 6 5 5 a、6 5 5 b を含む電流導体部 6 5 5 を有する導体留め具 6 5 4 が図示されているが、他の構成では、他の電流導体部、例えば二つの特徴部または隆起部を含む直線状の電流導体部を使用することもできることを理解されたい。

【 0 1 4 2 】

一つの電流導体部 6 5 5 のみが図示されているが、第 2 の電流導体部を使用することもできることを理解すべきである。第 2 の電流導体部は、図 1 0 の第 2 の電流導体部 3 0 4 b と同一または同様であってよく、基板 6 5 6 の第 1 の表面 6 5 6 a 上または絶縁体 6 6 4 上に同様に配設することができる。

【 0 1 4 3 】

電流センサ 6 5 0 は、二つの基板 6 5 6、6 6 6 を有する。電流センサ 6 5 0 は、二つの基板を提供することができ、それと共に、磁場感知素子の近傍に電流搬送導体、例えば 6 5 5 を提供し、かつ / または図 1 5 に関連して上述したような過電流回路を含む一構成を示すにすぎない。他の二つの基板構成が、名称「Arrangements for an Integrated Sensor」、代理人整理番号 A L L E G - 1 6 2 P U S、発明者 Michael C. Doogue、Vijay Mangtani、および William P. Taylor、出願日 2 0 0 6 年 1 月 2 0 日の米国特許出願第 1 1 / 3 3 5 9 4 4 号に記載されている。本明細書で説明する構成の任意のものを、電流搬送導体および / または過電流回路と組み合わせることができる。

【 0 1 4 4 】

図 1 3 および図 1 3 A の電流センサ 4 5 0、図 1 4 および図 1 4 A の電流センサ 5 0 0、図 1 5 の電流センサ 5 5 0、および図 1 6 の電流センサ 6 5 0 は、それぞれ電流導体部 4 5 4、5 0 4、6 0 4、および 6 5 5 と、図 1 5 の回路 5 9 0 によって表される関連の過電流回路との間の結合を有して図示されている。しかし、他の実施形態では、電流センサ 4 5 0、5 0 0、5 5 0、および 6 5 0 と同様の他の電流センサが、電流導体部 4 5 4、5 0 4、6 0 4、および 6 5 5 と関連の過電流回路との間の結合を有さず、すなわち隆起部またはワイヤ結合部を有さない。すなわち、図 1 5 の電流センサ 5 5 0 を参照すれば、図 1 5 の電流導体部 6 0 4 が、図 1 5 のノード 5 7 4 または 5 7 6 に結合しない。これらの実施形態では、過電流回路 5 9 0 (図 1 5) は、ノード 5 7 4 および 5 7 6 に結合されたままであり、ノード 5 7 4 および 5 7 6 は、電流センサ 5 5 0 の他に別の回路要素に結合する。例えば、いくつかの構成では、ノード 5 7 4、5 7 6 は、回路板上の回路トレースに結合することができ、回路トレースは、電流導体部 6 0 4 (図 1 5) を通過するの

10

20

30

40

50

と同じ電流を搬送する。これらの構成では、過電流回路 590 は、回路トレースを通過する電流に起因する電圧降下を感知することが可能であり、本質的に同じ効果を提供し、過電流回路 590 は、上述したものと同様の機能を提供する。

【0145】

次に図 17 を参照すると、図 10 の同様の要素が同様の参照符号を有して示され、電流センサ 700 が、複数のリード線 702a ~ 702h と分流導体部 706 とを有するリードフレーム 702 (本明細書ではリードフレーム部とも呼ぶ) を含む。また、電流センサ 700 は、図 10 の電流センサ 300 と同様に、第 1 の電流導体部 304a および第 2 の電流導体部 304b の組合せとして提供される電流導体部 304 を含む。したがって、リードフレーム 702 は、リード線 702c、702d へのリード線 702a、702b の二つの結合を有する。第 1 の結合は、電流導体部 304 によって提供され、第 2 の結合は、分流導体部 706 によって提供される。

10

【0146】

いくつかの実施形態では、電流センサ 700 は、分流導体部 706 上に配設された第 1 の磁束収束器 708 と、一般に分流導体部 706 とホール効果素子 308 との間に配設される、磁気シールド (磁束シールドまたはシールド部) と呼ばれることもある第 2 の磁束収束器 710 とを含むこともできる。第 1 および第 2 の磁束収束器 708、710 はそれぞれ、フェライト、パーマロイ、またはニッケル鉄合金を含めた、しかしそれらに限定されない様々な軟磁性材料から構成することができる。磁束収束器 708、710 は、様々な形で適用することができる。例えば、磁束収束器は、被覆プロセスによってリードフレーム 706 上に被覆することができる。

20

【0147】

磁束収束器 708 は、リードフレーム 702 上への直接の電気めっきプロセスによって、または分流導体部 706 に貼付される Kapton テープの使用によって形成することができ、Kapton テープの他方の側は、積層またはテーププロセスによって形成されることがある軟磁性材料を有することができる。シールド部 710 は、パッケージ組立て中に、リードフレーム内に配置し、接着剤で固定することができる。

【0148】

動作時、電流導体部 304 は、電流 316 の一部のための電流経路を提供し、分流導体部 706 は、電流 316 の別の一部のための別の電流経路を提供する。電流センサ 700 は、電流導体部 304 を通って流れる電流 316 の一部に関係付けられる、電流 316 に対する感度を有することを理解されたい。その結果、電流センサ 700 は、分流導体部 706 を有さない図 10 の電流センサ 300 よりも、電流 316 に対して低い感度を有することができる。したがって、電流センサ 700 は、ホール効果素子 308 に結合された回路 (例えば、図 15 の回路 554) を飽和することなく、電流のより大きな範囲にわたって動作することができる。電流のより大きな範囲は、分流導体部 706 によって提供されるホール効果素子 308 に対する影響に起因するだけでなく、分流導体部 706 を有するリードフレーム 702 が、過熱せずにより大量の電流に耐えることが可能であることにも起因し、これは、リードフレーム 702 が、図 10 のリードフレーム 302 よりも低い全抵抗の電流経路を有することができるからである。

30

40

【0149】

電流導体部 304 を通って流れる、および分流導体部 706 を通って流れる電流 316 の上述した一部は、上述した結果を提供する傾向があるが、分流導体部 706 を通って流れる電流 316 の一部は、ホール効果素子 308 の近くで磁場を発生し、この磁場は、電流導体部 304 を通って流れる電流 316 の一部によって発生される磁場と逆である傾向があることも理解されたい。いくつかの実施形態では、逆の磁場が望ましくないことがある。第 1 および第 2 の磁束収束器 708、710 はそれぞれ、分流導体部 706 を通って流れる電流 316 の一部によって発生される磁場を収束または遮蔽する傾向があり、したがって、第 1 および第 2 の磁束収束器 708、710 はそれぞれ、磁束をホール効果素子 308 から離して保つ傾向がある。

50

【 0 1 5 0 】

分流導体部 7 0 6 とホール効果素子 3 0 8 との間の離隔距離は、分流導体部 7 0 6 を通って流れる電流 3 1 6 の一部によって発生される磁場からのホール効果素子 3 0 8 に対する影響を制御および / または最小化するように選択することができる。より大きな離隔距離が、その影響を低減する傾向があることは理解されよう。

【 0 1 5 1 】

分流導体部 7 0 6 の抵抗に影響を及ぼす形での分流導体部 7 0 6 の寸法設定は、電流導体部 3 0 4 を通って流れる電流 3 1 6 の一部よりも、分流導体部 7 0 6 を通って流れる電流 3 1 6 の一部に影響を及ぼすことができる。それゆえ、分流導体部 7 0 6 の寸法および形状は、選択された抵抗を提供するように選択することができる。したがって、寸法設定は、電流センサ 7 0 0 の全体の感度に影響を及ぼすことができる。

10

【 0 1 5 2 】

次に図 1 8 を参照すると、この図は、図 8 に示される要素と同様の要素を有し、電流センサ 7 5 0 が、リードフレーム 7 5 2 のリード線 7 5 2 a ~ 7 5 2 d (7 5 2 a、7 5 2 b は図示しないが、それぞれ図 7 のリード線 2 0 2 a、2 0 2 b と同様に構成される) に結合される電流導体部 7 5 6 を有する導電性留め具 7 5 4 を含む。また、導電性留め具 7 5 4 は、図 1 7 の分流導体部 7 0 6 に関連して上述したものと同様の機能および動作特性を有する分流導体部 7 5 8 を含む。また、集積回路 7 5 0 は、図 1 7 に関連して上述したそれぞれ第 1 および第 2 の磁束収束器 7 5 8、7 6 0 と同様の機能および動作特性を有するそれぞれ第 1 または第 2 の磁束収束器 7 6 4、7 6 6 の一つまたは複数を含むこともできる。

20

【 0 1 5 3 】

図 7 および図 8 に関連して説明した構成と同様に、導電性留め具 7 5 4 は、基板 7 6 0 の第 1 の表面 7 6 0 a 上にわたって延びるように設計された形状を有する。磁場感知素子 7 6 2、例えばホール効果素子は、基板 7 6 0 の第 1 の表面 7 6 0 a 内または第 1 の表面 7 6 0 a 上に配設される。

【 0 1 5 4 】

図 1 7 および図 1 8 の分流導体部 7 0 6、7 5 8 および磁束収束器 7 0 8、7 1 0、7 6 4、7 6 6 は、特定の電流センサ構成と関連して図示されているが、同様の分流導体部および同様の関連の磁束収束器を、本明細書に示されるフリップチップまたは非フリップチップ構成の任意のものに含めることができることを理解されたい。

30

【 0 1 5 5 】

次に図 1 9 を参照すると、電磁シールド 8 0 0 は、図 8 の電磁シールド 2 2 2 と同一または同様であってよい。電磁シールド 8 0 0 は、ホール効果素子 8 8 0 を概して覆って配置され、ホール効果素子 8 8 0 は、図 8 のホール効果素子 2 0 8 と同一または同様であってよい。電磁シールド 8 0 0 は、スリット 8 0 6 によって離隔された第 1 の部分 8 0 2 と第 2 の部分 8 0 4 とを含む。第 1 の部分 8 0 2 と第 2 の部分 8 0 4 とは、導電領域 8 0 8 によって結合される。結合パッド 8 1 0 が、電磁シールド 8 0 0 を DC 電圧、例えば接地電圧に結合することができるようにする。

40

【 0 1 5 6 】

電磁シールド 8 0 0 は、電流センサ、例えば図 8 の電流センサ 2 0 0 の製造中に金属層から形成することができる。金属層は、様々な材料、例えばアルミニウム、銅、金、チタン、タングステン、クロム、またはニッケルから構成することができる。

【 0 1 5 7 】

AC 磁場 (例えば電流搬送導体を取り囲む磁場) の存在時、電磁シールド 8 0 0 内に AC 渦電流 8 1 2、8 1 4 を誘導することができることを理解されたい。渦電流 8 1 2、8 1 4 は、図示されるように閉ループとして発生する。閉ループ渦電流 8 1 2、8 1 4 は、電磁シールド 8 0 0 の近傍に、渦電流 8 1 2、8 1 4 を誘導する磁場よりも小さい磁場を生み出す傾向がある。したがって、電磁シールド 8 0 0 が、ホール効果素子、例えば図 8 のホール効果素子 2 0 8 の近くに配置された場合、ホール効果素子 2 0 8 は、普通受ける

50

よりも小さい磁場を受け、あまり敏感でない電流センサをもたらし、これは一般に望ましくない。さらに、渦電流と関連付けられた磁場が均一でなく、またはホール効果素子 208 の周りで対称的でない場合、ホール効果素子 208 は、望ましくないオフセット電圧を発生することもある。

【0158】

スリット 806 は、渦電流 812、814 が進む閉ループの寸法（すなわち、直径または経路長）を減少する傾向がある。渦電流 812、814 が進む閉ループの減少された寸法が、より小さな渦電流 812、814 と、渦電流を誘導した AC 磁場に対するより小さな局所的影響とをもたらし、したがって、ホール効果素子 816 および電磁シールド 800 が使用される電流センサの感度は、より小さな渦電流によってあまり影響を受けない。

10

【0159】

さらに、スリット 806 がホール効果素子 816 の上に延びるように、図示されるようにシールド 800 をホール効果素子 816 に関して配置することによって、渦電流 812、814 の任意の一つと関連付けられた磁場は、二つの方向でホール効果素子 816 を通過する磁場を生成する傾向があり、ホール効果素子 816 の領域の少なくとも一部の上で打ち消し合うことを理解されたい。

【0160】

次に図 20 を参照すると、電磁シールド 850 は、図 8 の電磁シールド 222 と同一または同様であってよい。電磁シールド 850 は、4 つのスリット 860 ~ 866 によって離隔される 4 つの部分 852 ~ 858 を含む。4 つの部分 852 ~ 858 は、導電領域 876 によって結合される。結合パッド 878 が、電磁シールド 850 を DC 電圧、例えば接地電圧に結合することができるようにする。

20

【0161】

磁場の存在時、電磁シールド 850 内で渦電流 868 ~ 874 を誘導することができることを理解されたい。4 つのスリット 860 ~ 866 により、閉ループ渦電流 866 ~ 874 の寸法（すなわち、直径または経路長）は、図 19 の閉ループ渦電流 812、814 の寸法よりも小さくなる傾向があることを理解されたい。渦電流 868 ~ 874 が進む閉ループの減少された寸法が、より小さな渦電流 868 ~ 874 と、渦電流を誘導した AC 磁場に対する、図 19 のシールド 800 に起因するものよりも小さな局所的影響とをもたらし、したがって、ホール効果素子 880 および電磁シールド 850 が使用される電流センサの感度は、図 19 のシールド 800 を使用する電流センサの感度よりも、小さな渦電流 868 ~ 874 によってあまり影響を及ぼされない。

30

【0162】

さらに、スリット 860 ~ 866 がホール効果素子 880 の上に延びるように、図示されるようにシールド 850 をホール効果素子 880 に関して配置することによって、渦電流 868 ~ 874 の任意の一つと関連付けられた磁場は、二つの方向でホール効果素子 880 を通過する磁場を生成する傾向があり、ホール効果素子 880 の領域の少なくとも一部の上で打ち消し合うことを理解されたい。

【0163】

次に図 21 を参照すると、電磁シールド 900 は、図 8 の電磁シールド 222 と同一または同様であってよい。電磁シールド 900 は、交互嵌合部材を有する遮蔽部 902 を含み、その部材 902 a は一例にすぎない。交互嵌合部材は、導体部 904 を介して結合パッド 906 に結合され、結合パッド 906 は、電磁シールド 900 を DC 電圧、例えば接地電圧に結合することができるようにする。

40

【0164】

電磁シールド 900 は、図 20 の電磁シールド 850 または図 19 の電磁シールド 800 よりもはるかに小さな寸法（すなわち、経路長の直径）を有する渦電流をサポートすることができることを理解されたい。したがって、電磁シールド 900 は、上述したものよりも、電流センサの感度に対してはるかに小さな負の影響を有する傾向がある。

【0165】

50

次に図 2 2 を参照すると、電磁シールド 9 5 0 は、図 8 の電磁シールド 2 2 2 と同一または同様であってよい。電磁シールド 9 5 0 は、複数の部材を有する遮蔽部 9 5 2 を含み、その部材 9 5 2 a は一例にすぎない。部材は、導電部 9 5 4 を介して結合パッド 9 5 6 に結合され、結合パッド 9 5 6 は、電磁シールド 9 5 0 を D C 電圧、例えば接地電圧に結合することができるようにする。

【 0 1 6 6 】

次に図 2 3 を参照すると、電流センサ 1 0 0 0 の一部分の側面図が、第 1 の表面 1 0 0 2 a と第 2 の表面 1 0 0 2 b とを有する基板 1 0 0 2 を含む。ホール効果素子 1 0 0 4 が、基板 1 0 0 2 の第 1 の表面 1 0 0 2 a 上または表面 1 0 0 2 a 内に配設される。絶縁層 1 0 0 6 が、基板 1 0 0 2 の第 1 の表面 1 0 0 2 a の下に配設される。

10

【 0 1 6 7 】

電磁シールド 1 0 0 8 が、絶縁層 1 0 0 6 の下に配設される。電磁シールドは、それぞれ図 1 9 ~ 図 2 2 の電磁シールド 8 0 0、8 5 0、9 0 0、9 5 0 の一つと同一または同様であってよい。電磁シールド 1 0 0 8 は、遮蔽部 1 0 1 0 と、導電部 1 0 1 2 と、結合パッド 1 0 1 4 とを含み、これは、図 1 9 ~ 図 2 2 における同様の構造と同一または同様であってよい。結合ワイヤ 1 0 1 6、または別の結合方法が、結合パッド 1 0 1 4 を基板 1 0 0 2 の第 1 の表面 1 0 0 2 a、特に基板 1 0 0 2 の第 1 の基板 1 0 0 2 a 上の金属層（図示せず）に結合することができる。しかし、いくつかの実施形態では、そうではなく、この結合は、集積回路製造プロセスの一部、例えばベースプロセスとして被覆された金属層と、追加の金属層とによってなされ、その場合、結合ワイヤ 1 0 1 6 は省くことができる。

20

【 0 1 6 8 】

また、電流センサ 1 0 0 0 は、電磁シールド 1 0 0 8 の下に配設された別の絶縁層 1 0 1 8 を含むこともできる。さらに、電流センサ 1 0 0 0 は、絶縁層 1 0 1 8 の下に配設された電流導体部 1 0 2 0 を含むことができる。電流導体部 1 0 2 0 は、本明細書で説明した様々な電流導体部、例えば図 1 1 の電流導体部 3 0 4 b と同一または同様であってよい。

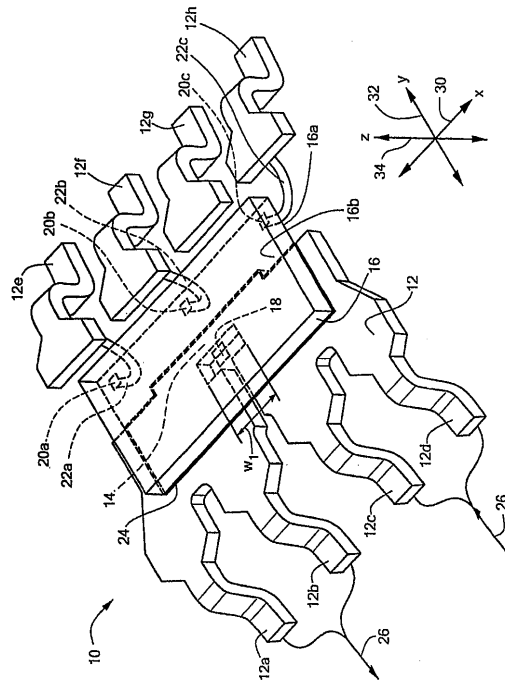
【 0 1 6 9 】

電流センサ 1 0 0 0 はフリップチップ構成で図示されているが、他の実施形態では、構造を逆さにして、非フリップチップ構成を提供することができる。

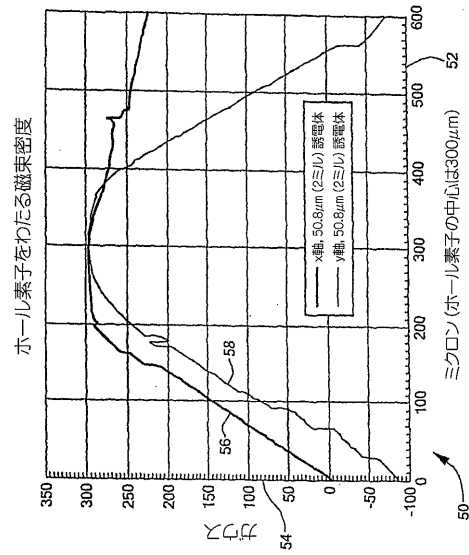
30

本発明の好ましい実施形態を説明してきたが、ここで、それらの概念を組み込む他の実施形態が使用されることもあることは当業者に明らかであろう。したがって、これらの実施形態は、開示された実施形態に限定されるべきではなく、頭記の特許請求の範囲の精神および範囲によってのみ限定されるべきであると考えられる。本明細書で引用した参考文献は全て、それらの全体を参照として本明細書に組み込む。

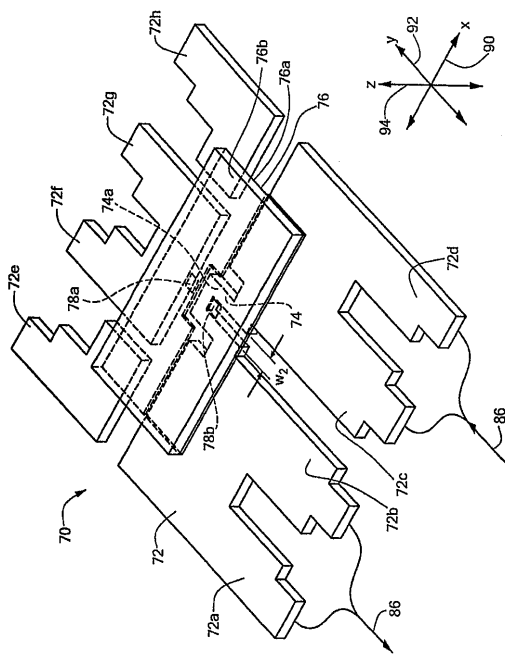
【図 1】



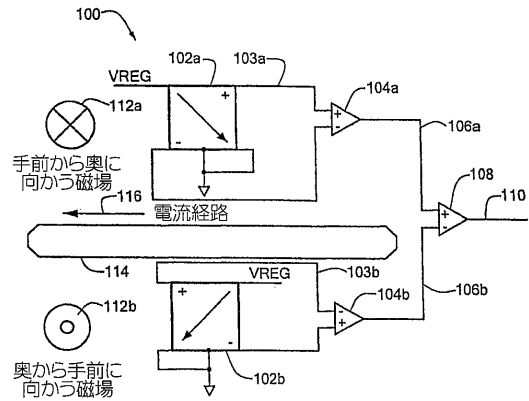
【図 2】



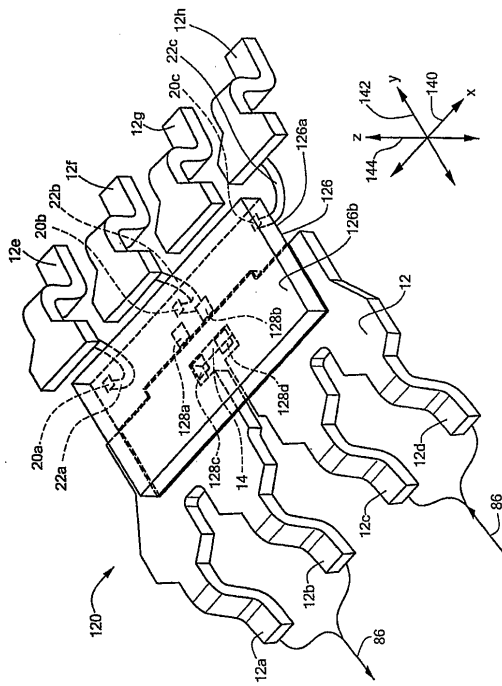
【図 3】



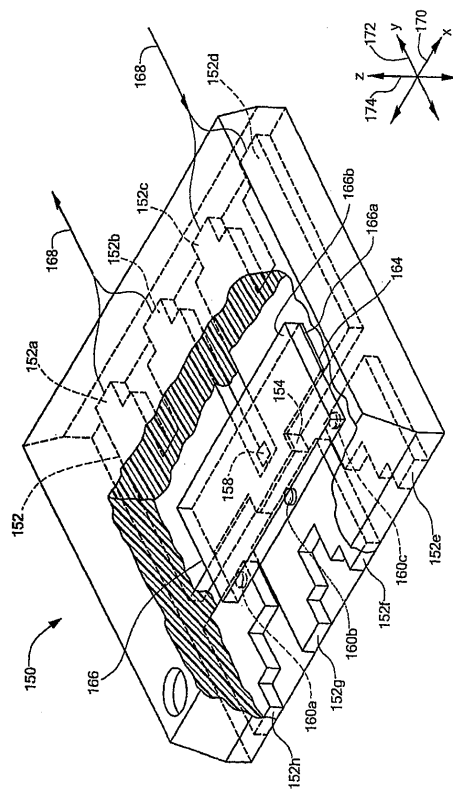
【図 4】



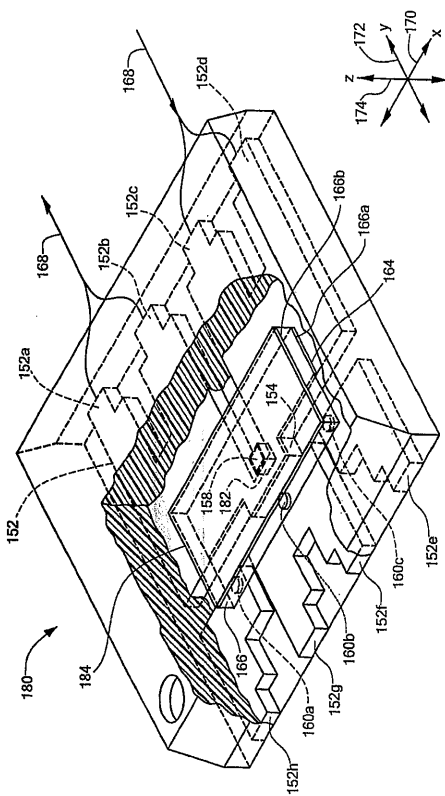
【図 5】



【図 6】



【図 6 A】



【図 8】

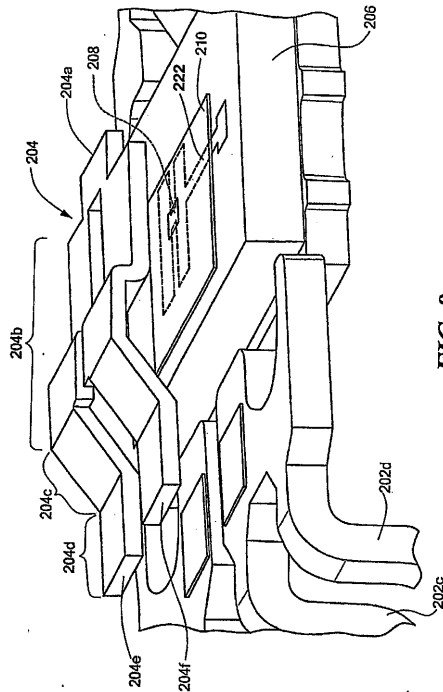
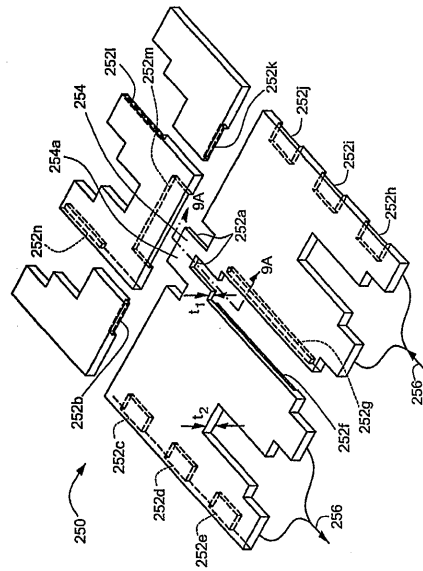
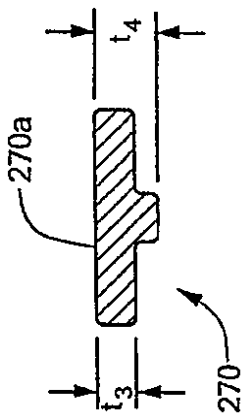


FIG. 8

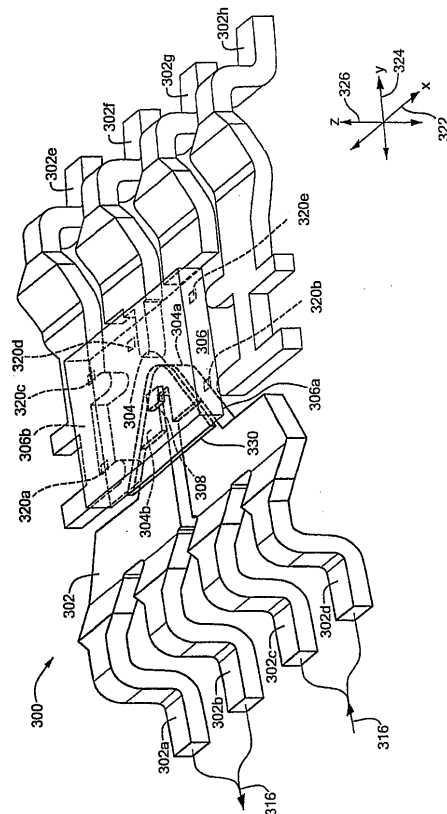
【図 9】



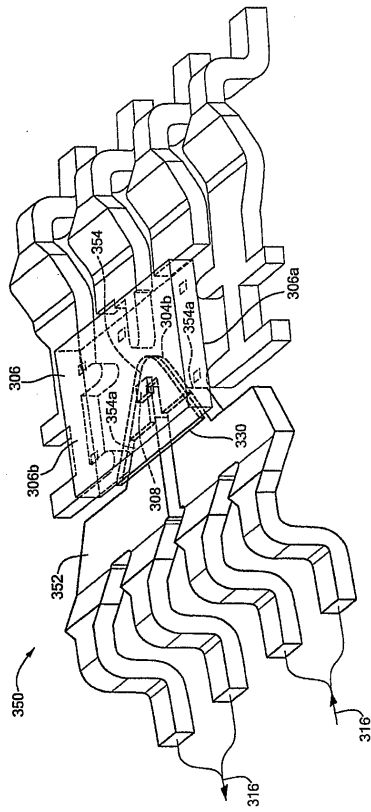
【図 9 A】



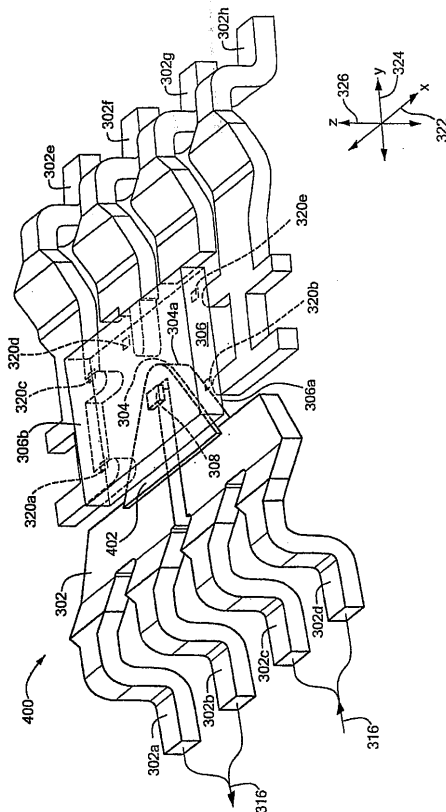
【図 10】



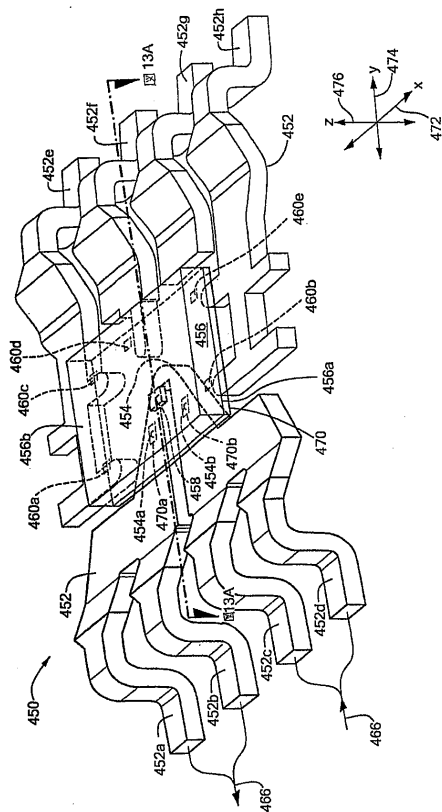
【図 1 1】



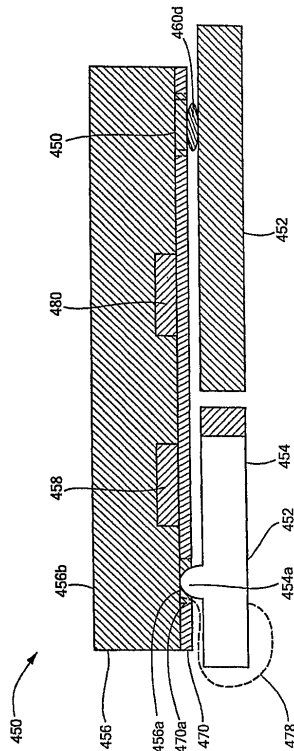
【図 1 2】



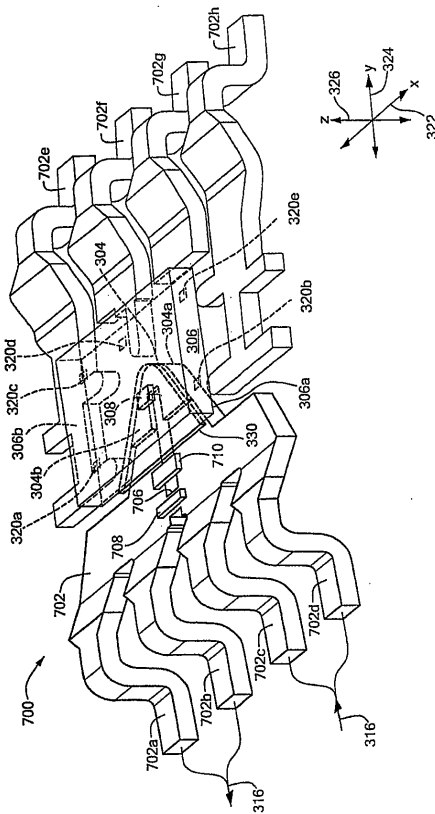
【図 1 3】



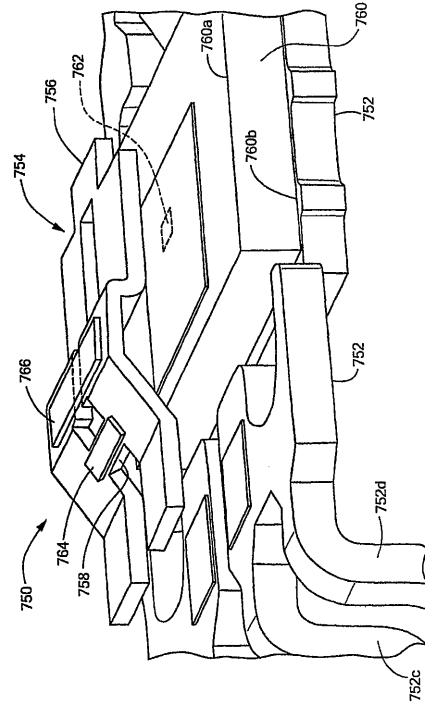
【図 1 3 A】



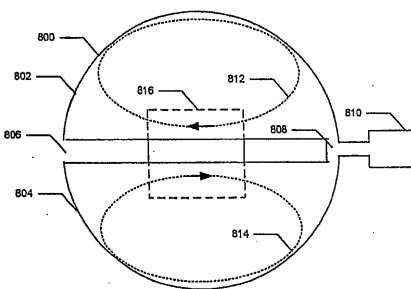
【図 17】



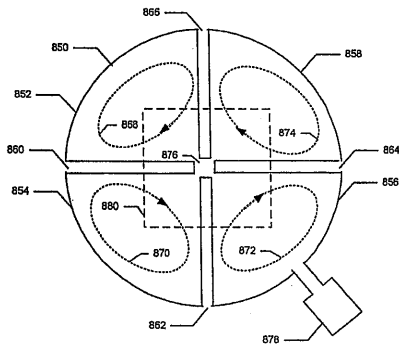
【図 18】



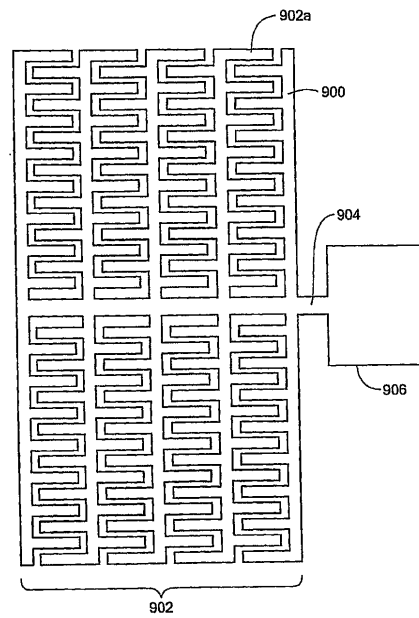
【図 19】



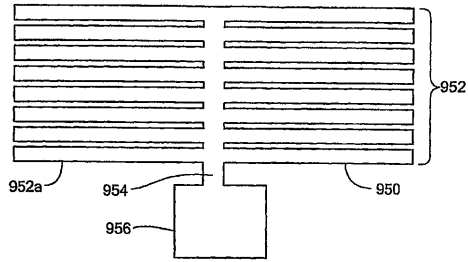
【図 20】



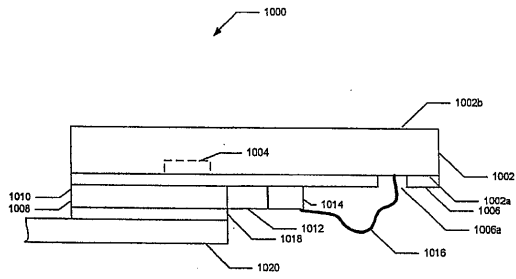
【図 21】



【図 22】



【図 23】



フロントページの続き

- (31)優先権主張番号 11/336,602
(32)優先日 平成18年1月20日(2006.1.20)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/401,160
(32)優先日 平成18年4月10日(2006.4.10)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/383,021
(32)優先日 平成18年5月12日(2006.5.12)
(33)優先権主張国 米国(US)
- (74)代理人 100141025
弁理士 阿久津 勝久
(74)復代理人 100092967
弁理士 星野 修
(74)復代理人 100167243
弁理士 上田 充
(72)発明者 テイラー, ウィリアム・ピー
アメリカ合衆国ニューハンプシャー州03031, アムハースト, ハイランド・ドライブ 1
(72)発明者 ドゥーグ, マイケル・シー
アメリカ合衆国ニューハンプシャー州03104, マンチェスター, ノース・アダムス・ストリート 115
(72)発明者 シャーマ, ニルマル
アメリカ合衆国マサチューセッツ州01545, シュルーズベリー, シンクレア・ロード 19
(72)発明者 ギャグノン, ジェイ
アメリカ合衆国マサチューセッツ州01520, ホールデン, ベイリー・ロード 160
(72)発明者 マングタニ, ヴィジャイ
アメリカ合衆国ニューハンプシャー州03062, ナシュア, テラマー・レーン 7
(72)発明者 ディッキンソン, リチャード
アメリカ合衆国マサチューセッツ州02127, サウス・ボストン, ウェスト・フィフス・ストリート 177, ユニット 3
(72)発明者 フリードリッヒ, アンドレアス・ペー
フランス国エフ - 74330 エパグニ, アンパッセ・デ・オーツ・ドゥ・ギリヨン 50

審査官 関根 洋之

- (56)参考文献 米国特許出願公開第2005/0045359(US, A1)
特表2007-503584(JP, A)
特開2001-165963(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G01R 15/00 - 19/32