

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-503039

(P2007-503039A)

(43) 公表日 平成19年2月15日(2007.2.15)

(51) Int. Cl.

G06F 15/80 (2006.01)

F I

G06F 15/80

テーマコード (参考)

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2006-523713 (P2006-523713)
 (86) (22) 出願日 平成16年8月3日(2004.8.3)
 (85) 翻訳文提出日 平成18年3月31日(2006.3.31)
 (86) 国際出願番号 PCT/IB2004/051372
 (87) 国際公開番号 W02005/017765
 (87) 国際公開日 平成17年2月24日(2005.2.24)
 (31) 優先権主張番号 03102550.5
 (32) 優先日 平成15年8月15日(2003.8.15)
 (33) 優先権主張国 欧州特許庁 (EP)

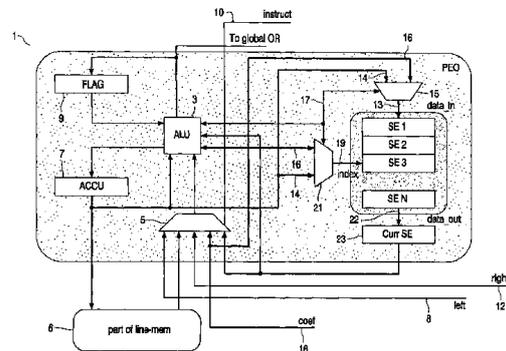
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊

最終頁に続く

(54) 【発明の名称】 並列処理アレイ

(57) 【要約】

SIMDなどの並列処理アレイの部分形成する処理要素(1)は、算術論理演算装置(ALU)(3)、マルチプレクサ(MUX)(5)、アキュムレータ(ACCU)(7)、及びフラグ・レジスタ(FLAG)(9)を備える。ALUは、処理アレイの中の全ての処理要素で受け取られる共通の命令に基づいて動作するように構成されている。処理要素(1)はさらに、格納要素(SE)(11)を備え、この格納要素は、ルックアップ・テーブル演算及び格納ローカル係数データなどの処理要素(1)のローカル専用化(すなわち、データ依存)処理の処理を支援する。



【特許請求の範囲】

【請求項 1】

複数の処理要素を備え、各前記処理要素は、共通の命令を受け取り、かつ前記共通の命令を受け取るマルチプレクサと、前記マルチプレクサに接続され、アキュムレータ及びフラグ・レジスタと共同して前記受け取られた命令を処理する算術論理演算装置とを備える並列処理アレイであって、前記処理アレイの中の1つ又は複数の前記処理要素は、少なくとも1つの格納場所を有する格納要素をさらに備え、前記格納要素は、前記受け取られた命令で間接的にアドレス可能であるように構成され、それによって、データ依存演算の処理を行うことが可能になることを特徴とする並列処理アレイ。

10

【請求項 2】

前記格納要素は、格納されるべきデータを受け取るための入力データ・ポートと、前記格納要素の格納場所にアドレスするためのインデックス信号と、前記格納要素からデータを出力するための出力ポートとを備える、請求項 1 に記載の並列処理アレイ。

【請求項 3】

前記格納要素の前記入力データ・ポートは、入力マルチプレクサからデータを受け取るように接続されており、前記入力マルチプレクサは、アキュムレータ・データ又は係数データを渡すように構成されている、請求項 2 に記載の並列処理アレイ。

20

【請求項 4】

前記インデックス信号はインデックス・マルチプレクサから受け取られ、前記インデックス・マルチプレクサは、アキュムレータ・データ又は係数データ、若しくは前記受け取られた命令の一部を選択的に渡すように構成されている、請求項 2 又は 3 に記載の並列処理アレイ。

【請求項 5】

前記入力マルチプレクサ及び/又は前記インデックス・マルチプレクサは、前記受け取られた命令によって制御される、請求項 3 又は 4 に記載の並列処理アレイ。

【請求項 6】

前記格納要素は、処理されるべきデータに基づいて前記処理要素に係数を与えるように構成されている、請求項 1 乃至 5 のいずれか一項に記載の並列処理アレイ。

30

【請求項 7】

前記入力マルチプレクサは、係数データを格納するとき、前記格納要素にアキュムレータ・データを渡すように構成され、前記係数データは、前記インデックス信号で定義される格納場所に格納される、請求項 6 に記載の並列処理アレイ。

【請求項 8】

前記入力マルチプレクサは、前記インデックス信号で定義された格納場所に格納された係数データを前記格納要素に渡すように構成されている、請求項 6 に記載の並列処理アレイ。

【請求項 9】

前記インデックス信号は、前記インデックス・マルチプレクサで受け取られた係数データによって定義される、請求項 7 又は 8 に記載の並列処理アレイ。

40

【請求項 10】

前記インデックス信号は、前記インデックス・マルチプレクサで受け取られたアキュムレータ・データによって定義される、請求項 7 又は 8 に記載の並列処理アレイ。

【請求項 11】

前記格納要素は、ローカル・ルックアップ・テーブルを前記処理要素に与えるように構成されている、請求項 1 乃至 10 のいずれか一項に記載の並列処理アレイ。

【請求項 12】

前記入力マルチプレクサは、前記インデックス信号で定義される場所への記憶のために

50

係数データを前記格納要素に渡すように構成されている、請求項 11 に記載の並列処理アレイ。

【請求項 13】

前記インデックス信号は、前記インデックス・マルチプレクサで受け取られたアキュムレータ・データで定義される、請求項 12 に記載の並列処理アレイ。

【請求項 14】

前記入力マルチプレクサは、前記格納要素に格納されるべきデータとして前記係数データの第 1 の部分を渡すように構成され、前記インデックス・マルチプレクサは、格納アドレスを定義する前記インデックス信号として前記係数データのその他の部分を渡すように構成されている、請求項 11 に記載の並列処理アレイ。

10

【請求項 15】

前記格納要素の出力と前記マルチプレクサの入力との間に、データを格納するためのレジスタをさらに備える、請求項 1 乃至 14 のいずれか一項に記載の並列処理アレイ。

【請求項 16】

前記処理アレイは、単一命令多データ処理アレイである、請求項 1 乃至 15 のいずれか一項に記載の並列処理アレイ。

【請求項 17】

複数の処理要素を備える並列処理アレイでデータを処理する方法であって、各前記処理要素は、共通の命令を受け取り、かつ前記共通の命令を受け取るマルチプレクサと、前記マルチプレクサに接続され、アキュムレータ及びフラグ・レジスタと共同して前記受け取られた命令を処理する算術論理演算装置とを備え、前記方法は

20

前記処理アレイの中の 1 つ又は複数の前記処理要素に格納要素を設けるステップであって、前記格納要素は少なくとも 1 つの格納場所を有するステップと、

前記受け取られた命令によって間接的にアドレス可能であるように前記格納要素を構成するステップと、

前記格納要素を使用してデータ依存演算を処理するステップとを備える方法。

【請求項 18】

格納されるべきデータを受け取るために前記格納要素に入力データ・ポートを設けるステップと、

前記格納要素の格納場所にアドレスするためのインデックス信号を供給するステップと

30

、前記格納要素からデータを出力するための出力ポートを設けるステップとをさらに備える、請求項 17 に記載の方法。

【請求項 19】

入力マルチプレクサからデータを受け取るように前記格納要素の前記入力データ・ポートに接続するステップと、アキュムレータ・データ又は係数データを渡すように前記入力マルチプレクサを構成するステップとをさらに備える、請求項 18 に記載の方法。

【請求項 20】

前記インデックス信号を供給するインデックス・マルチプレクサを設けるステップと、アキュムレータ・データ又は係数データ、若しくは前記受け取られた命令の部分を選択的に渡すように前記インデックス・マルチプレクサを構成するステップとをさらに備える、請求項 18 又は 19 に記載の方法。

40

【請求項 21】

前記受け取られた命令で前記入力マルチプレクサ及び / 又は前記インデックス・マルチプレクサを制御するステップをさらに備える、請求項 19 又は 20 に記載の方法。

【請求項 22】

処理されるべきデータに基づいて係数を前記処理要素に与えるように前記格納要素を構成するステップをさらに備える、請求項 17 乃至 21 のいずれか一項に記載の方法。

【請求項 23】

係数データを格納するときアキュムレータ・データを前記格納要素に渡すように前記入

50

カマルチプレクサを構成するステップをさらに備え、前記係数データは、前記インデックス信号で定義される格納場所に格納されている、請求項 22 に記載の方法。

【請求項 24】

係数データを前記格納要素に渡すように前記入力マルチプレクサを構成するステップと、前記インデックス信号で定義される格納場所に前記係数データを格納するステップとをさらに備える、請求項 22 に記載の方法。

【請求項 25】

前記インデックス信号は、前記インデックス・マルチプレクサで受け取られた係数データによって定義される、請求項 23 又は 24 に記載の方法。

【請求項 26】

前記インデックス信号は、前記インデックス・マルチプレクサで受け取られたアキュムレータ・データによって定義される、請求項 23 又は 24 に記載の方法。

【請求項 27】

ローカル・ルックアップ・テーブルを前記処理要素に与えるように前記格納要素を構成するステップをさらに備える、請求項 17 乃至 26 のいずれか一項に記載の方法。

【請求項 28】

前記入力マルチプレクサは、前記インデックス信号で定義される場所への記憶のために係数データを前記格納要素に渡すように構成されている、請求項 27 に記載の方法。

【請求項 29】

前記インデックス信号は、前記インデックス・マルチプレクサで受け取られたアキュムレータ・データで定義される、請求項 28 に記載の方法。

【請求項 30】

前記格納要素に格納されるべきデータとして前記係数データの第 1 の部分を渡すように前記入力マルチプレクサを構成するステップと、格納アドレスを定義する前記インデックス信号として前記係数データのその他の部分を渡すように前記インデックス・マルチプレクサを構成するステップとをさらに備える、請求項 27 に記載の方法。

【請求項 31】

前記格納要素の出力と前記マルチプレクサの入力との間に、データを格納するためのレジスタを設けるステップをさらに備える、請求項 17 乃至 30 のいずれか一項に記載の方法。

【請求項 32】

前記処理アレイは、単一命令多データ処理アレイである、請求項 17 乃至 31 のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の処理要素 (PE) を有する並列処理アレイ、例えば単一命令多データ (SIMD) 処理アレイに関する。特に、本発明は、データ依存処理演算を取り扱うときにアレイの効率を改善するようにされた並列処理アレイに関する。

【背景技術】

【0002】

SIMD 処理アレイでは、アレイ中の各処理要素 (PE) が、共通の命令ストリームを介して同じ命令を受け取り、その処理要素に特有のローカル・データに基づいて命令を実行する。従って、並列処理アレイは、画像処理に関連したタスクなどの、同じ演算が同時に多数のデータに対して行われる反復性の高いタスクを行うのに非常に適している。従って、SIMD は、面積効率の良い、拡張性のある低電力の実装を提供する。SIMD は、データ及びデータの処理に相当な繰返しを含む用途に適しているが、SIMD は、データ依存処理演算を行うのにそれほど適していない。

【0003】

例えば、ビデオ処理 (例えば、デインタレース、雑音低減、水平動的ピーキング) では

10

20

30

40

50

、演算の大部分は、アレイの全てのデータ要素について全く同じであり、従って、SIMDアレイを効率的に活用する。しかし、アレイ中のデータの場所以に基づいたルックアップ・テーブル演算又は異なる係数との乗算などのデータ依存処理演算は、SIMD処理アレイを効率的に活用しない。

【0004】

図1は、Xetal SIMD処理アーキテクチャの一般的な処理要素(PE)1の図を示す(Xetalは、デジタル・ビデオ・カメラ用の低電力並列プロセッサである)。処理要素1は、算術論理演算装置(ALU)3、マルチプレクサ(MUX)5、アキュムレータ(ACCU)7、及びフラグ・レジスタ(FLAG)9を備える。処理要素1は、ブロードキャスト命令10を受け取り、これはアレイの他の全ての処理要素(図示されない)によって受け取られる。ALU3は、ローカル・データに基づいて命令10を処理する。アキュムレータ7は、最後の結果を格納するために設けられており、この最後の結果は次の命令10のオペランドとして使用することができる。一般に、ALU3は加算器及び乗算器を備え、それによって、比較、加算、減算、データ重み付け、及び乗算累積の演算が1クロック・サイクル内で行われるようになる。一般に、フラグ・レジスタ9は、最後の結果に従って設定される1ビット・フラグを含む。このフラグ状態に基づいて、条件付き渡し命令が可能であり、アルゴリズムの制限されたデータ依存の形を可能にする。

10

【0005】

マルチプレクサ5はブロードキャスト命令10によって制御されることに留意されたい。Xetalアーキテクチャでは、マルチプレクサ5は、選択的にALU3に接続されるいくつかの入力信号を受け取る。例えば、マルチプレクサ5は、ライン・メモリ6の一部からのデータと、左並びに右の通信チャンネル8、12からのデータとを受け取る。また、アキュムレータ5は、係数データ(coeff)16も受け取る。このようにして、アキュムレータ7からのACCU信号14は、演算のための1つのオペランドとして使用され、マルチプレクサ5は第2のオペランドを選択する。従って、第2のオペランドは、左通信チャンネル8、右通信チャンネル12、又はライン・メモリ6、又は係数入力16からの「固定」数から選択することができる。

20

【0006】

この種のプロセッサでは、データ依存処理を行うこと、例えばルックアップ・テーブルから値を検索すること、又は同じアレイの異なるデータ要素との異なる演算を行うことは、可能でないか、多くの長く複雑な繰返しを必要とするかのいずれかである。これは、SIMD処理アレイの悪い効率をもたらす。

30

【0007】

例えば、10個の要素のルックアップ・テーブルから値を検索した後で乗算を行うことは、図1に示されるXetalアーキテクチャでの40の演算を必要とする。Xetal命令セットを使用する実施が以下に示され、ここでは、検索のために、値は下限と比較されなければならない。

【0008】

r0は所望のアレイのデータ要素を有すると想定する。

【0009】

1. $accu = r0$; データをアキュムレータに移動させる
2. $accu = MAX(accu, lower_limit0)$; r0及びlower_limit0の最大を見出し、アキュムレータに格納する
3. $accu = accu * coeff0$; これは、区間内の演算である
4. $r1 = PASSC(accu, r1)$; r0が領域内であったら、結果を保存し、そうでなければ、r1を次の区間に複写する。

40

【0010】

上で示すように、例えば上に与えられた例では10あるルックアップ・テーブル(LUT)の全ての入力に関して、上の演算の4つ全てが行われなければならない。これは、10要素のLUTでは、40の演算が必要であることを意味する。

50

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明の目的は、データ依存演算を処理するときに、上述の不利益を被らない並列処理アレイを提供することである。

【課題を解決するための手段】

【0012】

本発明の第1の態様によれば、複数の処理要素を備え、各前記処理要素は、共通の命令を受け取り、かつ

前記共通の命令を受け取るマルチプレクサと、

10

前記マルチプレクサに接続され、アキュムレータ及びフラグ・レジスタと共同して前記受け取られた命令を処理する算術論理演算装置とを備える並列処理アレイであって、

前記処理アレイの中の1つ又は複数の前記処理要素は、少なくとも1つの格納場所を有する格納要素をさらに備え、前記格納要素は、前記受け取られた命令で間接的にアドレス可能であるように構成され、それによって、データ依存演算の処理を行うことが可能になることを特徴とする並列処理アレイが提供される。

【0013】

上で定義される処理アレイは、データ依存処理演算を行うときに、従来の処理アレイよりも効率が良いという有利点を有する。

【0014】

20

本発明の他の態様によれば、複数の処理要素を備える並列処理アレイでデータを処理する方法であって、各前記処理要素は、共通の命令を受け取り、かつ前記共通の命令を受け取るマルチプレクサと、前記マルチプレクサに接続され、アキュムレータ及びフラグ・レジスタと共同して前記受け取られた命令を処理する算術論理演算装置とを備え、前記方法は

前記処理アレイの中の1つ又は複数の前記処理要素に格納要素を設けるステップであって、前記格納要素は少なくとも1つの格納場所を有するステップと、

前記受け取られた命令によって間接的にアドレス可能であるように前記格納要素を構成するステップと、

前記格納要素を使用してデータ依存演算を処理するステップとを備える方法が提供される。

30

【0015】

本発明をより適切に理解するために、また、どのようにして本発明を実施することができるかをより明らかに示すために、次に例として添付の図面を参照する。

【発明を実施するための最良の形態】

【0016】

図2は、本発明による処理アレイの処理要素1を示している。上の図1に示されたように、処理要素1は、算術論理演算装置(ALU)3、マルチプレクサ(MUX)5、アキュムレータ(ACCU)7、及びフラグ・レジスタ(FLAG)9を備える。「従来の」処理すなわちデータに依存しない処理のためのこれらの要素の動作は、図1に関連して上

40

【0017】

本発明によれば、処理要素はさらに格納要素(SE)11を備え、これは、処理要素1のローカル専用化(すなわち、データ依存)処理の処理を支援する。

【0018】

格納要素11は、いくつかの格納場所 SE_1 から SE_N を備える。格納場所の数は、特定の用途に依存して設計過程で選ばれ、任意の整数値であることができる。格納要素11は、マルチプレクサ15を介して入力データ13(data_in)を受け取る。マルチプレクサ15は、アキュムレータ7の出力からのアキュムレータ・データ14及び処理要素1の係数ポートからの係数データ16(coeff)を受け取るように接続されている

50

。マルチプレクサ15は、制御信号17の制御の下で、アキュムレータ・データ14又は係数データ16を格納要素11に入力データ13として選択的に供給するように構成されており、その制御信号17はブロードキャスト命令10の部分から来るか、又はブロードキャスト命令10の部分形成している。

【0019】

また、格納要素11は、インデックス信号19を受け取り、これはマルチプレクサ21の出力に接続されている。また、マルチプレクサ21は、アキュムレータ7の出力からのアキュムレータ・データ14及び処理要素1の係数ポートからの係数データ16 (coef)を受け取るように接続されている。また、マルチプレクサ21は制御信号17によって制御され、この制御信号17はブロードキャスト命令10の部分から来るか、又はブロードキャスト命令10の部分形成している。格納要素11からの出力データ22 (data_out)は、処理要素1のマルチプレクサ5の入力に接続されている。好ましくは、レジスタ23 (curr_se)は格納要素11の出力とマルチプレクサ5との間に設けられ、格納要素11の値を格納するために使用することができるが、これは、後で応用においてより詳細に説明する。

10

【0020】

次に、アレイでデータごとに異なる係数との乗算 (又は、任意の他の演算) とルックアップ・テーブル演算の実行とを行うために各PEに異なる係数を格納することに関連して、図2の実施形態の動作が説明される。ただし、全てのPEに使用される命令は相変わらず同じである。

20

【0021】

格納要素11が異なる係数を格納するために使用されるとき、係数データ16は格納要素テーブル用のインデックスとして使用され、そしてアキュムレータ7又はライン・メモリからのアキュムレータ・データ14は格納要素11の対応する格納場所SE_Yに格納される。言い換えると、マルチプレクサ15は、アキュムレータ・データ14を格納要素11に入力データ13として渡すように制御されるが、一方で、マルチプレクサ21は、係数データ16を渡すように制御され、この係数データ16は、データが格納されることになるそれぞれの格納場所SE_Yのインデックス19として作用する。これによって、格納要素11の正しい場所SE₁ ~ SE_Nに正しい値が格納されるようになる。若しくは、望ましい場合には、係数データを入力13に利用しかつアキュムレータ・データをインデックス19として使用して、係数を格納することができる。

30

【0022】

格納要素11から値を読み込むとき、上記と同様なやり方で、格納要素11のそれぞれの格納場所からの値を出力で使用可能にするために、係数データ16がインデックス19として使用され、それによって、アキュムレータ7でデータとの乗算を行うことができるようになる。言い換えると、格納要素11からデータを読み込むとき、マルチプレクサ21は、係数データ16をインデックス19として格納要素11に渡すように構成されており、それによって、格納要素11からそれぞれの出力データ22を出力する。格納要素11からの出力データは、アキュムレータ7からのデータとの乗算のために、マルチプレクサ5を介してALU3に渡される。

40

【0023】

各PEで格納要素をルックアップ・テーブル (LUT) として使用するとき、正しい値 (lower_limit、結果として得られた値) を格納要素11に格納するいくつかの代替的方法がある。

【0024】

1つの方法は、coef入力の一部をインデックスとして、その他の部分を格納されるべき値として、使用することである。言い換えると、係数データ16の一部は、マルチプレクサ21でインデックス19として格納要素11に渡されるが、一方で、係数データ16のその他の部分は、格納されるべき値としてマルチプレクサ15によって渡される。この方法は係数データ信号の幅を増加させるという不利点を有するが、1サイクルで値を格

50

納するという利点を有する。

【0025】

他の方法は、アキュムレータ7及び/又はALU3を用いてアドレス又はインデックス19を生成することであり、これによって、異なるアドレスの生成が可能になり、次に、格納命令でそのアドレスを格納要素11に利用することによって、同じ値をPEの格納要素の異なる場所に格納することができるようになり、その結果、係数データ16の値が格納要素11のそれぞれの格納場所SE_Yに格納されるようになる。この構成では、マルチプレクサ15は、係数データ16を渡すように構成されるが、一方で、マルチプレクサ21は、アキュムレータ7及び/又はALU3で生成されたインデックス19を供給する。この方法は、より狭い係数データ信号を必要とするという有利点を有するが、1つの余分な処理演算を必要とするという不利点を有する。

10

【0026】

格納要素11から値を読み込むために、アキュムレータ7の値はインデックス19として使用され、格納要素11からの検索値は、さらに他の使用のためにレジスタ23(curr_{se})に格納される。言い換えると、アキュムレータ7からのアキュムレータ・データ14は、格納要素11にインデックス19を与えるためにマルチプレクサ21によって渡される。それぞれの格納場所SE_Yからの対応する値は、格納要素11の出力データ22を形成し、マルチプレクサ5に直接渡されるか、又は後の使用のためにレジスタ23に格納されるかのいずれかである。低周波数で動作するとき、レジスタ23(curr_{se})は、1サイクルで演算を行うためにバイパスされることができると留意されたい。

20

【0027】

上で説明した本発明は、処理要素が次の方法のいずれかで動作することができるようにするので、改善された処理アレイを提供する。

【0028】

- a) 全てのPEは、ブロードキャスト命令に基づいて同じ演算を実行する(すなわち、「通常」演算)、
- b) PEは、同じブロードキャスト命令を実行するために処理されるべきデータに基づいて異なる係数を使用する、又は、
- c) PEは、全てのPEがLUT演算を行うように、ブロードキャストと同時に、ルックアップ・テーブルに記述された機能を実行する。

30

【0029】

例えばビデオ処理の用途では、機能の大部分はライン・ベースの処理で行うことができる(例えば、デインタレース、雑音低減、水平動的ピーキング)、又は、ライン・ベースの処理によって表すことができる(例えば、2×2のブロック・サイズのアップコンバータは、2×2のブロックを2つのラインとして累積してライン・ベースの処理を行うことにより、ライン・ベースで処理されることができ)。これは、大抵の演算はアレイの全てのデータ要素に対して全く同じであり、従って、先に(a)で説明した「通常」PE演算を使用して行うことができることを意味する。

【0030】

しかし、アレイ中のデータの場所に基づいて異なる係数との乗算(又は、他のオペランド)などのタスクを行うときに、本発明による処理要素は、先に(b)で説明したように動作するように構成される。

40

【0031】

同様に、LUT演算の場合、処理要素は、先に(c)で説明したように動作するように構成される。

【0032】

本発明は、SIMD処理の特性を利用するという有利点を有し、データ依存処理演算が行われるべきときに、より効率の良い演算を提供する。例えば、本発明における検索値との乗算の処理は、(LUT演算の実施の選択に依存して)ほぼ2つの演算を行い、これは

50

40の命令を必要とした最初に述べた方法のほぼ5%に過ぎない。

【0033】

従って、本発明は、処理要素ごとに間接的にアドレス可能なメモリを提供し、これは、ルックアップ・テーブル演算などのデータ依存演算と、同じ命令で全てのPEに使用できる、異なる係数へのアクセスとに使用されることができる。

【0034】

格納要素のために処理要素に必要とされる面積の増加は、有害な要素ではないことに留意されたい。というのは、このようなチップでは相互接続面積が支配的な要素であるからである。従って、格納要素を算術論理演算装置(ALU)の近くに配置することは、通信ネットワーク(すなわち、配線オーバーヘッド)のさらなる過負荷を回避させる。

10

【0035】

好ましい実施形態はビデオ処理に関連して説明されたが、本発明による処理要素は他の機能にも使用され得ることが当業者によって理解されるであろう。

【0036】

さらに、好ましい実施形態はXetalアーキテクチャに関連して説明されたが、本発明は、並列処理アーキテクチャの他の形態にも同様に応用可能である。

【図面の簡単な説明】

【0037】

【図1】従来技術による並列処理アレイの処理要素の概略図を示す。

【図2】本発明による並列処理アレイの処理要素の概略図を示す。

20

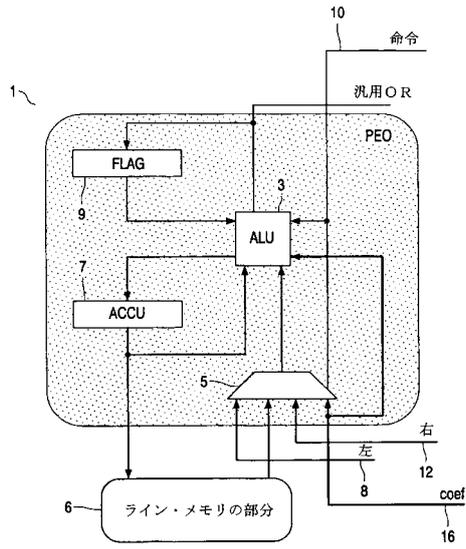
【符号の説明】

【0038】

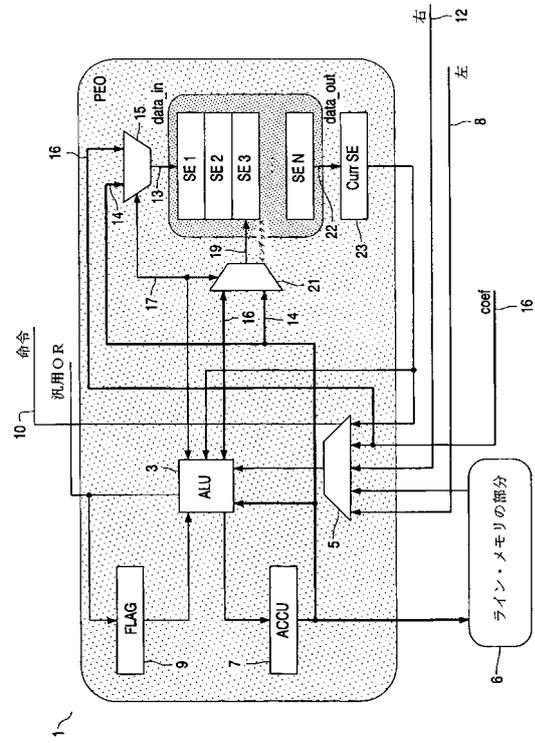
- 1 処理要素
- 3 算術論理演算装置
- 5 マルチプレクサ
- 7 アキュムレータ
- 9 フラグ・レジスタ
- 11 格納要素
- 15 マルチプレクサ
- 21 マルチプレクサ
- 23 レジスタ

30

【 図 1 】



【 図 2 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Inter-Application No PCT/JP2004/051372
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F15/80		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	DAHLE D M ET AL: "Kestrel: design of an 8-bit SIMD parallel processor" ADVANCED RESEARCH IN VLSI, 1997. PROCEEDINGS., SEVENTEENTH CONFERENCE ON ANN ARBOR, MI, USA 15-16 SEPT. 1997, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 15 September 1997 (1997-09-15), pages 145-162, XP010256320 ISBN: 0-8186-7913-1 page 146, section 2 page 151, section 3.3, paragraph 3 page 153, paragraphs 2,3; figure 5 ----- -/--	1-10, 12-26, 28-32
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 18 February 2005		Date of mailing of the international search report 11/03/2005
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Kamps, S

INTERNATIONAL SEARCH REPORT

Intern:	Application No
PCT, JP2004/051372	

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KLEIHORST R P ET AL: "Xetal: a low-power high-performance smart camera processor" ISCAS 2001. PROCEEDINGS OF THE 2001 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. SYDNEY, AUSTRALIA, MAY 6 - 9, 2001, IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, NEW YORK, NY : IEEE, US, vol. VOL. 1 OF 5, 6 May 2001 (2001-05-06), pages 215-218, XP010542070 ISBN: 0-7803-6685-9 figure 1	1-10, 12-26, 28-32
X	OKAZAKI S ET AL: "Integrated memory array processor and real-time vision system for vehicle control" VEHICLE NAVIGATION AND INFORMATION SYSTEMS CONFERENCE, 1994. PROCEEDINGS., 1994 YOKOHAMA, JAPAN 31 AUG.-2 SEPT. 1994, NEW YORK, NY, USA,IEEE, 31 August 1994 (1994-08-31), pages 103-106, XP010136590 ISBN: 0-7803-2105-7 page 104, left-hand column, paragraph 3	1,2,11, 15-18, 27,31
X	EP 0 638 868 A (HUGHES AIRCRAFT COMPANY) 15 February 1995 (1995-02-15) column 3, line 25 column 4, lines 9-14	1,2,11, 15-18, 27,31,32
X	BLEVINS D W ET AL: "BLITZEN: a highly integrated massively parallel machine" FRONTIERS OF MASSIVELY PARALLEL COMPUTATION, 1988. PROCEEDINGS., 2ND SYMPOSIUM ON THE FRONTIERS OF FAIRFAX, VA, USA 10-12 OCT. 1988, WASHINGTON, DC, USA,IEEE COMPUT. SOC. PR, US, 10 October 1988 (1988-10-10), pages 399-406, XP010033009 ISBN: 0-8186-5892-4 page 401, left-hand column page 401, right-hand column, last paragraph	1,2, 16-18,32
X	DE 101 59 283 A1 (SYSTEMONIC AG) 12 June 2003 (2003-06-12) columns 1-2	1,2, 16-18,32

INTERNATIONAL SEARCH REPORT

Intern: al Application No
PCT/JP2004/051372

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0638868	A	15-02-1995	US 5526501 A 11-06-1996
			CA 2129497 A1 13-02-1995
			EP 0638868 A2 15-02-1995
			JP 7064853 A 10-03-1995
DE 10159283	A1	12-06-2003	NONE

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100082991

弁理士 佐藤 泰和

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(72)発明者 オム、ピー・ガングワル

オランダ国5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

(72)発明者 アンテネフ、アー・アッポ

オランダ国5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

(72)発明者 リシャル、ペー・クレイホルスト

オランダ国5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6