

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93116645

※申請日期： 93.6.10

※IPC 分類： H01L 304

一、發明名稱：(中文/英文)

化學機械研磨平面化之雙矽層

DUAL SILICON LAYER FOR CHEMICAL MECHANICAL POLISHING
PLANARIZATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司

ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 柯洛皮 丹尼爾 R / COLLOPY, DANIEL R.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453,

U. S. A.

國 籍：(中文/英文) 美國 / U. S. A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 亞丘森 可里斯那 / ACHUTHAN, KRISHNASHREE

2. 阿密 希普列 S / AHMED, SHIBLY S.

3. 王海宏 / WANG, HAIHONG

4. 俞賓 / YU, BIN

國 籍：(中文/英文)

1. 印度/INDIA 2. 孟加拉/BANGLADESH 3. 中國大陸/CHINA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 2003 年 6 月 12 日 10/459,579(主張優先權)

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體裝置及其製造方法。本發明對於雙閘極裝置(double gate devices)具有特別之適用性。

【先前技術】

由於對超大尺寸積體半導體裝置相關之高密度及性能需求的逐漸提昇，故須要求半導體裝置之設計特徵(design features)，如雙閘極長度於 100 奈米(nm)以下、高可靠性以及提高製造產量。將設計特徵縮小於 100 奈米以下將挑戰傳統方法之極限。

例如，當傳統平面型金屬氧化物半導體場效電晶體(MOSFETs)之閘極長度在 100 奈米以下時，則與短通道效應有關之問題，例如源極與汲極間之過量漏電流，將變得越來越難克服。此外，電子移動速度(mobility)的降低以及製程上的問題亦造成傳統 MOSFETs 難以依比例縮小至包含逐漸減小之裝置特徵。因此將探究新的裝置結構以改善 FET 性能並容許裝置更進一步地縮小。

雙閘極 MOSFETs 代表被視為可接替現存平面型 MOSFETs 之新結構之選擇。在某些方面，雙閘極 MOSFETs 較傳統整塊矽元件(bulk silicon)MOSFETs 提供更佳特性。這些改善的產生係因為雙閘極 MOSFET 於通道的兩側均具有閘電極，而不似傳統 MOSFETs 僅於單側上具有閘電極。當存在兩個閘電極時，藉由汲極產生之電場可經由通道之源極端行較佳遮蔽。此外，兩個閘極可控制大約兩倍

於單閘極所控制之電流，因而導致較強之交換訊號 (switching signal)。

鰭狀場效電晶體(FinFET)係一種近來之雙閘極結構，其顯現良好的短通道性能。FinFET 包含一個形成於垂直鰭(vertical fin)內之通道。FinFET 結構係使用相似於傳統平面型 MOSFETs 所用之佈局(layout)及製程技術所製造。

【發明內容】

與本發明一致之一實施例提供了一種雙閘極 MOSFET，其於閘極區上方具有雙重多晶矽層以使用於提高多晶矽之化學機械研磨(chemical mechanical polishing, CMP)平面化。

與本發明一致之一實施例提供了一種製造半導體裝置之方法。該方法包括於絕緣體上形成鰭結構並於至少一部份之鰭結構以及一部份之絕緣體的上方形形成閘極結構。該閘極結構包括第一層以及形成於第一層上方之第二層。該方法進一步包括藉由將閘極結構進行化學機械研磨(CMP)而將該閘極結構平面化。閘極結構第一層之平面化速率可能較閘極結構第二層之平面化速率慢。該平面化過程會持續直至第一層曝露於鰭結構上方之區域內。

與本發明一致之另一實施例係針對半導體裝置。該裝置包括形成於絕緣體上方之鰭結構。該鰭結構包括第一及第二端。於半導體裝置中，至少一部份之鰭結構係做為通道。將非晶矽層形成於至少一部份之鰭結構上方。多晶矽層則形成於至少一部份之非晶矽層周圍。該非晶矽層突出

通過鰭結構上方區域中之多晶矽層。源極區域連接於鰭結構之第一端。汲極區域連接於鰭結構之第二端。

【實施方式】

本發明之下列詳細敘述請參照附圖。於不同圖形中所使用之相同參考編號係用以定義相同或相似元件。此外，下列之詳細敘述並不限制本發明。反之，本發明之領域範圍係藉由附加之申請專利範圍及同等物所界定。

於此所使用之 FinFET 一詞係指 MOSFET 之一種型式，其中，導電通路(conducting channel)係形成於垂直之矽“鰭”(fin)內。FinFETs 為該技術領域所眾所周知。

第 1 圖表示依據本發明之具體實施例所形成之半導體裝置 100 的橫截面圖。參照第 1 圖，半導體裝置 100 包括一種絕緣層上覆矽(silicon on insulator, SOI)之結構，該結構包括矽基材 110、埋藏氧化層 120(buried oxide layer)以及形成於埋藏氧化層 120 上方之矽層 130。埋藏氧化層 120 及矽層 130 可經由傳統方法形成於基材 110 上。

於一實施例中，埋藏氧化層 120 可包含二氧化矽且其厚度範圍大約為 $1000\text{\AA}$ 至 $3000\text{\AA}$ 。矽層 130 可包含單晶或多晶矽。矽層 130 係使用於形成雙閘極電晶體之鰭結構，以下將有更詳盡之描述。

於另一個與本發明一致之實施例中，基材 110 與層 130 可包含其他半導體材料，如鍺，或半導體材料之組合，如矽-鍺。埋藏氧化層 120 亦可包含其他介電材料。

介電層 140，例如氮化矽層或氧化矽層(例如，二氧化

矽 SiO_2)，係形成於矽層 130 上方，以於隨後之蝕刻過程期間做為保護罩。於一示範之實施例中，介電層 140 可長成之厚度範圍大約為 $150\text{\AA}$ 至 $700\text{\AA}$ 。然後，光阻材料 (photoresist material) 可經沉積並經圖案化以形成光阻光罩 150 (photoresist mask) 而供隨後製程使用。光阻可經由任何傳統方法沉積並圖案化 (patterned)。

接著將半導體裝置 100 蝕刻並移除光阻光罩 150。於一示範之實施例中，矽層 130 可經由傳統方法蝕刻並使蝕刻於埋藏氧化層 120 終止以形成鰭。於鰭形成後，可在鄰近於鰭之各別端點形成源極和汲極區域。例如，於一示範之具體實施例中，可以傳統方法沉積、圖案化並蝕刻矽層、鍍層或矽及鍍之組合層以形成源極和汲極區域。於另一實施例中，可經由沉積及蝕刻矽層 130 以同時形成源極、汲極區域及鰭。

第 2A 圖圖示說明以該方法所形成位於半導體裝置 100 上之鰭結構的俯視圖。根據本發明之示範具體實施例，於埋藏氧化層 120 上鄰近於鰭結構 210 之端點可形成源極區域 220 及汲極區域 230。

第 2B 圖係於第 2A 圖中沿著線 A-A' 之橫截面圖，該圖示表示鰭結構 210 之形成。如上所述，可經由蝕刻介電層 140 及矽層 130 以形成包含具有介電覆層 140 (dielectric cap) 之矽鰭 130 (silicon fin) 的鰭結構 210。

第 3 圖係依照本發明之示範具體實施例，說明鰭結構 210 上方之閘極介電層及閘極材料之形成的橫截面圖。介

電層可形成於矽鰭 130 之暴露側表面上。例如，如第 3 圖所示，薄的氧化膜 310 可經熱成長於鰭 130 上。該氧化薄膜 310 可長成大約 $50\text{\AA}$ 至 $100\text{\AA}$ 之厚度並形成於鰭 130 之暴露側表面上。

在氧化薄膜 310 形成後，可將閘極材料層沉積於半導體裝置 100 之上。參照第 4 圖，閘極材料層可包括非晶矽之薄層 420 以及於其後形成之未摻雜多晶矽層 425。層 420 及 425 可藉由使用傳統化學氣相沉積法(CVD)或其他習知技術而沉積。非晶矽層 420 可沉積至約為 $300\text{\AA}$ 之厚度。更明確地，非晶矽層 420 可沉積至厚度範圍大約為 $200\text{\AA}$ 至 $600\text{\AA}$ 。多晶矽層 425 可沉積至厚度範圍大約為 $200\text{\AA}$ 至 $1000\text{\AA}$ 。該厚度將可依據鰭或堆疊之高度而改變。

層 420 及 425，尤其是層 425，可於之後經平面化。與本發明之觀點一致的，閘極材料層 420 及 425 可於平面化過程中利用非晶矽層 420 與多晶矽層 425 之不同研磨速率而經平面化。更具體地，其係藉由利用非晶矽層 420 與多晶矽層 425 之間不同的研磨速率而控制非晶矽層 420 可保留於鰭 210 上之量。

CMP(Chemical Mechanical Polishing；化學機械研磨)為一種已知可使用於將半導體表面平面化之平面化技術。於 CMP 過程中，將晶圓表面朝下放置於旋轉平台上。該晶圓以承載體適當地支承，並以相同於平台之方向旋轉。平台之表面上係一研磨墊，於其上具有研磨液。該研磨液可包括在載體溶液(carrier solution)中具有氧化矽顆粒

(silica particle)之膠體溶液。研磨液之化學組成及酸鹼值 (pH)會影響 CMP 程序之效能。於本發明之示範實施例中，係選擇相較於多晶矽層，其對於非晶矽層具有低研磨速率之特定研磨液。使用於 CMP 之研磨液為該項技藝中所眾所周知且通常為可購得的。許多商業上可購得且與研磨料例如氧化矽顆粒一起使用於氧化 CMP 之研磨液，係可經化學修飾而以不同速率研磨非晶矽及多晶矽層。研磨液可有 7 至 12 之間之不同之 pH 值。非晶矽層之移除速率可由 $50\text{\AA}/\text{min}$ 變化至 $2000\text{\AA}/\text{min}$ ，而非晶矽層之移除速率則可由 $500\text{\AA}/\text{min}$ 變化至 $6000\text{\AA}/\text{min}$ 。

第 5 圖係說明於最初時期之平面化完成後，閘極材料層 420 及 425 之平面化的橫截面圖。如第 5 圖所示，多晶矽層 425 經最初的平面化後，致使鰭 210 上之多晶矽層 425 的突出部位降低。第 6 圖圖示說明經進一步 CMP 程序後之半導體裝置 100。此時，非晶矽層 420 之較高表面係暴露於鰭 210 上方之區域中。因為相較於多晶矽層 425，CMP 過程對於非晶矽層 420 具有相對較慢之研磨速率，故非晶矽層 420 可有效做為自動終止層 (automatic stop layer) 並繼續存在做為鰭 210 上方之保護層。於 CMP 期間，小部份之非晶矽層 420 亦遭移除係可理解的。於此方法中，當閘極層 420 及 425 行平面化時，非晶矽層 420 可經使用以提供鰭 210 做為保護終止層 (protective stopping layer)。非晶矽層 420 延伸至鰭 210 上方之最終厚度，如第 6 圖中之距離 l_1 所示，例如，大約為 $300\text{\AA}$ 。

第 7 圖概略表示半導體裝置 100 之俯視圖，其說明經由閘極材料 420 及 425 圖案化之閘極結構 710。於 CMP 過程完成後，可將閘極結構 710 圖案化並進行蝕刻。閘極結構 710 延伸穿過鰭 210 之通道區域。閘極結構 710 可包括接近於鰭 210 之側邊的閘極部分以及由鰭 210 所區隔開之較大的電極部分。閘極結構 710 之電極部分可提供易使用之電接點(electrical contact)以加偏壓(biasing)或者於其他方面控制該閘極部分。

而後再摻雜源極/汲極區域 220 與 230。例如，將 n-型式或 p-型式之雜質(impurities)植入(implanted)源極/汲極區域 220 與 230 中。基於特定之最後完成裝置(end device)需求，可選擇特定之植入劑量及能量。熟悉此項技藝者即可有效完善地進行該以電路需求為基礎之源極/汲極植入過程，因此為了避免不當混淆本發明之目標要旨，於此將不揭示該項行為。此外，側壁間隔層(sidewall spacers)(未出示)可於源極/汲極離子植入前隨意地形成以控制該以特定電路需求為基礎之源極/汲極接合的位置。之後再執行活化退火(activation annealing)以活化源極/汲極區域 220 與 230。

其他實施例

上述之 CMP 平面化過程可將閘極材料層平面化以形成半導體裝置 100 之均勻表面。於某些實施例中，進一步改善平面化過程，此外，又將虛擬之鰭結構緊鄰放置於鰭 210 旁以促進產生更加均勻之層。

- 生之 FinFET 來改善平面化。多閘極層可包含一個薄的非
- 晶矽層，其可於 CMP 步驟期間做為自動化之平面化終止層。

為了提供本發明之全盤了解，於先前敘述中已說明許多特定細節，例如特定之材料、結構、化學藥品及步驟等。然而，本發明並不需要依靠在此所提出之特定細節即可實施。為了避免不必要地混淆本發明之目標要旨，於其他實施例中，則未詳細描述習知之製程結構。

根據本發明，使用於製造半導體裝置之介電層及導電層可藉由傳統之沉積技術沉積。例如，金屬化技術，可使用如各種不同型式之化學氣相沉積(CVD)步驟，包括低壓化學氣相沉積法(LPCVD)以及輔助化學氣相沉積法(ECVD)。

本發明適用於半導體裝置之製造且尤其適用於具有 100 奈米及 100 奈米以下之設計特徵的半導體裝置，其導致電晶體及電路速率之增加以及可靠度之改善。本發明適用於任何各種不同型式之半導體裝置的形成，因此，為了避免混淆本發明之目標要旨，於此並未敘述其細節。於本發明之實行上，使用了傳統之微影(photolithographic)及蝕刻技術，因此，在此並未詳細描述該技術之細節。

於此揭示中，僅陳述本發明之較佳具體實施例及其某些多用途之範例。須了解本發明可使用於各種不同之其他組合及環境中，且可於本文所述發明概念之領域範圍內進行修改。

【圖式簡單說明】

附圖中，其中具有相同參考編號之元件於全文中表示相似元件。

第 1 圖表示範例半導體裝置之橫截面圖；

第 2A 圖表示形成於第 1 圖所示之半導體裝置上之鰭結構的俯視圖；

第 2B 圖表示於第 2A 圖中沿著線 A-A' 之橫截面圖；

第 3 圖表示形成於第 2B 圖所示之鰭上的閘極介電層之橫截面圖；

第 4 圖表示沉積於第 3 圖所示之鰭上方的閘極材料層 (gate material layers) 之橫截面圖；

第 5 圖表示第 4 圖之閘極材料層於最初平面化後之橫截面圖；

第 6 圖表示第 5 圖之閘極材料層於進一步平面化後之橫截面圖；

第 7 圖概略表示 FinFET 之俯視圖，其顯現由第 6 圖所示之閘極材料為樣本所繪得之閘極結構；

第 8 圖表示虛擬鰭 (dummy fins) 之橫截面圖；

第 9 圖係於概念上表示半導體裝置上之線陣列 (an array of lines)，包括虛擬結構之圖；

第 10 圖係於概念上表示半導體裝置上另一個虛擬結構之圖；以及

第 11 至 14 圖表示通孔 (vias) 形成之橫截面圖。

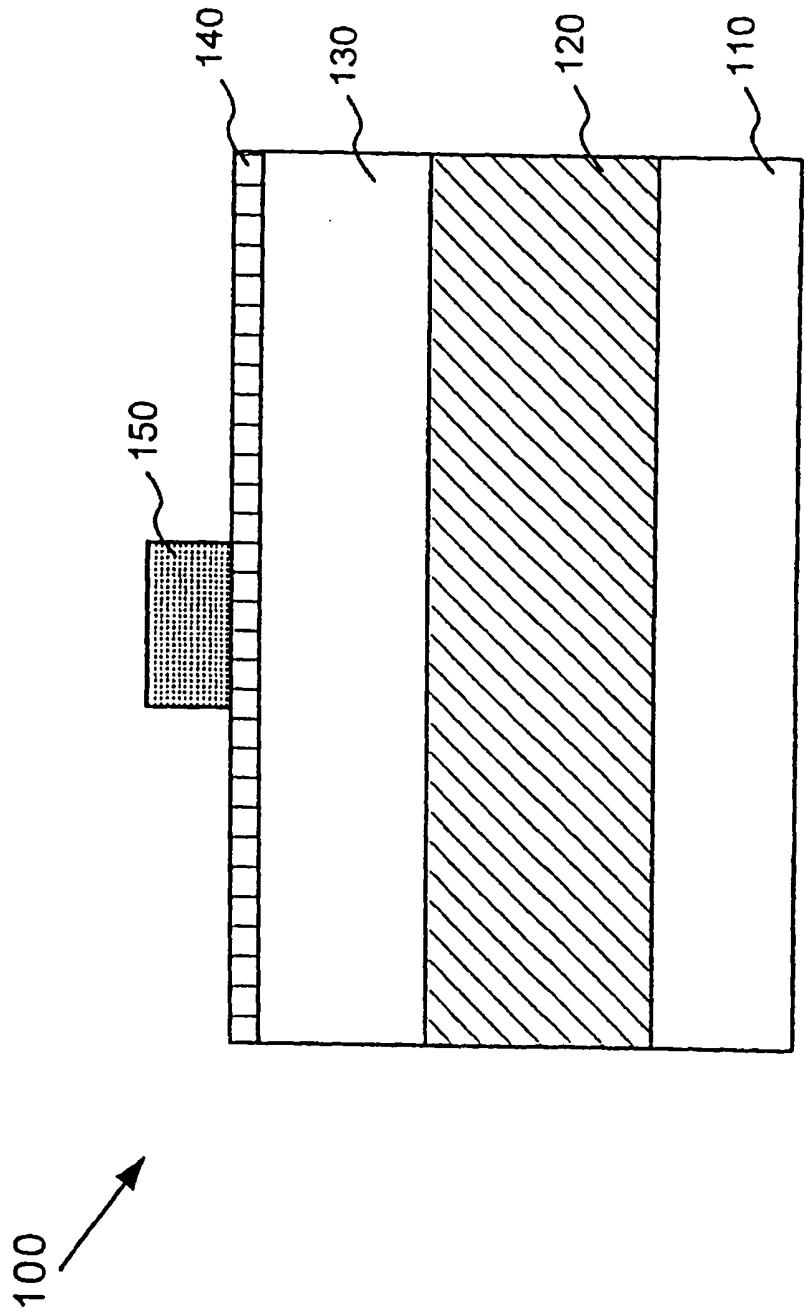
【主要元件符號說明】

五、中文發明摘要：

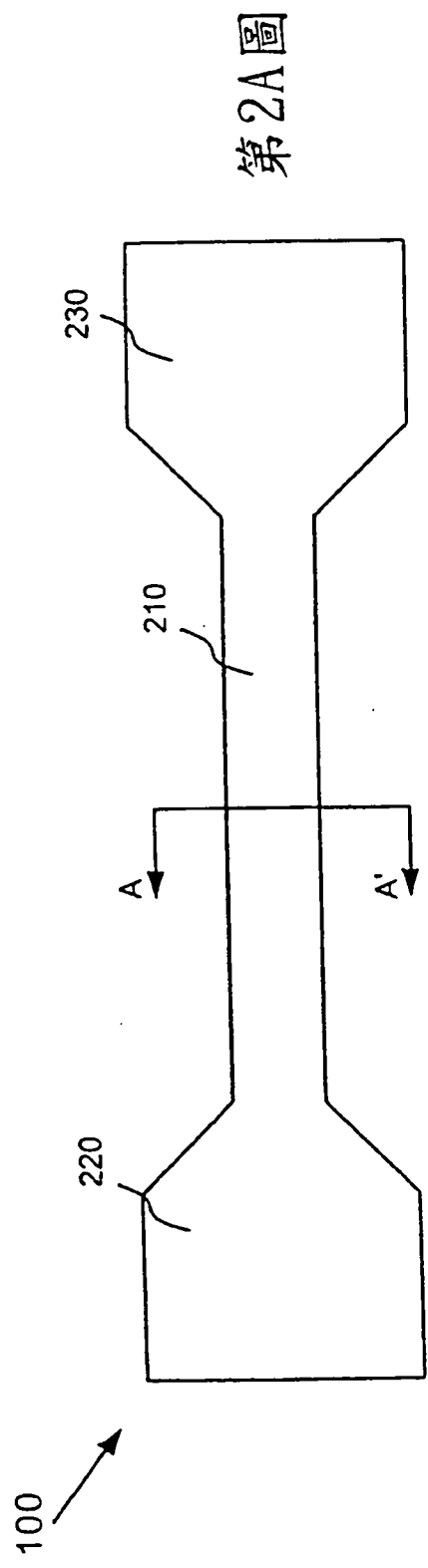
一種鰭狀場效電晶體(FinFET)型式之半導體裝置，係包括有鰭結構(210)，於其上具有相對較薄之非晶矽層(420)而後再形成未摻雜之多晶矽層(425)。該半導體裝置可使用化學機械研磨(CMP)將之平面化，其中該非晶矽層(420)係做為終止層(stop layer)以避免損害鰭結構。

六、英文發明摘要：

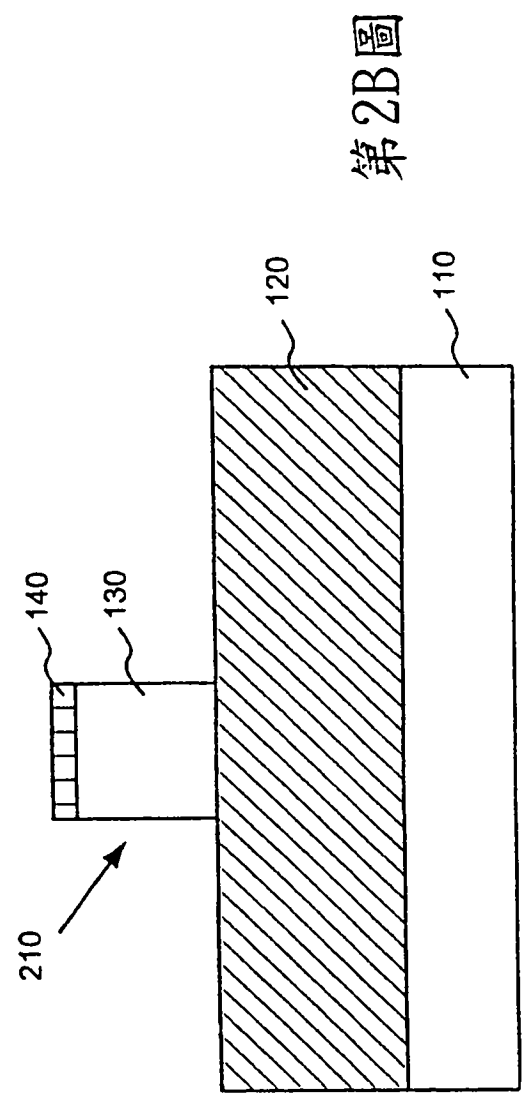
A FinFET-type semiconductor device includes a fin structure (210) on which a relatively thin amorphous silicon layer (420) and then an undoped polysilicon layer (425) is formed. The semiconductor device may be planarized using a chemical mechanical polishing (CMP) in which the amorphous silicon layer (420) acts as a stop layer to prevent damage to the fin structure.



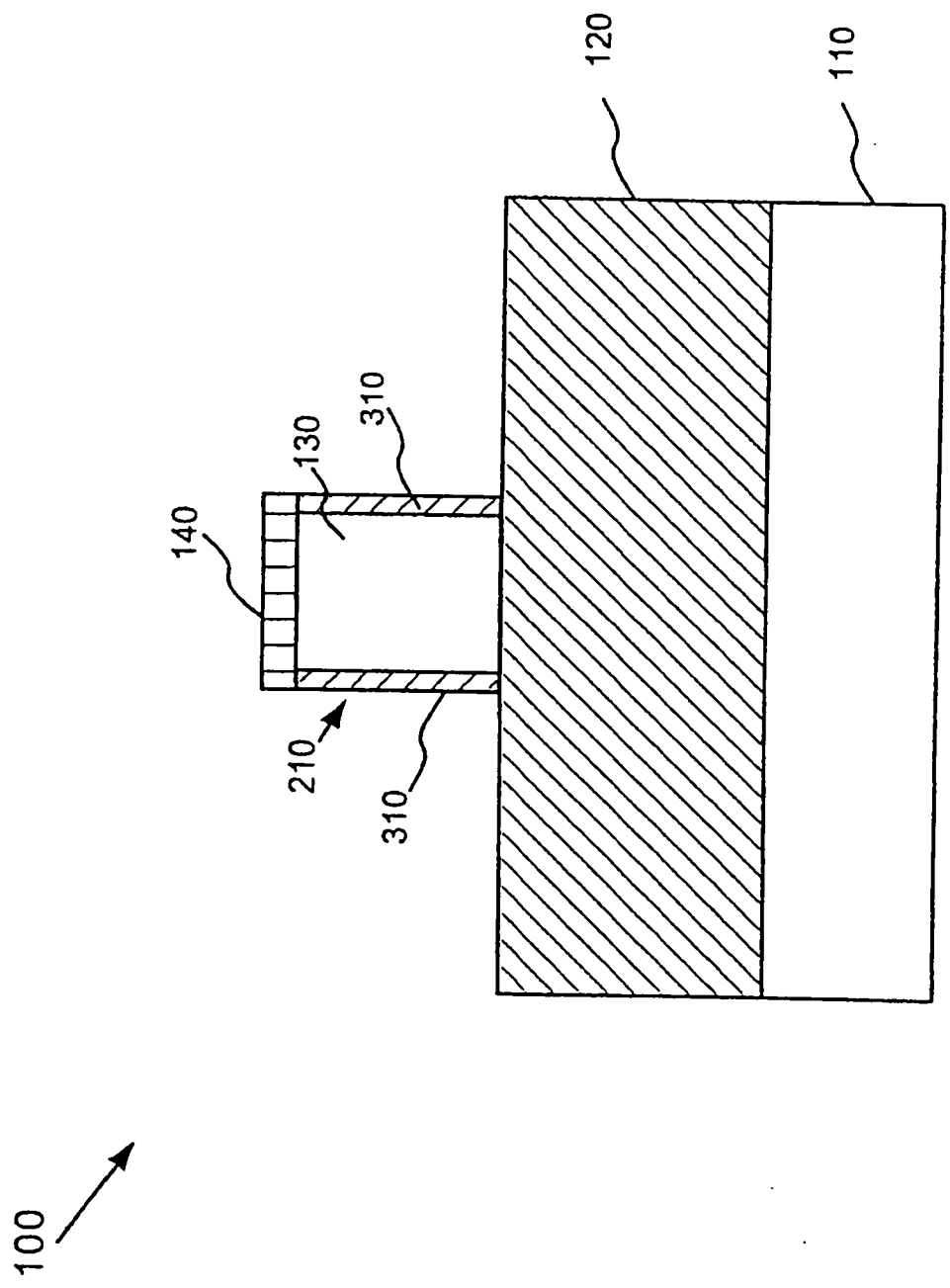
第1圖



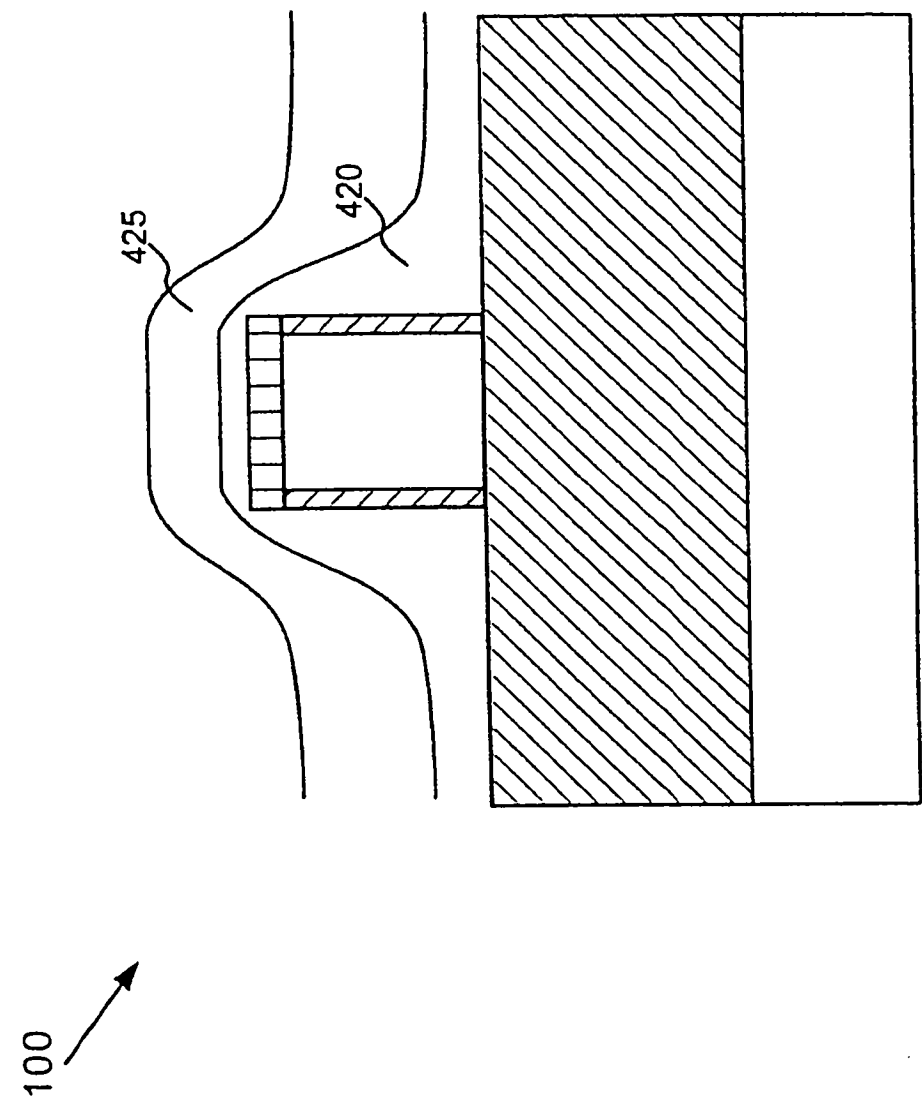
第2A圖



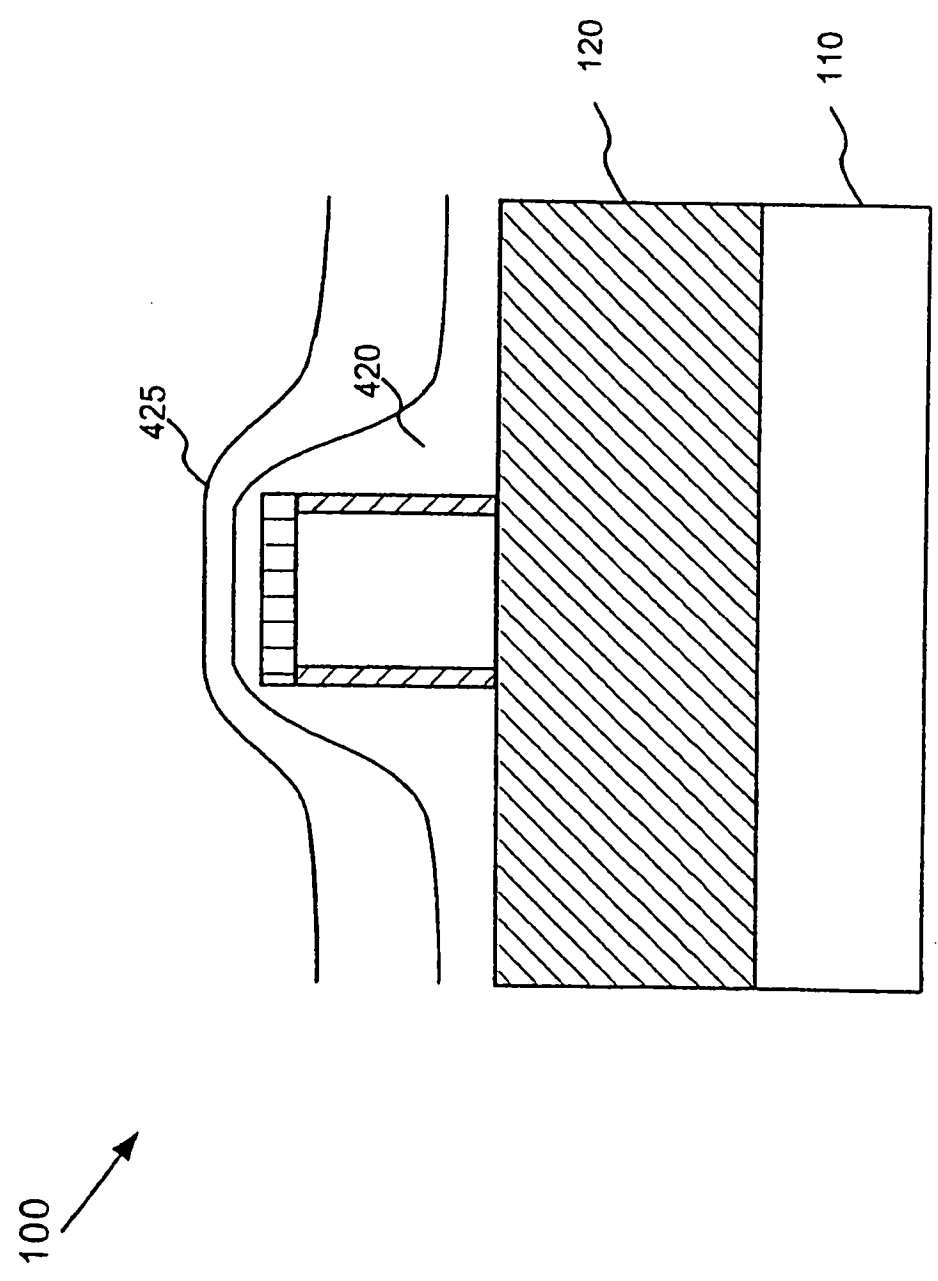
第2B圖



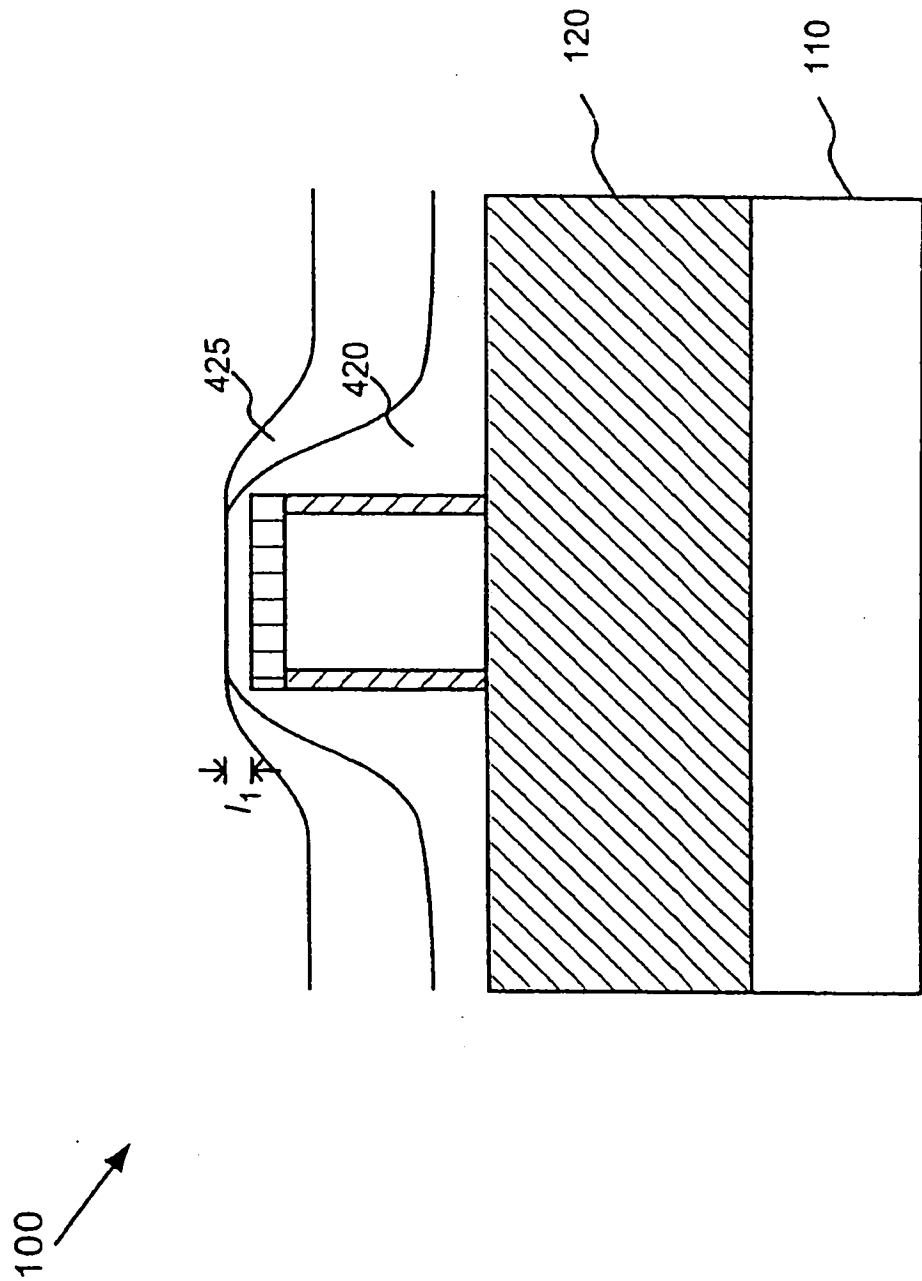
第3圖



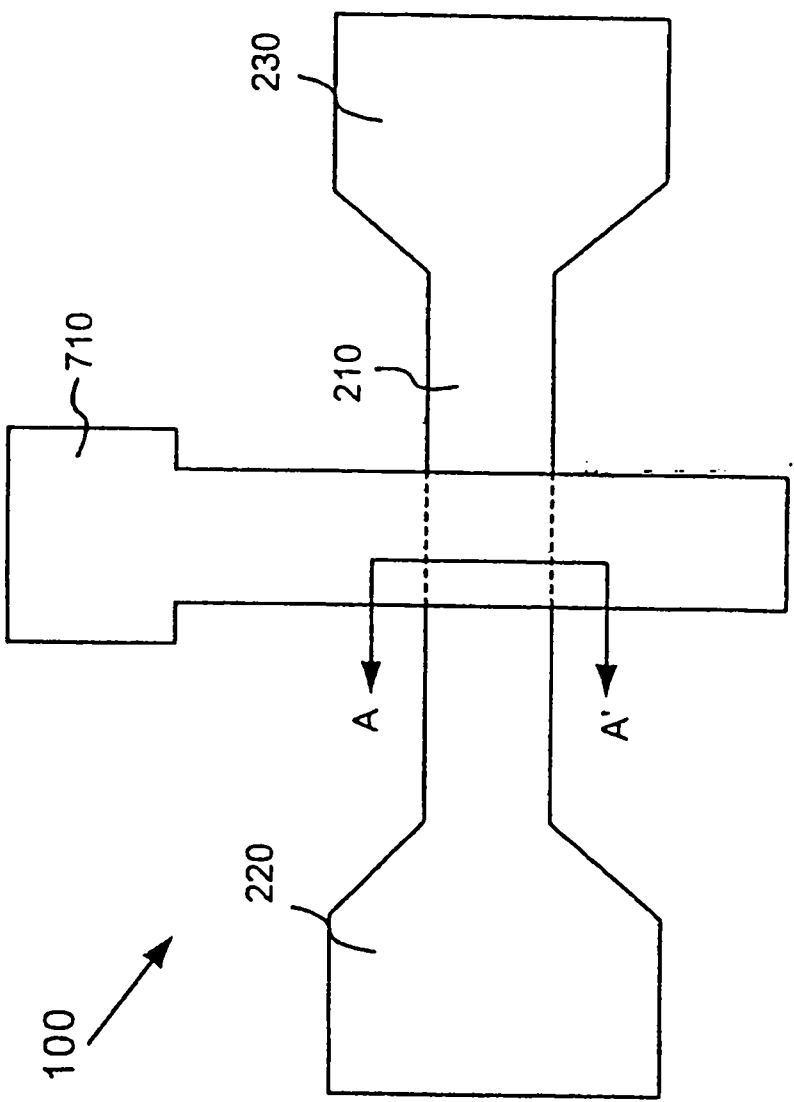
第4圖



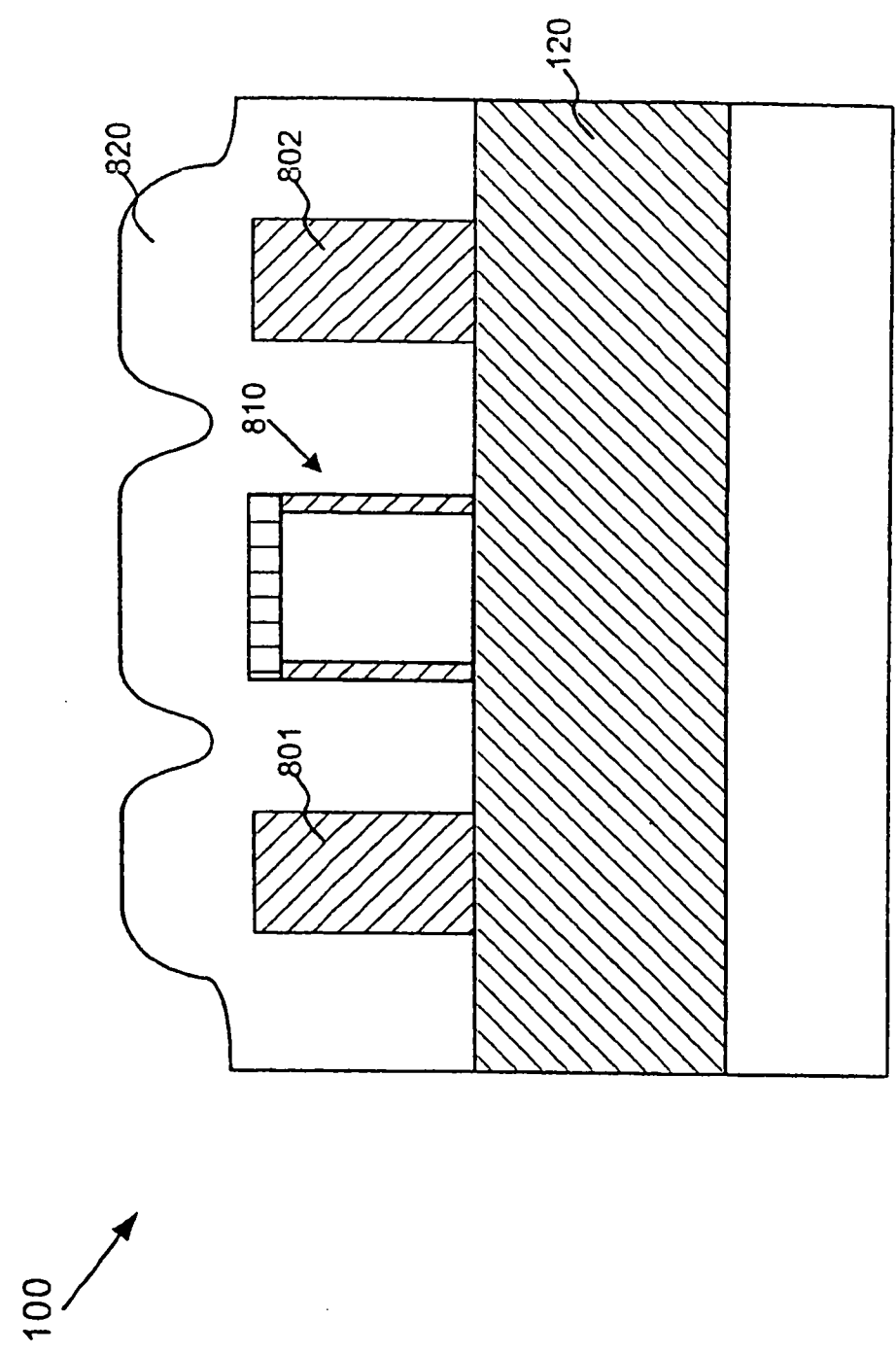
第5圖



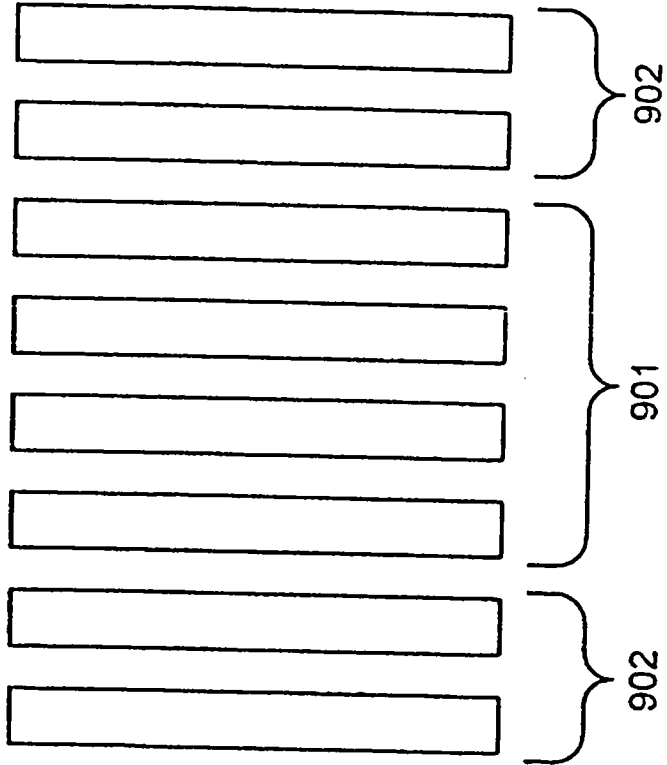
第6圖



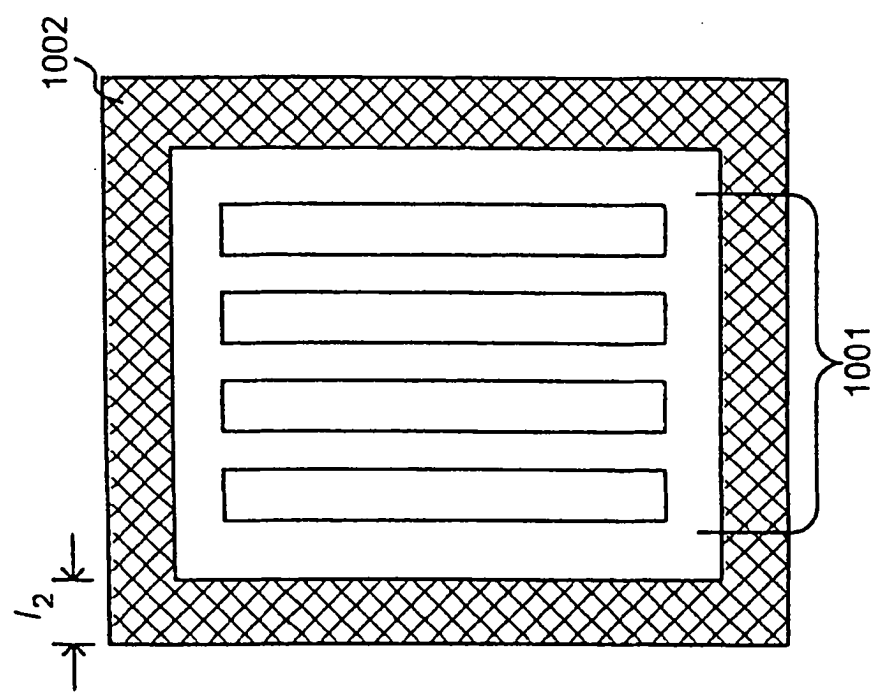
第7圖



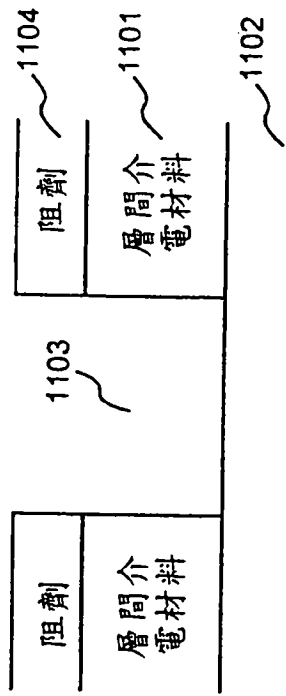
第8圖



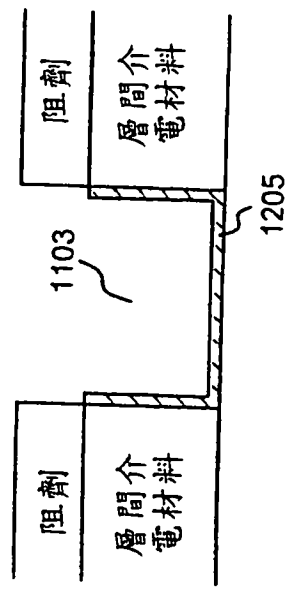
第9圖



第10圖



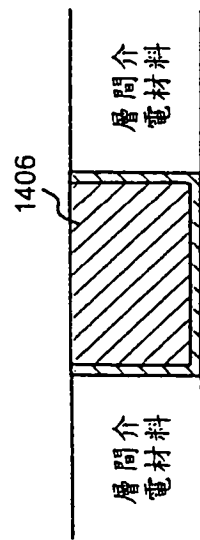
第11圖



第12圖



第13圖



第14圖

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件代表符號簡單說明：

100 半導體裝置

110 矽基材

120 埋層氧化層

420 非晶矽層

425 多晶矽層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

第 8 圖係說明虛擬鰭(dummy fins)之橫截面圖。第 8 圖大致上相似於第 4 圖所示之橫截面圖，但是於第 8 圖中則形成了虛擬鰭 801 及 802，緊鄰於真實鰭 810。虛擬鰭 801 及 802 於 FinFET 之最終運作中並未扮演角色。然而，藉由將虛擬鰭 801 及 802 緊鄰放置於鰭 810 旁，則當閘極材料層 820 於最初之沉積時即可形成較均勻之分佈。亦即，虛擬鰭 801 及 802 可使鰭 810 之鄰近區域中的層 820 之低處較不存在虛擬鰭 801 及 802 時更高。因此，於第 8 圖所示之實施例中，層 820 起始之沉積較不存在虛擬鰭 801 及 802 時更為均勻。故此可致使平面化後較佳之均勻性。

第 9 圖係於概念表示半導體裝置上線陣列(an array of lines)(例如，鰭)之圖。線 901 表示實際上使用於 FinFETs 中之鰭。線 902 表示位於線 901 末端之虛擬鰭。虛擬鰭 902 可協助補償由 CMP 過程所造成之侵蝕，因此可能產生較均勻之平面化表面。

第 10 圖係於概念表示另一個虛擬結構之實施例之圖。線 1001 相似於線 901，且表示使用於最終半導體裝置中之真實結構。然而，虛擬線 901 則以結構 1002 取代。虛擬結構 1002 比虛擬線 902 包含更多區域且於平面化期間可提供較佳之均勻性。尤其，虛擬結構 1002 藉由將線 1001 之圖案封進內部，而可保護並阻止線 1001 之非均勻研磨。虛擬結構 1002 之尺寸，如長度 l_2 ，係依據使用於半導體裝置上之總圖案密度而定。

於包含 CMP 平面化過程之附加實施例中，參照第 11

96年6月5日修(入)正答

至 14 圖經敘述如下，CMP 所導致之金屬閘極積體層 (metal gate integration layer) 的不良影響將會減小。

當欲產生半導體邏輯 (semiconductor logic) 之垂直堆疊層時，則可於半導體裝置中使用層間介電材料 (ILD) 層。如第 11 圖所示，可使用 ILD 層 1101 將第一半導體邏輯層 1102 與之後將於 ILD 層 1101 上方形成之第二半導體邏輯層分隔開。層 1102 並未詳細顯示於第 11 圖中，但可包含，例如，許多互連之 (interconnected) FinFETs 以執行一個或一個以上之邏輯功能。

藉由抗蝕劑 1104 (resist) 之應用將通孔 (vias) 1103 圖案化於 ILD 層 1101。使用可容許層與層互相連接之導電材料將通孔 1103 填滿 (顯示於第 12 至 14 圖)。

參照第 12 圖，將通孔 1103 植入 ILD 1101 所環繞之區域中。植入材料 (implantation material) 可包括矽 (Si) 或鈦 (Pd)，其可做為隨後經沉積之金屬的活化劑。亦可使用其他金屬做為金屬之無電電鍍的活化劑。

參照第 13 及 14 圖，將抗蝕劑 1104 移除後再將金屬 1406 選擇性地沉積。金屬 1406 係藉由選擇之無電電鍍法沉積，其可包括金屬如鈷 (Co)、鎳 (Ni) 或鎢 (W) 或其合金。金屬 140 僅可沉積於以植入材料 1205 佈植之區域上 (即通孔 1103 經活化之表面)。因此，通孔 1103 係以導電材料填補。此步驟有助於避免 CMP 所導致之碟形凹陷 (dishing) 或其他不良影響。

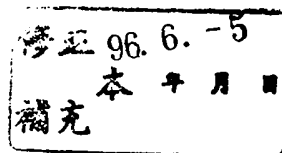
於此描述了使用多閘極層 (multiple gate layers) 所產

96年6月5日修(8)正替

100	半導體裝置	110	矽基材
120	埋藏氧化層	130	矽層
140	介電層	150	光阻光罩
210	鰭結構	220	源極區域
230	汲極區域	310	氧化薄膜
420	非晶矽層	425	多晶矽層
710	閘極結構	801	虛擬鰭
802	虛擬鰭	810	真實鰭
820	閘極材料層	901	鰭
902	虛擬鰭	1001	鰭
1002	虛擬結構	1101	層間介電材料層
1102	第一半導體邏輯層	1103	通孔
1104	抗蝕劑	1205	植入材料
1406	金屬		

十、申請專利範圍：

1. 一種半導體裝置之製造方法，包括：



於絕緣體上形成鰭結構(210)；

於至少部份之該鰭結構以及部份之該絕緣體的上
方形成閘極結構，該閘極結構包含第一層(420)及形成於
該第一層上方之第二層(425)；以及

藉由執行該閘極結構之化學機械研磨(CMP)而將該
閘極結構平面化，該閘極結構之該第一層(420)之平面化
速率係比該閘極結構之該第二層(425)之平面化速率
慢，該平面化過程會持續直至該第一層之上表面暴露於
該鰭上方之區域中。

2. 如申請專利範圍第 1 項之方法，其中，該閘極結構之形
成步驟包括：

沉積包含非晶矽之該第一層(420)；以及

沉積包含未摻雜之多晶矽之該第二層(425)。

3. 如申請專利範圍第 2 項之方法，其中，該第一層係經沉
積至厚度範圍大約為 200 至 800Å 且該第二層係經沉積
至厚度範圍大約為 200 至 1000Å。

4. 如申請專利範圍第 1 項之方法，其中，該化學機械研磨
(CMP)包括使用研磨液將該閘極結構平面化，該方法進
一步包括：

選擇該研磨液使該第一層之平面化速率約為
2000Å/minute 且該第二層之平面化速率約為
50Å/minute。

5. 如申請專利範圍第 1 項之方法，其中，該半導體裝置係鰭狀場效電晶體(FinFET)。
6. 如申請專利範圍第 1 項之方法，其中，該平面化步驟係使用包含矽膠體研磨料且對氧化物具高選擇性以及 pH 範圍介於 7 至 12 之間之研磨液來進行。
7. 一種半導體裝置，包括形成於絕緣體(120)上方之鰭結構(210)，該鰭結構(210)包括第一及第二端，至少部份之該鰭結構係做為該半導體裝置中之通道，該半導體裝置包括：
 - 形成於至少部份之該鰭結構上方的非晶矽層(420)；
 - 形成於部份之該非晶矽層(420)周圍之多晶矽層(425)，該非晶矽層(420)突出通過該鰭結構上方區域中之該多晶矽層；
 - 連結至該鰭結構之第一端的源極區域(220)；以及
 - 連結至該鰭結構之第二端的汲極區域(230)。
8. 如申請專利範圍第 7 項之半導體裝置，其中，該半導體裝置係鰭狀場效電晶體(FinFET)。
9. 如申請專利範圍第 7 項之半導體裝置，其中，位於該鰭結構(210)上方區域中之該非晶矽層(420)的厚度約為 300Å。
10. 如申請專利範圍第 7 項之半導體裝置，其中，該非晶矽層(420)以及該多晶矽層(425)構成該半導體裝置之閘極材料層。