

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 22 年 10 月 21 日 (2010.10.21)

【公表番号】特表 2010-510656 (P2010-510656A)
 【公表日】平成 22 年 4 月 2 日 (2010.4.2)
 【年通号数】公開・登録公報 2010-013
 【出願番号】特願 2009-537188 (P2009-537188)
 【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 21/329 (2006.01)

【F I】

H 0 1 L 27/10 4 3 1

H 0 1 L 29/91 A

【手続補正書】
 【提出日】平成 22 年 8 月 31 日 (2010.8.31)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

半導体装置であって、

シリサイド層、ジャーマナイド層またはシリサイド - ジャーマナイド層に隣接して結晶化され、堆積された半導体材料からなる隣接する p - i - n ダイオードと、

ダイオードを有する電氣的に直列に配置され、8 より大きい誘電率を有する誘電体を含む誘電性遮断アンチヒューズと、

を含む半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

半導体材料は、シリコン、ゲルマニウムおよび / またはシリコン - ゲルマニウム合金を含む半導体装置。

【請求項 4】

第 1 のメモリレベルであって、

基板上に形成された複数の第 1 の実質的に平行で実質的に共平面の導電体と、

第 1 の導電体上に形成された複数の第 2 の実質的に平行で実質的に共平面の導電体と、

シリサイド層、シリサイド - ジャーマナイド層またはジャーマナイド層に隣接して結晶化された半導体材料を含む、複数の垂直に配向された隣接する p - i - n ダイオードと、

約 8 より大きな誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、

それぞれが、隣接する p - i - n ダイオードのうちの 1 つと、および誘電性遮断アンチヒューズのうちの 1 つとを含む複数のメモリセルと、を含み、

各隣接する p - i - n ダイオードは、第 1 の導電体のうちの 1 つと第 2 の導電体のうち

の1つとの間に配置され、

各誘電性遮断アンチヒューズは、第1の導電体のうちの1つと隣接するp-i-nダイオードのうちの1つとの間、または第2の導電体のうちの1つと隣接するp-i-nダイオードのうちの1つとの間に配置される第1のメモリレベル。

【請求項5】

請求項4記載の第1のメモリレベルにおいて、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される第1のメモリレベル。

【請求項6】

請求項4記載の第1のメモリレベルにおいて、

半導体材料は、シリコン、ゲルマニウムおよび/またはシリコン-ゲルマニウム合金を含む第1のメモリレベル。

【請求項7】

基板上に形成されたモノリシックな3次元メモリアレイであって、

(a) 基板上にモノリシックに形成され、(i) 第1の方向に延在する複数の第1の実質的に平行で実質的に共平面の導電体と、(ii) 第1の方向と異なる第2の方向に延在し、第1の導電体上にある、複数の第2の実質的に平行で実質的に共平面の導電体と、(iii) それぞれが第1の導電体のうちの1つと第2の導電体のうちの1つとの間に垂直に配置され、シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層に隣接して結晶化され、堆積された半導体材料からなる複数の垂直に配向された隣接するp-i-nダイオードと、(iv) 8より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、(v) それぞれが、ダイオードのうちの1つと、直列に配置された誘電性遮断アンチヒューズのうちの1つと、を含む複数のメモリセルと、を含む第1のメモリレベルと、

(b) 第1のメモリレベル上にモノリシックに形成された第2のメモリレベルと、を含むモノリシックな3次元メモリアレイ。

【請求項8】

請求項7記載のモノリシックな3次元メモリアレイにおいて、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択されるモノリシックな3次元メモリアレイ。

【請求項9】

不揮発性メモリセルを形成し、プログラムする方法であって、

堆積された半導体材料を含む隣接するp-i-nダイオードを形成するステップと、

堆積された半導体材料に接してシリサイド、シリサイド-ジャーマナイドまたはジャーマナイドの層を形成するステップと、

シリサイド、シリサイド-ジャーマナイドまたはジャーマナイドの層に接して、堆積された半導体材料を結晶化させるステップと、

8より大きい誘電率を有する誘電体の層を形成するステップと、

誘電体の層の一部を絶縁破壊にさらすステップと、を含み、

メモリセルは、隣接するp-i-nダイオードおよび誘電体の層を含む方法。

【請求項10】

請求項9記載の方法において、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される方法。

【請求項 1 1】

請求項 9 記載の方法において、

堆積された半導体材料は、シリコン、ゲルマニウムまたはシリコン - ゲルマニウム合金を含む方法。

【請求項 1 2】

基板上に第 1 のメモリレベルをモノリシックに形成する方法であって、

第 1 の方向に延在する、複数の第 1 の実質的に平行で実質的に共平面の導電体を基板上に形成するステップと、

第 1 の導電体上に複数の垂直に配向され、シリサイド層、シリサイド - ジャーマナイド層またはジャーマナイド層に接して結晶化された半導体材料を含む隣接する p - i - n ダイオードを形成するステップと、

それぞれが第 1 の導電体のうちの 1 つと第 2 の導電体のうちの 1 つとの間に垂直に配置される隣接する p - i - n ダイオード上にあり、第 1 の方向と異なる第 2 の方向に延在する、複数の第 2 の実質的に平行で実質的に共平面の導電体を形成するステップと、

それぞれが、隣接する p - i - n ダイオードのうちの 1 つと第 1 の導電体のうちの 1 つとの間、または隣接する p - i - n ダイオードのうちの 1 つと第 2 の導電体のうちの 1 つとの間に配置された、複数の誘電性遮断アンチヒューズを形成するステップと、を含み、

誘電性遮断アンチヒューズは、約 8 より大きな誘電率を有する誘電体を含む方法。

【請求項 1 3】

請求項 1 2 記載の方法において、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される方法。

【請求項 1 4】

請求項 1 2 記載の方法において、

半導体材料は、シリコン、ゲルマニウムおよび / またはシリコン - ゲルマニウム合金を含む方法。

【請求項 1 5】

モノリシックな 3 次元メモリアレイを基板上に形成する方法であって、

(a) 基板上に、(i) 第 1 の方向に延在する複数の第 1 の実質的に平行で実質的に共平面の導電体を形成するステップと、(i i) 第 1 の方向と異なる第 2 の方向に延在し、第 1 の導電体上にある複数の第 2 の実質的に平行で実質的に共平面の導電体を形成するステップと、(i i i) シリサイド層、シリサイド - ジャーマナイド層またはジャーマナイド層に接して結晶化され、堆積された半導体材料からなり、それぞれが第 1 の導電体のうちの 1 つと第 2 の導電体のうちの 1 つとの間に垂直に配置された、複数の垂直に配向された隣接する p - i - n ダイオードを形成するステップと、(i v) 8 より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズを形成するステップと、(v) それぞれがダイオードのうちの 1 つと直列に配置された誘電性遮断アンチヒューズのうちの 1 つを含む、複数のメモリセルを形成するステップと、を含む方法により形成される第 1 のメモリレベルをモノリシックに形成するステップと、

(b) 第 1 のメモリレベル上に第 2 のメモリレベルをモノリシックに形成するステップと、

を含む方法。

【請求項 1 6】

請求項 1 5 記載の方法において、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される方法。