

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年10月21日(2010.10.21)

【公表番号】特表2010-510656(P2010-510656A)

【公表日】平成22年4月2日(2010.4.2)

【年通号数】公開・登録公報2010-013

【出願番号】特願2009-537188(P2009-537188)

【国際特許分類】

H 01 L 27/10 (2006.01)

H 01 L 21/329 (2006.01)

【F I】

H 01 L 27/10 4 3 1

H 01 L 29/91 A

【手続補正書】

【提出日】平成22年8月31日(2010.8.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置であって、

シリサイド層、ジャーマナイト層またはシリサイド-ジャーマナイト層に隣接して結晶化され、堆積された半導体材料からなる隣接するp-i-nダイオードと、

ダイオードを有する電気的に直列に配置され、8より大きい誘電率を有する誘電体を含む誘電性遮断アンチヒューズと、

を含む半導体装置。

【請求項2】

請求項1記載の半導体装置において、

誘電体は、HfO₂、Al₂O₃、ZrO₂、TiO₂、La₂O₃、Ta₂O₅、RuO₂、ZrSiO_x、AlSiO_x、HfSiO_x、HfAlO_x、HfSiON、ZrSiAlO_x、HfSiAlO_x、HfSiAlONおよびZrSiAlONからなる群から選択される半導体装置。

【請求項3】

請求項1記載の半導体装置において、

半導体材料は、シリコン、ゲルマニウムおよび/またはシリコン-ゲルマニウム合金を含む半導体装置。

【請求項4】

第1のメモリレベルであって、

基板上に形成された複数の第1の実質的に平行で実質的に共平面の導電体と、

第1の導電体上に形成された複数の第2の実質的に平行で実質的に共平面の導電体と、

シリサイド層、シリサイド-ジャーマナイト層またはジャーマナイト層に隣接して結晶化された半導体材料を含む、複数の垂直に配向された隣接するp-i-nダイオードと、

約8より大きな誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、

それぞれが、隣接するp-i-nダイオードのうちの1つと、および誘電性遮断アンチヒューズのうちの1つとを含む複数のメモリセルと、を含み、

各隣接するp-i-nダイオードは、第1の導電体のうちの1つと第2の導電体のうち

の 1 つとの間に配置され、

各誘電性遮断アンチヒューズは、第 1 の導電体のうちの 1 つと隣接する p - i - n ダイオードのうちの 1 つとの間、または第 2 の導電体のうちの 1 つと隣接する p - i - n ダイオードのうちの 1 つとの間に配置される第 1 のメモリレベル。

【請求項 5】

請求項 4 記載の第 1 のメモリレベルにおいて、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 $ZrSiO_x$ 、 $AlSiO_x$ 、 $HfSiO_x$ 、 $HfAlO_x$ 、 $HfSiON$ 、 $ZrSiAlO_x$ 、 $HfSiAlO_x$ 、 $HfSiAlON$ および $ZrSiAlON$ からなる群から選択される第 1 のメモリレベル。

【請求項 6】

請求項 4 記載の第 1 のメモリレベルにおいて、

半導体材料は、シリコン、ゲルマニウムおよび / またはシリコン - ゲルマニウム合金を含む第 1 のメモリレベル。

【請求項 7】

基板上に形成されたモノリシックな 3 次元メモリアレイであって、

(a) 基板上にモノリシックに形成され、(i) 第 1 の方向に延在する複数の第 1 の実質的に平行で実質的に共平面の導電体と、(ii) 第 1 の方向と異なる第 2 の方向に延在し、第 1 の導電体上にある、複数の第 2 の実質的に平行で実質的に共平面の導電体と、(iii) それぞれが第 1 の導電体のうちの 1 つと第 2 の導電体のうちの 1 つの間に垂直に配置され、シリサイド層、シリサイド - ジャーマナイト層またはジャーマナイト層に隣接して結晶化され、堆積された半導体材料からなる複数の垂直に配向された隣接する p - i - n ダイオードと、(iv) 8 より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、(v) それぞれが、ダイオードのうちの 1 つと、直列に配置された誘電性遮断アンチヒューズのうちの 1 つと、を含む複数のメモリセルと、を含む第 1 のメモリレベルと、

(b) 第 1 のメモリレベル上にモノリシックに形成された第 2 のメモリレベルと、を含むモノリシックな 3 次元メモリアレイ。

【請求項 8】

請求項 7 記載のモノリシックな 3 次元メモリアレイにおいて、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 $ZrSiO_x$ 、 $AlSiO_x$ 、 $HfSiO_x$ 、 $HfAlO_x$ 、 $HfSiON$ 、 $ZrSiAlO_x$ 、 $HfSiAlO_x$ 、 $HfSiAlON$ および $ZrSiAlON$ からなる群から選択されるモノリシックな 3 次元メモリアレイ。

【請求項 9】

不揮発性メモリセルを形成し、プログラムする方法であって、

堆積された半導体材料を含む隣接する p - i - n ダイオードを形成するステップと、

堆積された半導体材料に接してシリサイド、シリサイド - ジャーマナイトまたはジャーマナイトの層を形成するステップと、

シリサイド、シリサイド - ジャーマナイトまたはジャーマナイトの層に接して、堆積された半導体材料を結晶化させるステップと、

8 より大きい誘電率を有する誘電体の層を形成するステップと、

誘電体の層の一部を絶縁破壊にさらすステップと、を含み、

メモリセルは、隣接する p - i - n ダイオードおよび誘電体の層を含む方法。

【請求項 10】

請求項 9 記載の方法において、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 $ZrSiO_x$ 、 $AlSiO_x$ 、 $HfSiO_x$ 、 $HfAlO_x$ 、 $HfSiON$ 、 $ZrSiAlO_x$ 、 $HfSiAlO_x$ 、 $HfSiAlON$ および $ZrSiAlON$ からなる群から選択される方法。

【請求項 1 1】

請求項9記載の方法において、

堆積された半導体材料は、シリコン、ゲルマニウムまたはシリコン・ゲルマニウム合金を含む方法。

【請求項 1 2】

基板上に第1のメモリレベルをモノリシックに形成する方法であって、

第1の方向に延在する、複数の第1の実質的に平行で実質的に共平面の導電体を基板上に形成するステップと、

第1の導電体上に複数の垂直に配向され、シリサイド層、シリサイド・ジャーマナイト層またはジャーマナイト層に接して結晶化された半導体材料を含む隣接するp-i-nダイオードを形成するステップと、

それぞれが第1の導電体のうちの1つと第2の導電体のうちの1つとの間に垂直に配置される隣接するp-i-nダイオード上にあり、第1の方向と異なる第2の方向に延在する、複数の第2の実質的に平行で実質的に共平面の導電体を形成するステップと、

それぞれが、隣接するp-i-nダイオードのうちの1つと第1の導電体のうちの1つとの間、または隣接するp-i-nダイオードのうちの1つと第2の導電体のうちの1つとの間に配置された、複数の誘電性遮断アンチヒューズを形成するステップと、を含み、

誘電性遮断アンチヒューズは、約8より大きな誘電率を有する誘電体を含む方法。

【請求項 1 3】

請求項1 2記載の方法において、

誘電体は、HfO2、Al2O3、ZrO2、TiO2、La2O3、Ta2O5、RuO2、ZrSiOx、AlSiOx、HfSiOx、HfAlOx、HfSiON、ZrSiAlOx、HfSiAlOx、HfSiAlONおよびZrSiAlONからなる群から選択される方法。

【請求項 1 4】

請求項1 2記載の方法において、

半導体材料は、シリコン、ゲルマニウムおよび/またはシリコン・ゲルマニウム合金を含む方法。

【請求項 1 5】

モノリシックな3次元メモリアレイを基板上に形成する方法であって、

(a) 基板上に、(i) 第1の方向に延在する複数の第1の実質的に平行で実質的に共平面の導電体を形成するステップと、(ii) 第1の方向と異なる第2の方向に延在し、第1の導電体上にある複数の第2の実質的に平行で実質的に共平面の導電体を形成するステップと、(iii) シリサイド層、シリサイド・ジャーマナイト層またはジャーマナイト層に接して結晶化され、堆積された半導体材料からなり、それぞれが第1の導電体のうちの1つと第2の導電体のうちの1つとの間に垂直に配置された、複数の垂直に配向された隣接するp-i-nダイオードを形成するステップと、(iv) 8より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズを形成するステップと、(v) それぞれがダイオードのうちの1つと直列に配置された誘電性遮断アンチヒューズのうちの1つを含む、複数のメモリセルを形成するステップと、を含む方法により形成される第1のメモリレベルをモノリシックに形成するステップと、

(b) 第1のメモリレベル上に第2のメモリレベルをモノリシックに形成するステップと、

を含む方法。

【請求項 1 6】

請求項1 5記載の方法において、

誘電体は、HfO2、Al2O3、ZrO2、TiO2、La2O3、Ta2O5、RuO2、ZrSiOx、AlSiOx、HfSiOx、HfAlOx、HfSiON、ZrSiAlOx、HfSiAlOx、HfSiAlONおよびZrSiAlONからなる群から選択される方法。