

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶
H01L 21/8238

(45) 공고일자 2002년06월20일
(11) 등록번호 10 - 0314802
(24) 등록일자 2001년11월02일

(21) 출원번호 10 - 1998 - 0024714
(22) 출원일자 1998년06월29일

(65) 공개번호 특2000 - 0003472
(43) 공개일자 2000년01월15일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 여인석
경기도 성남시 분당구 서현동 한신아파트 124 - 202호

(74) 대리인 특허법인 신성
최종식
박정후
정지원

심사관 : 반성원

(54) 반도체소자제조방법

요약

본 발명은 N형 불순물이 도핑된 폴리실리콘을 사용하는 폴리사이드 전도층으로 NMOS트랜지스터뿐 만 아니라 PMOS 트랜지스터의 내부연결선을 형성하기 위한 반도체소자 제조방법을 제공하고자 하는 것으로, 이를 위한 본 발명의 반도체소자 제조방법은, NMOS트랜지스터와 PMOS트랜지스터를 구비하는 집적소자를 형성하기 위한 반도체소자 제조방법에 있어서, 상기 NMOS트랜지스터와 상기 PMOS트랜지스터가 형성된 기판을 준비하는 단계; 상기 기판 전면에 층간절연막을 형성하는 단계; 상기 층간절연막을 선택식각하여 상기 NMOS트랜지스터의 접합층을 노출시키는 단계; 기판 전면에 N형 불순물이 도핑된 폴리실리콘막을 형성여 상기 상기 NMOS트랜지스터의 접합층과 상기 폴리실리콘막을 콘택시키는 단계; 상기 폴리실리콘막과 층간절연막을 선택적으로 식각하여 상기 PMOS트랜지스터의 게이트 또는 접합층을 노출시키는 단계; 및 기판 전면에 금속실리사이드막을 증착하고 상기 금속실리사이드막과 상기 폴리실리콘막을 선택식각하여 패터닝하는 단계를 포함하여 이루어진다.

대표도
도 2d

명세서

도면의 간단한 설명

도1은 종래기술에 따른 반도체소자의 개략적인 단면도.

도2a 내지 도2d는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 개략적으로 나타내는 공정 단면도.

* 도면의 주요부분에 대한 부호의 설명

101 : 실리콘기판 102A : NMOS트랜지스터의 게이트

103A : N⁺ 접합 102B : PMOS트랜지스터의 게이트

103B : P⁺ 접합 104 : 층간절연막

105 : 비트라인 콘택홀 106 : 인이 도핑된 폴리실리콘막

107, 108 : 연결선용 콘택홀 109A, 109B : 금속실리사이드막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자 제조방법에 관한 것으로, 특히 다이내믹 램(Dynamic RAM) 제조방법에 관한 것이다.

통상적으로 DRAM은 워드라인(word line)이 게이트에 접속되고 비트라인(bit line)이 소스(또는 드레인)에 접속된 하나의 NMOS트랜지스터와, 상기 NMOS트랜지스터의 드레인(또는 소스)에 접속된 하나의 캐패시터가 단위 셀을 갖는다. 그리고, DRAM의 비트라인은 통상 비트라인 센스앰프를 구성하는 PMOS트랜지스터와 접속되어 있다.

도1은 종래기술에 따른 반도체소자의 개략적인 단면도로서, 셀지역의 NMOS트랜지스터와 주변회로지역의 PMOS트랜지스터를 함께 도시하고 있다. 도1을 참조하면, 셀지역은 NMOS트랜지스터의 N⁺ 접합에 비트라인(bit line)이 접속되어 있고 다른 N⁺ 접합에 캐패시터(capacitor)가 접속되어 있다. 물론 게이트, 비트라인 및 캐패시터는 각 층간절연막에 의해 절연된다. 캐패시터 위로는 필요한 배선에 콘택된 금속배선이 형성된다. 그리고, 주변회로지역은 PMOS트랜지스터의 게이트 및 P⁺ 접합에 직접콘택된 금속배선에 의해 내부연결선이 형성되는바 주변회로지역에서의 콘택 깊이는 매우 깊을 수 밖에 없으며, 이에 의해 금속배선의 층덮힘 불량으로 주변회로지역에서는 내부 연결선 형성에 에러가 발생하는 문제점이 있게 된다. 그리고 비트라인 형성시 그 비트라인용 전도막으로 미리연결선을 형성할수 있으나, 폴리사이드 구조의 비트라인은 폴리실리콘막이 인(phosphorus)이 도핑된 폴리실리콘막이기 때문에 PMOS트랜지스터의 게이트 및 P⁺ 접합에 직접 콘택시킬 수가 없다(PN접합이 발생되기 때문에). 따라서, NMOS트랜지스터에만 비트라인용 전도막을 제한적으로 사용하고 있다. 참고적으로, 폴리사이드 구조는 비저항이 낮은 텅스텐실리사이드(WSi₂) 등의 고용점 금속 실리사이드를 폴리실리콘에 적층시킨 구조를 일컫는다.

한편, 앞서 설명한 제약조건을 없애기 위해 인(phosphorus) 도핑된 폴리실리콘막을 사용하지 않고 바로 텅스텐(W) 등의 고용점 금속을 사용하는 방법이 많이 연구되고 있으나, 이러한 고용점금속에 기인하는 오염(cross - contamination), 기계적 안정성 등의 문제로 실제 생산에 적용되지 못하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로서, N형 불순물이 도핑된 폴리실리콘을 사용하는 폴리사이드 전도층으로 NMOS트랜지스터뿐만 아니라 PMOS트랜지스터의 내부연결선을 형성하기 위한 반도체소자 제조방법을 제공함을 그 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체소자 제조방법은, NMOS트랜지스터와 PMOS트랜지스터를 구비하는 집적소자를 형성하기 위한 반도체소자 제조방법에 있어서, 상기 NMOS트랜지스터와 상기 PMOS트랜지스터가 형성된 기판을 준비하는 단계; 상기 기판 전면에 층간절연막을 형성하는 단계; 상기 층간절연막을 선택식각하여 상기 NMOS트랜지스터의 접합층을 노출시키는 단계; 기판 전면에 N형 불순물이 도핑된 폴리실리콘막을 형성하여 상기 NMOS트랜지스터의 접합층과 상기 폴리실리콘막을 콘택시키는 단계; 상기 폴리실리콘막과 층간절연막을 선택적으로 식각하여 상기 PMOS트랜지스터의 게이트 또는 접합층을 노출시키는 단계; 및 기판 전면에 금속실리사이드막을 증착하고 상기 금속실리사이드막과 상기 폴리실리콘막을 선택식각하여 패터닝하는 단계를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도2a 내지 도2d는 본 발명의 실시예에 따른 반도체소자 제조 공정을 개략적으로 나타내는 공정 단면도이다.

먼저, 도2a는 실리콘기판(101) 상에 필드산화막(FOX)을 형성하고, 셀지역에는 게이트(102A)와 N^+ 접합(103A)을 갖는 NMOS트랜지스터를 형성하고, 주변회로지역에는 게이트(102B)와 P^+ 접합(103B)을 갖는 PMOS트랜지스터를 각각 형성한 다음, 실리콘산화물 또는/및 실리콘질화물로 구성되는 층간절연막(104)을 형성한 상태이다.

이어서, 도2b에 도시된 바와 같이, 비트라인 콘택 마스크를 사용한 리소그래피 공정에 의해 층간절연막을 선택적으로 식각하여 NMOS트랜지스터의 N^+ 접합(103A)이 노출되는 비트라인 콘택홀(105)을 형성한다.

계속해서, 도2c에 도시된 바와 같이, 기판 전면에 인(phosphorus)이 도핑된 폴리실리콘막(106)을 100 ~ 1000Å의 두께로 증착하여, 상기 폴리실리콘막(106)이 N^+ 접합(103A)에 콘택되도록 한다. 그리고, 계속해서 리소그래피 공정에 의해 상기 폴리실리콘막(106)과 층간절연막(104)을 선택적으로 식각하여 PMOS트랜지스터의 게이트(102B)가 노출되는 콘택홀(107)과 P^+ 접합(103B)이 노출되는 콘택홀(108)을 각각 형성한다.

이어서, 도2d에 도시된 바와 같이, 기판 전면에 텅스텐실리사이드막(109A, 109B)를 500 ~ 2000Å의 두께로 증착하고 리소그래피 공정에 의해 텅스텐실리사이드막과 폴리실리콘막을 선택적으로 식각한다.

이에 의해 NMOS트랜지스터의 N^+ 접합(103A)에 콘택되어 형성되는 비트라인은, 상기 N^+ 접합(103A)에 폴리실리콘막(106)이 직접콘택되고 그 상부에 텅스텐실리사이드막(109A)이 형성된 구조로 비트라인이 형성되며, PMOS트랜지스터의 게이트(102B)와 P^+ 접합(103B)에 콘택되어 형성되는 연결선은, 폴리실리콘막(106B) 상에 텅스텐실리사이드막(109B)이 적층되는 폴리사이드 전도층으로 이루어지되 P^+ 접합(103B)에는 텅스텐실리사이드막(109B)이 직접 콘택되는 구조를 갖는다.

결국, 본 발명은 비트라인용 폴리사이드전도층으로 PMOS트랜지스터의 내부연결선을 형성할 수 있으므로, 집적소자 설계에 다양성을 부여할 수 있고 소자의 집적화가 용이한 장점이 있다.

한편, 본 발명은 폴리실리콘막과 실리사이드막 사이에 TiN이나 WN등의 확산방지막을 사용할 수도 있는 등 도핑된 폴리실리콘막을 포함하는 어떤 구조의 전도층을 사용하는 공정에 모두 적용될 수 있으며, 반도체메모리소자가 아닌 비메모리 집적회로 등의 모든 반도체소자에 본 발명은 적용될 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

DRAM의 비트라인은 통상 비트라인 센스앰프를 구성하는 PMOS트랜지스터와 접속되어 있기 때문에, 이와 같은 집적 회로에 본 발명을 적용하면, 집적소자 설계에 다양성을 부여할 수 있고 소자의 집적화가 용이하다는 효과를 갖는다.

(57) 청구의 범위

청구항 1.

NMOS트랜지스터와 PMOS트랜지스터를 구비하는 집적소자를 형성하기 위한 반도체소자 제조방법에 있어서,

상기 NMOS트랜지스터와 상기 PMOS트랜지스터가 형성된 기판을 준비하는 단계;

상기 기판 전면에 층간절연막을 형성하는 단계;

상기 층간절연막을 선택식각하여 상기 NMOS트랜지스터의 접합층을 노출시키는 단계;

기판 전면에 N형 불순물이 도핑된 폴리실리콘막을 형성하여 상기 상기 NMOS트랜지스터의 접합층과 상기 폴리실리콘막을 콘택시키는 단계;

상기 폴리실리콘막과 층간절연막을 선택적으로 식각하여 상기 PMOS트랜지스터의 게이트 또는 접합층을 노출시키는 단계; 및

기판 전면에 금속실리사이드막을 형성하고 상기 금속실리사이드막과 상기 폴리실리콘막을 선택식각하여 패터닝하는 단계

를 포함하여 이루어진 반도체소자 제조방법.

청구항 2.

제1항에 있어서,

상기 금속실리사이드막은 하부에 확산방지막을 더 포함하는 반도체소자 제조방법.

청구항 3.

제1항 또는 제2항에 있어서,

상기 NMOS트랜지스터는 DRAM 셀의 트랜지스터이고, 상기 PMOS트랜지스터는 비트라인 센스앰프를 구성하는 트랜지스터인 것을 특징으로 하는 반도체소자 제조방법.

청구항 4.

제2항에 있어서,

상기 확산방지막은 TiN 또는 WN인 것을 특징으로 하는 반도체소자 제조방법.

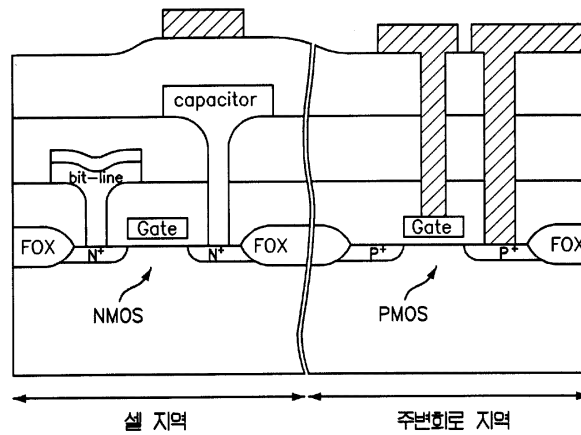
청구항 5.

제1항 또는 제2항에 있어서,

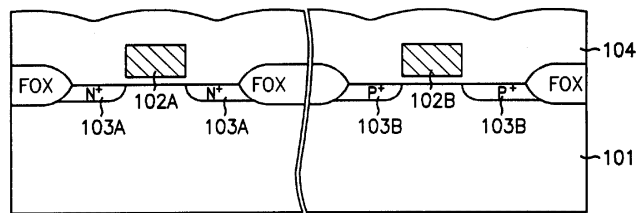
상기 폴리실리콘막은 100 ~ 1000Å의 두께를 가지며, 상기 금속실리사이드막은 500 ~ 2000Å의 두께를 갖는 것을 특징으로 하는 반도체소자 제조방법.

도면

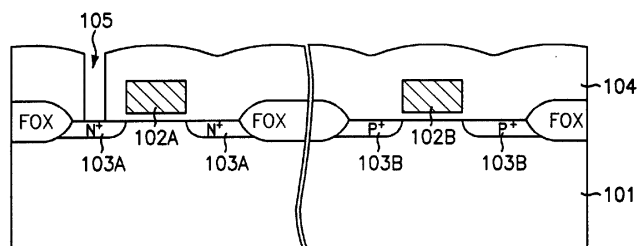
도면 1



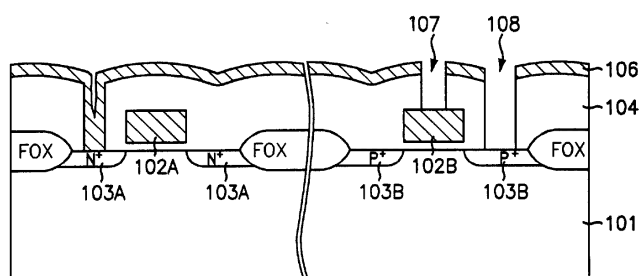
도면 2a



도면 2b



도면 2c



도면 2d

