

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年9月18日(2014.9.18)

【公開番号】特開2012-54559(P2012-54559A)

【公開日】平成24年3月15日(2012.3.15)

【年通号数】公開・登録公報2012-011

【出願番号】特願2011-191264(P2011-191264)

【国際特許分類】

H 01 L 21/205 (2006.01)

H 01 L 29/812 (2006.01)

H 01 L 29/778 (2006.01)

H 01 L 21/338 (2006.01)

【F I】

H 01 L 21/205

H 01 L 29/80 H

【手続補正書】

【提出日】平成26年8月6日(2014.8.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン、サファイア又は炭化シリコンの一群から選択される材料で構成される半導体基板を提供することと、

窒化アルミニウムで構成される核形成層を前記基板の上に形成することと、

前記核形成層の上に第1のエピタキシャル層を形成することと、

前記第1のエピタキシャル層をエッチングして複数の分離された第1のエピタキシャル領域を形成することであって、前記複数の分離された第1のエピタキシャル領域が転移を最小化するように構造化された開始表面を提供するように構成される、前記エッチングすることと、

前記エッチングされた第1のエピタキシャル層の直上に第2のエピタキシャル層を形成することであって、前記エピタキシャル層の各々が少なくとも1つのII族窒化物を含み、前記エピタキシャル層が集合的にバッファを形成し、前記バッファが前記第1のエピタキシャル層と前記第2のエピタキシャル層との複数の分離されたバッファ領域を構成する、前記第2のエピタキシャル層を形成することと、

その中に半導体デバイスの少なくとも一部分が形成される、デバイス層又はデバイス層の一部を形成することであって、前記デバイス層が個々の層として又は他の層の一部分として形成される、前記デバイス層又は前記デバイス層の一部を形成することと、

ソース、ドレイン又は他のトランジスタ領域を形成するために前記デバイス層を1つ又はそれ以上のドーパントでドープすることと、

前記トランジスタ領域の上に1つ又はそれ以上の導電層を形成し、ソース及びドレインコンタクトを形成するためにパターニング及びエッチングすることと、

を含む、方法。

【請求項2】

請求項1に記載の方法であって、

前記デバイス層が少なくとも1つのII族窒化物を含み、前記デバイス層が複数の分

離された第2のエピタキシャル領域を含み、前記第2のエピタキシャル領域が実質的に前記第1のエピタキシャル領域上のみに形成される、方法。

【請求項3】

請求項1に記載の方法であって、
前記第2のエピタキシャル層を形成することが、前記第1のエピタキシャル領域と前記基板とを前記第2のエピタキシャル層で覆うことを含む、方法。

【請求項4】

請求項3に記載の方法であって、
前記第2のエピタキシャル層をエッチングして複数の分離された第2のエピタキシャル領域を形成することを更に含む、方法。

【請求項5】

半導体基板の上に第1のエピタキシャル層を形成することと、
複数の分離された第1のエピタキシャル領域を形成するために前記第1のエピタキシャル層をエッチングすることと、
前記エッチングされた第1のエピタキシャル層の上に第2のエピタキシャル層を形成することであって、前記エピタキシャル層の各々が少なくとも1つのIII族窒化物を含み、前記エピタキシャル層が集合的にバッファを形成する、前記第2のエピタキシャル層を形成することと、

前記バッファの上にデバイス層を形成することと、
前記デバイス層を用いる半導体デバイスを製作することと、
前記第2のエピタキシャル層を形成する前に、前記第1のエピタキシャル領域の上及び回りに第1の誘電体材料を堆積し、前記第1の誘電体材料と前記第1のエピタキシャル領域を平坦化することと、
複数の分離された第2のエピタキシャル領域を形成するために前記第2のエピタキシャル層をエッチングすることと、
前記第2のエピタキシャル領域の上及び回りに第2の誘電体材料を堆積し、前記第2の誘電体材料と前記第2のエピタキシャル領域とを平坦化することと、
を含む、方法。

【請求項6】

請求項1に記載の方法であって、
前記デバイス層を形成することが、前記第2のエピタキシャル層の一部分として前記デバイス層を形成することを含む、方法。

【請求項7】

請求項1に記載の方法であって、
前記半導体デバイスを分離することを更に含む、方法。

【請求項8】

請求項1に記載の方法であって、
前記基板が少なくとも6インチの直径を有するシリコンウエハを含み、
前記少なくとも1つのIII族窒化物が、窒化ガリウム(GaN)、アルミニウム窒化ガリウム(AlGaN)、インジウム窒化アルミニウム(InAlN)、インジウムアルミニウム窒化ガリウム(InAlGaN)、窒化アルミニウム(AlN)、窒化インジウム(InN)及びインジウム窒化ガリウム(InGaN)の内の1つ又はそれ以上を含み、
前記第1のエピタキシャル層が1μm乃至3μmの厚さを有し、
前記第2のエピタキシャル層が1μm乃至3μmの厚さを有する、方法。

【請求項9】

シリコン、サファイア又は炭化シリコンの一群から選択される材料で構成される半導体基板と、
窒化アルミニウムで構成され、前記基板の上に形成される核形成層と、
前記核形成層の上に形成され、複数の分離された第1のエピタキシャル領域を含む、バ

ツファ層であって、前記複数の分離された第1のエピタキシャル領域が転移を最小化するように構造化された開始表面を提供するように構成される、前記バッファ層と、

前記バッファ層の上に形成される少なくとも1つのIII族窒化物の第2のエピタキシャル層と、

その中に半導体デバイスの少なくとも一部分が形成される、デバイス層又はデバイス層の一部であって、前記デバイス層が個々の層として又は他の層の一部分として形成される、前記デバイス層又は前記デバイス層の一部と、

ソース、ドレイン又は他のトランジスタ領域を形成するために前記デバイス層の一部をドープする1つ又はそれ以上のドーパントと、

前記トランジスタ領域の上に形成され、ソース及びドレンコンタクトを形成するためにパターニング及びエッチングされる1つ又はそれ以上の導電層と、

を含む、システム。

【請求項10】

請求項9に記載のシステムであって、

前記第2のエピタキシャル層が複数の分離された第2のエピタキシャル領域を含み、前記第2のエピタキシャル領域が実質的に前記第1のエピタキシャル領域上のみに形成される、システム。

【請求項11】

請求項9に記載のシステムであって、

前記第2のエピタキシャル層が、前記第1のエピタキシャル領域と、前記基板の少なくとも一部とを覆うエピタキシャル材料を含む、システム。

【請求項12】

請求項9に記載のシステムであって、

前記第2のエピタキシャル層が複数の分離された第2のエピタキシャル領域を含み、前記システムが、前記第1のエピタキシャル領域を互いに電気的に分離し、前記第2のエピタキシャル領域を互いに電気的に分離する、複数の誘電体領域を更に含む、システム。

【請求項13】

請求項9に記載のシステムであって、

前記デバイス層と前記バッファの少なくとも一部との間に形成される隔離領域を更に含み、前記隔離領域が前記半導体装置を隔離するように構成される、システム。

【請求項14】

請求項9に記載のシステムであって、

前記基板が少なくとも6インチの直径を有する<111>シリコンウエハを含み、前記少なくとも1つのIII族窒化物が、窒化ガリウム(GaN)、アルミニウム窒化ガリウム(AlGaN)、インジウム窒化アルミニウム(InAlN)、インジウムアルミニウム窒化ガリウム(InAlGaN)、窒化アルミニウム(AlN)、窒化インジウム(InN)及びインジウム窒化ガリウム(InGaN)の内の1つ又はそれ以上を含み、

前記第1のエピタキシャル層が1μm乃至3μmの厚さを有し、

前記第2のエピタキシャル層が1μm乃至3μmの厚さを有する、システム。

【請求項15】

シリコン、サファイア又は炭化シリコンの一群から選択される材料で構成される半導体基板と、

前記基板の上に形成され、窒化アルミニウムで構成される、核形成層と、

前記核形成層の上に形成され、複数の分離された第1のエピタキシャル領域を含む、第1のエピタキシャル層と、

前記第1のエピタキシャル層の上に形成される第2のエピタキシャル層と、

を含み、

前記エピタキシャル層の各々が少なくとも1つのIII族窒化物を含み、前記エピタキ

シャル層が集合的に少なくとも 1 つの I I I 族窒化物半導体デバイス用のバッファを形成する装置。

【請求項 1 6】

請求項 1 5 に記載の装置であって、

前記第 2 のエピタキシャル層が複数の分離された第 2 のエピタキシャル領域を含み、前記第 2 のエピタキシャル領域が実質的に前記第 1 のエピタキシャル領域上にのみに形成される装置。

【請求項 1 7】

請求項 1 5 に記載の装置であって、

前記第 2 のエピタキシャル層が複数の分離された第 2 のエピタキシャル領域を含み、前記第 2 のエピタキシャル領域が、前記第 1 のエピタキシャル領域と、前記第 1 のエピタキシャル領域に隣接する前記基板の部分とを覆い、前記第 2 のエピタキシャル領域が前記基板のその他の部分を覆わない装置。

【請求項 1 8】

請求項 1 5 に記載の装置であって、

前記第 2 のエピタキシャル層が、前記第 1 のエピタキシャル領域を覆うエピタキシャル材料を含む、装置。

【請求項 1 9】

請求項 1 5 に記載の装置であって、

前記第 2 のエピタキシャル層が複数の分離された第 2 のエピタキシャル領域を含み、前記装置が、前記第 1 のエピタキシャル領域を互いに電気的に分離し、前記第 2 のエピタキシャル領域を互いに電気的に分離する、複数の誘電体領域を更に含む、装置。

【請求項 2 0】

請求項 1 5 に記載の装置であって、

前記基板が少なくとも 6 インチの直径を有するシリコンウエハを含み、前記少なくとも 1 つの I I I 族窒化物が、窒化ガリウム (GaN)、アルミニウム窒化ガリウム (AlGaN)、インジウム窒化アルミニウム (InAlN)、インジウムアルミニウム窒化ガリウム (InAlGaN)、窒化アルミニウム (AlN)、窒化インジウム (InN) 及びインジウム窒化ガリウム (InGaN) の内の 1 つ又はそれ以上を含み、

前記第 1 のエピタキシャル層が 1 μm 乃至 3 μm の厚さを有し、

前記第 2 のエピタキシャル層が 1 μm 乃至 3 μm の厚さを有する、装置。