

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 30 日(30.08.2012)



(10) 国際公開番号

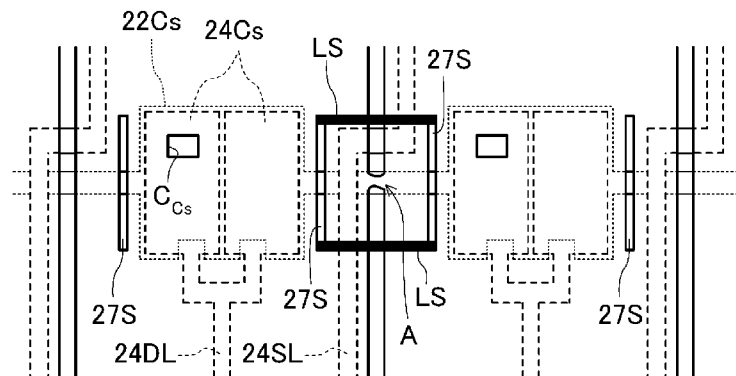
WO 2012/114688 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09F 9/30 (2006.01)
G09F 9/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/001036
- (22) 国際出願日: 2012 年 2 月 16 日(16.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-035990 2011 年 2 月 22 日(22.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 金森 央樹
(KANAMORI, Teruki).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA &
PARTNERS); 〒5410053 大阪府大阪市中央区本町
2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE, DISPLAY DEVICE, AND SHORT CIRCUIT DEFECT CORRECTION METHOD FOR ACTIVE MATRIX SUBSTRATE

(54) 発明の名称: アクティブマトリクス基板、表示装置及びアクティブマトリクス基板の短絡欠陥修正方法

[図7]



(57) Abstract: At at least one of the points of intersection between each of a plurality of pixel electrodes (27) and retention capacitor wiring (22CsL), a slit-shaped correction hole (27S) for short circuit defect correction of adjacent pixel electrodes (27) is provided so as to straddle retention capacitor wiring (22CsL).

(57) 要約: 複数の画素電極 (27) の各々の周縁部と保持容量配線 (22CsL) の交差する部分の少なくとも一方には、隣接する画素電極 (27) の短絡欠陥を修正するスリット状の修正孔 (27S) が保持容量配線 (22CsL) を跨ぐように設けられている。

明 細 書

発明の名称：

アクティブマトリクス基板、表示装置及びアクティブマトリクス基板の短絡欠陥修正方法

技術分野

[0001] 本発明は、アクティブマトリクス基板、表示装置及びアクティブマトリクス基板の短絡欠陥修正方法に関する。本発明は、より詳しくは、隣接する画素電極が保持容量配線上で短絡した場合に、表示品位を低下させたり開口率を大きく低減させたりすることなく短絡欠陥の修正が可能なアクティブマトリクス基板やそれを備えた表示装置、その短絡欠陥を修正する短絡欠陥修正方法に関する。

背景技術

[0002] 液晶表示装置は、テレビ、パーソナルコンピュータ等のOA機器や携帯電話、PDA (Personal Digital Assistant) 等の携帯情報機器のディスプレイとして広く用いられている。

[0003] 液晶表示パネルは、一般に、一对の透明基板が対向して配置され、その周縁部がシール材により貼り合わされた構成を有する。透明基板間の密封された領域には液晶が封入されている。透明基板の一方は、各画素毎にマトリクス状に複数の薄膜トランジスタ (TFT; Thin Film Transistor、以下、「TFT」とも称する) 等のスイッチング素子が設けられ、さらに、各スイッチング素子に接続された複数の画素電極が設けられている。透明基板の他方には、表面に対向電極が形成されている。そして、画素電極と対向電極との間に発生する電界により液晶分子の配向状態を変化させ、液晶表示パネルに入射する光の透過率を変化させることにより、液晶表示装置において任意の画像表示を得る。

[0004] 近年、液晶表示パネルの高精細化に伴い、配線や電極間での短絡が生じやすくなっている。そのため、配線や電極間での短絡による表示不良の修正を

行うことが不可欠となっている。例えば、隣接する画素電極同士が短絡してした場合には、短絡した2画素全体が輝点となり欠陥となるため、この表示欠陥を修正することが必要である。

[0005] 画素電極同士が短絡した場合には、一般に、液晶表示パネルの裏側からレーザーを照射して短絡欠陥箇所を切断して欠陥の修正が行われている。但し、短絡欠陥がTFT基板の配線等と重なり合う位置に発生した場合には、短絡欠陥箇所をレーザーで切断しようとすると同時に、レーザーにより、TFT基板の配線をも切断してしまうこととなる。保持容量配線のように、断線時の修正用の予備配線が用意されていない配線が切断された場合には、配線断線による新たな欠陥が生じてしまうため、保持容量配線上で短絡欠陥が発生した場合には、レーザーを照射して短絡欠陥箇所を切断する短絡欠陥修正方法を適用することができない。

[0006] そこで、上記のように保持容量配線と重なり合う領域で画素電極間の短絡欠陥が発生してしまった場合には、一般に、短絡欠陥箇所を挟む2画素を黒点化して欠陥修正を行うことが行われている。具体的には、図18に示すように、保持容量素子の上部電極124Csに接続されたドレイン配線124DLを切断し（図18中の領域LS）、さらに、上部電極124Csと下部電極122Csを溶融により導通させて（図18中の斜線部M）、画素電極127の電位を保持容量電位に保持する。これにより、短絡した2つの画素電極127は黒点として視認されることとなる。

[0007] しかしながら、短絡した2つの画素電極全体が黒点化されてしまうと、視認されやすく、短絡欠陥の修正を行っても、表示品位の低下が目立ってしまう。また、液晶表示パネル1つあたりの黒点化された画素の個数には基準が定められており、一定の個数を超えると不良とみなされるため、短絡欠陥の修正のために画素を黒点化してしまうと、歩留まりの低下につながる虞もある。

[0008] 特許文献1には、複数の微小領域に分割されていると共に各微小領域が電気接続部を介して一体に接続された構成の画素電極を備えたアクティブマト

リクス基板について開示されている。そして、このアクティブマトリクス基板において、隣接する画素電極同士が配線等の遮光物と重なり合う部位で短絡した場合は、1つの画素電極を構成する複数の微小領域のうち短絡欠陥箇所を有する微小領域と他の微小領域とを接続する電気接続部にレーザー光を照射して電気接続部を切断し、短絡欠陥箇所を有する微小領域を他の微小領域から電氣的に切り離すことにより、短絡した2つの画素電極全体を黒点化することなく表示欠陥の修正を行うことができると記載されている。

先行技術文献

特許文献

[0009] 特許文献1：再表2007/063649号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、特許文献1の方法では、画素電極に大きなスリットを設けて画素電極を複数の微小領域に分割するため、その分、開口率が小さくなる問題がある。

[0011] 本発明は、隣接する画素電極同士が保持容量配線に重なる領域において短絡した場合に、画素全体を黒点化することなくその短絡欠陥を修正可能であって、且つ、高開口率を有するアクティブマトリクス基板や表示装置を提供することを目的とする。また、本発明は、高開口率のアクティブマトリクス基板において、隣接する画素電極同士が保持容量配線に重なる領域において短絡した場合に、画素全体を黒点化することなく、また、開口率を大きく低減することなく短絡欠陥を修正する方法を提供することを目的とする。

課題を解決するための手段

[0012] 上述の課題を解決するための第1の発明は、
基板周縁部に非表示領域が、該非表示領域に囲まれた領域に表示領域がそれぞれ配置され、
上記表示領域には複数の画素がマトリクス状に配置され、

基板本体と、

上記基板本体上に互いに並行して設けられた複数のゲート配線と、

上記基板本体上に、上記複数のゲート配線と並行して延びると共に上記各画素を横切るように設けられ、各画素毎に保持容量素子を構成する複数の保持容量配線と、

上記基板本体上に複数のゲート配線及び保持容量配線を覆うように設けられたゲート絶縁膜と、

上記ゲート絶縁膜上に複数のゲート配線及び保持容量配線と交差すると共に互いに並行して設けられた複数のソース配線と、

上記複数のゲート配線と複数のソース配線の各交差部に対応して設けられた複数のスイッチング素子と、

上記ゲート絶縁膜上に、上記複数のソース配線を覆うように設けられた層間絶縁膜と、

上記層間絶縁膜上に複数の画素毎に対応して設けられた複数の画素電極と、

を有するアクティブマトリクス基板であって、

上記複数の画素電極の各々の周縁部と上記保持容量配線の交差する部分の少なくとも一方には、隣接する画素電極の短絡欠陥を修正するスリット状の修正孔が該保持容量配線を跨ぐように設けられていることを特徴とする。

[0013] 第2の発明は、第1の発明において、

上記修正孔は、上記画素電極の周縁部と上記保持容量配線の交差する部分の両方に設けられていることを特徴とする。

[0014] 第3の発明は、第1または第2の発明において、

上記非表示領域において、上記ソース配線の一方の端部と他方の端部のそれぞれに電氣的に接続可能なソース予備配線が設けられていることを特徴とする。

[0015] 第4の発明は、第1～第3のいずれか1つの発明において、

上記複数の画素電極の各々の周縁部には、さらに、該周縁部と保持容量配

線の交差する部分に隣接して、スリット状の修正孔が上記ソース配線を跨ぐように設けられていることを特徴とする。

[0016] 第5の発明は、第4の発明において、

上記保持容量配線を跨ぐように設けられた修正孔と、上記ソース配線を跨ぐように設けられた修正孔とが連続していることを特徴とする。

[0017] 第6の発明は、第1～第5のいずれか1つの発明において、

上記修正孔のそれぞれのスリット幅は $5 \sim 6 \mu\text{m}$ 、及びスリット長さは $15 \sim 25 \mu\text{m}$ であることを特徴とする。

[0018] 第7の発明は、

表示装置であって、第1～第6のいずれか1つの発明のアクティブマトリクス基板と対向基板とが対向配置され、両基板間に表示媒体層が設けられたことを特徴とする。

[0019] 第8の発明は、第7の発明において、

上記表示媒体層が液晶層であることを特徴とする。

[0020] 第9の発明は、

基板周縁部に非表示領域が、該非表示領域に囲まれた領域に表示領域がそれぞれ配置され、

上記表示領域には複数の画素がマトリクス状に配置され、

基板本体と、

上記基板本体上に互いに並行して設けられた複数のゲート配線と、

上記基板本体上に、上記複数のゲート配線と並行して延びると共に上記各画素を横切るように設けられ、各画素毎に保持容量素子を構成する複数の保持容量配線と、

上記基板本体上に複数のゲート配線及び保持容量配線を覆うように設けられたゲート絶縁膜と、

上記ゲート絶縁膜上に複数のゲート配線及び保持容量配線と交差すると共に互いに並行して設けられた複数のソース配線と、

上記複数のゲート配線と複数のソース配線の各交差部に対応して設けられ

た複数のスイッチング素子と、

上記ゲート絶縁膜上に、上記複数のソース配線を覆うように設けられた層間絶縁膜と、

上記層間絶縁膜上に複数の画素毎に対応して設けられた複数の画素電極と、

を有するアクティブマトリクス基板の、隣接する２つの画素電極が上記保持容量配線上で短絡した場合に、短絡の欠陥の修正を行うアクティブマトリクス基板の短絡欠陥修正方法であって、

上記複数の画素電極の各々の周縁部と上記保持容量配線の交差する部分の少なくとも一方には、隣接する画素電極の短絡欠陥を修正するスリット状の修正孔が該保持容量配線を跨ぐように設けられ、

隣接する２つの画素電極が上記保持容量配線上で短絡した場合に、

上記修正孔と、上記保持容量配線と重ならないように該修正孔に連続するレーザー照射領域と、の内側に上記短絡が発生した短絡欠陥箇所を位置付け、該レーザー照射領域にレーザー照射を行うことにより、該短絡欠陥箇所を上記２つの画素電極のうち少なくとも一方から電氣的に独立させることを特徴とする。

[0021] 第１０の発明は、第９の発明において、

上記修正孔は、上記画素電極の周縁部と上記保持容量配線の交差する部分の両方に設けられ、

上記修正孔と、上記保持容量配線と重ならないように該修正孔に連続するレーザー照射領域と、で囲まれた領域に上記短絡が発生した短絡欠陥箇所を位置付け、該レーザー照射領域にレーザー照射を行うことにより、該短絡欠陥箇所を上記２つの画素電極から電氣的に独立させることを特徴とする。

[0022] 第１１の発明は、第９または第１０の発明において、

上記非表示領域において、上記ソース配線の一方の端部と他方の端部のそれぞれに電氣的に接続可能なソース予備配線が設けられていることを特徴とする。

- [0023] 第12の発明は、第9～第11のいずれか1つの発明において、
上記複数の画素電極の各々の周縁部には、さらに、該周縁部と保持容量配線の交差する部分に隣接して、スリット状の修正孔が上記ソース配線を跨ぐように設けられていることを特徴とする。
- [0024] 第13の発明は、第12の発明において、
上記保持容量配線を跨ぐように設けられた修正孔と、上記ソース配線を跨ぐように設けられた修正孔とが連続していることを特徴とする。
- [0025] 第14の発明は、第9～第13のいずれか1つの発明において、
上記修正孔のそれぞれのスリット幅は5～6 μm 、及びスリット長さは15～25 μm であることを特徴とする。
- [0026] 以下、上記第1～第14の発明により得られる効果について説明する。
- [0027] 第1の発明によれば、複数の画素電極の各々の周縁部と保持容量配線の交差する部分の少なくとも一方には、隣接する画素電極の短絡欠陥を修正するスリット状の修正孔が保持容量配線を跨ぐように設けられているので、隣接する2つの画素電極が保持容量配線上で短絡した場合、その修正孔を用いて短絡欠陥の修正を行うことができる。具体的には、短絡欠陥が発生した短絡欠陥箇所を、短絡した2つの画素電極のうち少なくとも一方から電氣的に独立させるために、レーザーの照射を行う。レーザー照射を行うレーザー照射領域は、修正孔に連続し、且つ、保持容量配線と重ならない領域とし、さらに、修正孔とレーザー照射領域からなる領域の内側に短絡欠陥箇所が位置付けられるような領域とする。
- [0028] 上述のように修正孔を用いることにより、画素全体を黒点化することなく短絡欠陥の修正を行うことができ、優れた表示品位が得られる。また、上述のように修正孔を用いることにより、開口率を大きく低減させることなく短絡欠陥の修正を行うことができ、高輝度表示且つ低消費電力駆動の表示装置が得られる。さらに、画素電極のうち周縁部と保持容量配線の交差する部分にのみ修正孔を設けるだけで短絡欠陥の修正を行うことができるので、短絡が発生しない画素においても優れた開口率を有するアクティブマトリクス基

板を得ることができる。

[0029] 第9の発明によれば、隣接する2つの画素電極が保持容量配線上で短絡した場合、複数の画素電極の各々の周縁部に設けられたスリット状の修正孔を用いて、修正孔と、保持容量配線と重ならないように修正孔に連続するレーザー照射領域と、の内側に短絡が発生した短絡欠陥箇所を位置付け、レーザー照射領域にレーザー照射を行うことにより、短絡欠陥箇所を上記2つの画素電極のうち少なくとも一方から電氣的に独立させるようにして短絡欠陥の修正を行うことができるので、画素全体を黒点化することなく短絡欠陥の修正を行うことができ、優れた表示品位が得られる。また、開口率を大きく低減させることなく短絡欠陥の修正を行うことができ、高輝度表示且つ低消費電力駆動の表示装置が得られる。

[0030] 第2及び第10の発明によれば、画素電極の周縁部と保持容量配線の交差する部分の両方に修正孔が設けられているので、隣接する2つの画素電極が保持容量配線上で短絡した場合、短絡欠陥箇所は、一方の画素電極の修正孔と、他方の画素電極の修正孔とで挟まれる位置に生じることとなる。そのため、一方の修正孔のスリット端から他方の修正孔のスリット端に連続する領域をレーザー照射領域とすることにより、短絡欠陥箇所を、修正孔とレーザー照射領域とで囲まれた領域に位置付けることができ、短絡欠陥箇所を2つの画素電極の両方から電氣的に独立させることができる。

[0031] 第3の及び第11の発明によれば、非表示領域において、ソース配線の一方の端部と他方の端部のそれぞれに電氣的に接続可能なソース予備配線が設けられているので、隣接する2つの画素電極間での短絡欠陥修正を行う際に、ソース配線を横切るようにレーザー照射を行ってソース配線が断線した場合でも、非表示領域においてソース予備配線とソース配線を電氣的に接続させることにより、ソース配線にソース信号を送ることが可能となる。

[0032] 第4及び第12の発明によれば、複数の画素電極の各々の周縁部には、さらに、画素電極の周縁部と保持容量配線の交差する部分に隣接して、スリット状の修正孔がソース配線を跨ぐように設けられているので、保持容量配線

を跨ぐ修正孔とソース配線を跨ぐ修正孔をつなぐ領域にレーザーの照射を行うことにより、ソース配線を断線させることなく短絡欠陥の修正を行うことができる。

[0033] 第5及び第13の発明によれば、保持容量配線を跨ぐように設けられた修正孔と、ソース配線を跨ぐように設けられた修正孔とが連続しているので、より確実に、短絡欠陥箇所を画素電極から電氣的に独立させることができる。

[0034] 第6及び第14の発明によれば、修正孔のスリット幅が $5\sim 6\mu\text{m}$ 、及びスリット長さが $15\sim 25\mu\text{m}$ であるので、画素電極の面積を大きく確保することができ、優れた開口率のアクティブマトリクス基板を得ることができる。

[0035] 第7の発明によれば、保持容量配線上で隣接する2つの画素電極が短絡した場合の短絡欠陥を修正可能な修正孔を備え、且つ、高開口率を有するアクティブマトリクス基板と、対向基板とが対向され、両基板間に表示媒体層が設けられて表示装置が構成されているので、高輝度表示且つ低消費電力駆動の表示装置を得ることができる。

[0036] 第8の発明によれば、高輝度表示且つ低消費電力駆動の液晶表示装置を得ることができる。

発明の効果

[0037] 本発明によれば、複数の画素電極の各々の周縁部と保持容量配線の交差する部分の少なくとも一方には、隣接する画素電極の短絡欠陥を修正するスリット状の修正孔が保持容量配線を跨ぐように設けられているので、隣接する2つの画素電極が保持容量配線上で短絡した場合、その修正孔を用いて短絡欠陥の修正を行うことができる。具体的には、短絡欠陥が発生した短絡欠陥箇所を、短絡した2つの画素電極のうち少なくとも一方から電氣的に独立させるために、レーザーの照射を行う。レーザー照射を行うレーザー照射領域は、修正孔に連続し、且つ、保持容量配線と重ならない領域とし、さらに、修正孔とレーザー照射領域からなる領域の内側に短絡欠陥箇所が位置付けら

れるような領域とする。このように修正孔を用いることにより、画素全体を黒点化することなく短絡欠陥の修正を行うことができ、優れた表示品位が得られる。また、このように修正孔を用いることにより、開口率を大きく低減させることなく短絡欠陥の修正を行うことができ、高輝度表示且つ低消費電力駆動の表示装置が得られる。さらに、画素電極のうち周縁部と保持容量配線の交差する部分にのみ修正孔を設けるだけで短絡欠陥の修正を行うことができるので、短絡が発生しない画素においても優れた開口率を有するアクティブマトリクス基板を得ることができる。

図面の簡単な説明

- [0038] [図1]液晶表示装置の概略平面図である。
- [図2]図1のII-II線における断面図である。
- [図3]実施形態1にかかるアクティブマトリクス基板の表示領域における拡大平面図である。
- [図4]図3のIV-IV線における断面図である。
- [図5]画素電極間の短絡欠陥発生例の説明図である。
- [図6]図5のVI-VI線における断面図である。
- [図7]実施形態1にかかるアクティブマトリクス基板の短絡欠陥修正方法の説明図である。
- [図8]アクティブマトリクス基板のソース予備配線を示す平面図である。
- [図9](a)及び(b)は、図8のIX-IX線における断面図である。
- [図10]画素電極間の短絡欠陥発生例の説明図である。
- [図11]画素電極間の短絡欠陥発生例の説明図である。
- [図12]実施形態1の変形例にかかるアクティブマトリクス基板の表示領域における拡大平面図である。
- [図13]実施形態1の変形例にかかるアクティブマトリクス基板の短絡欠陥修正方法の説明図である。
- [図14]実施形態2にかかるアクティブマトリクス基板の表示領域における拡大平面図である。

[図15]実施形態2にかかるアクティブマトリクス基板の短絡欠陥修正方法の説明図である。

[図16]実施形態2の変形例にかかるアクティブマトリクス基板の表示領域における拡大平面図である。

[図17]実施形態2の変形例にかかるアクティブマトリクス基板の短絡欠陥修正方法の説明図である。

[図18]従来の短絡欠陥修正方法の説明図である。

発明を実施するための形態

[0039] 以下、本発明の例示的实施形態について図面を用いて詳細に説明する。なお、個々の実施形態は、後述の全ての目的を必ずしも実現しなくてもよい。また、全ての実施形態が、後述の個々の目的を必ずしも実現しなくてもよい。

[0040] 《実施形態1》

はじめに、実施形態1にかかる液晶表示装置10について、また、隣接する2つの画素電極27が保持容量配線22CSL上で短絡した場合の短絡欠陥修正方法について説明する。

[0041] (液晶表示装置)

図1は、実施形態1の液晶表示装置10の平面図であり、図2は、図1のI-I線における断面図である。また、図3は、実施形態1のアクティブマトリクス基板20の表示領域Dを拡大した平面図であり、図4は、図3のIV-V線における断面図である。

[0042] 液晶表示装置10は、アクティブマトリクス基板20と対向基板30とが対向配置され、基板周縁部にシール材50が設けられて両基板が接着されている。そして、シール材50に囲まれた領域に、表示媒体層として液晶層40が設けられている。アクティブマトリクス基板20上には、対向基板30を支持するためのスペーサ24SPが必要に応じて設けられている(図3参照)。

[0043] また、液晶表示装置10では、シール材50の内側の部分に画像表示を行

う表示領域Dが配置され、それを囲む基板周縁部の領域に非表示領域Fが配置されている。表示領域Dにおいては、複数の画素がマトリクス状に配置されている。

[0044] この液晶表示装置10は、一定時間の紫外線照射により側鎖が紫外線照射方向に傾く高分子有機化合物の薄膜で配向膜を形成したUV²A液晶(UltraViolet induced multi-domain Vertical Alignment液晶)である。UV²A液晶では、光配向技術により配向膜を構成する高分子有機化合物の側鎖の傾きを制御するので、マルチドメイン型の垂直配向型液晶(MVA (Multi-domain Vertical Alignment) 液晶)のパネルのように、パネル内部にリブを設けたり、画素電極にスリットを設けたりする必要がなく、高開口率のパネルを得ることができる。従って、リブやスリットを有する液晶表示パネルよりも表示品位の優れた、また、低消費電力の液晶表示パネルとすることができる。

[0045] ーアクティブマトリクス基板ー

アクティブマトリクス基板20は、図3に示すように、表示領域Dにおいて、互いに並行して複数のゲート配線22GLが設けられ、各ゲート配線22GLと交差すると共に互いに並行して複数のソース配線24SLが設けられている。そして、ゲート配線22GLとソース配線24SLで区画された領域に各画素が配置され、ゲート配線22GLとソース配線24SLの交差部に対応して、各画素を駆動するためのスイッチング素子として、ゲート電極22G、半導体層(不図示)、ソース電極24S及びドレイン電極24Dで構成されるTFTが設けられている。

[0046] なお、非表示領域Fには、ソース配線24SLが断線した場合でもそのソース配線24SLを修正できるように、ソース予備配線22SLが設けられている。ソース予備配線22SLは、ゲート配線22GLと同一層に設けられている。ソース予備配線22SLの一端は、ソース配線24SLの一方の端部付近に位置付けられ、非表示領域Fを迂回するように延び、そして、他端が、ソース配線24SLの他方の端部付近に位置付けられている(図8参

照)。ソース予備配線 22SL は、ソース配線 24SL に異常がないときはソース配線 24SL と非接触である (図 9 (a) 参照)。

[0047] また、アクティブマトリクス基板 20 には、複数のゲート配線 22GL と並行して延びると共に各画素を横切るように保持容量配線 22CsL が設けられている。保持容量配線 22CsL の一部は、各画素に対応するように保持容量素子の下部電極 22Cs を構成し、ドレイン配線 24DL を介してドレイン電極 24D と接続された上部電極 24Cs と下部電極 22Cs とが対向配置されることで保持容量を形成している。また、各画素に対応するように略矩形の画素電極 27 が設けられている。なお、上部電極 24Cs と画素電極 27 とは、コンタクトホール C_c を介して導通するように設けられている。

[0048] 積層構造の点からは、アクティブマトリクス基板 20 は、基板本体 21 上に、ゲート電極 22G、ゲート配線 22GL、保持容量配線 22CsL、下部電極 22Cs、ソース予備配線 22SL 等を含む導電膜、ゲート絶縁膜 23、半導体膜 (不図示)、ソース電極 24S、ドレイン電極 24D、ソース配線 24SL 等を含む導電膜、パッシベーション膜 25、層間絶縁膜 26、画素電極 27、及び配向膜 (不図示) が積層された構成を有している。

[0049] 基板本体 21、ゲート電極 22G、ゲート配線 22GL、保持容量配線 22CsL、下部電極 22Cs、ゲート絶縁膜 23、半導体膜、ソース電極 24S、ドレイン電極 24D、ドレイン配線 24DL、ソース配線 24SL、上部電極 24Cs、スペーサ 24SP、パッシベーション膜 25、及び層間絶縁膜 26 は、公知の構成を有する。

[0050] ー画素電極、修正孔ー

画素電極 27 は、ITO (Indium Tin Oxide) 膜等の透明導電膜で構成され、例えば、厚さが 20 ~ 300 nm 程度の ITO 膜で形成されている。

[0051] 画素電極 27 は、周縁部と保持容量配線 22CsL の交差する部分に修正孔 27S が設けられている。保持容量配線 22CsL は各画素を横切るように設けられているので、画素電極 27 の周縁部と保持容量配線 22CsL の

交差する部分は、１つの画素電極 ２ ７ あたり ２ 箇所存在する。修正孔 ２ ７ Ｓ は、その ２ 箇所の交差する部分の両方に形成されている。修正孔 ２ ７ Ｓ は、保持容量配線 ２ ２ Ｃ ｓ Ｌ の上方であって、保持容量配線 ２ ２ Ｃ ｓ Ｌ を跨ぐようなスリット状に形成されている。修正孔 ２ ７ Ｓ のスリット方向は、保持容量配線 ２ ２ Ｃ ｓ Ｌ の延びる方向と直交する方向となっている。修正孔 ２ ７ Ｓ は、スリット幅が ５ ～ ６ μm 程度、及びスリット長さが １ ５ ～ ２ ５ μm 程度のスリット状の孔である。修正孔 ２ ７ Ｓ は、画素電極 ２ ７ の端部から １ ８ ～ ２ ５ μm 程度内側の位置に形成されている。

[0052] ー対向基板ー

対向基板 ３ ０ は、図示しないが、基板上に遮光層及び着色層を備えたカラーフィルタ層が設けられ、カラーフィルタ層を覆うように共通電極が設けられ、さらに、共通電極を覆うように配向膜が設けられている。

[0053] ー液晶層ー

液晶層 ４ ０ は、例えば、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0054] ー液晶表示装置の動作ー

上記構成の液晶表示装置 １ ０ では、各画素において、ゲートドライバからゲート信号がゲート配線 ２ ２ Ｇ Ｌ を介してゲート電極 ２ ２ Ｇ に送られて、表示領域 D の T F T がオン状態になったときに、T F T において、ソースドライバからソース信号がソース配線 ２ ４ Ｓ Ｌ を介してソース電極 ２ ４ Ｓ に送られて、半導体膜及びドレイン電極 ２ ４ Ｄ を介して、画素電極 ２ ７ に所定の電荷が書き込まれる。また、対向基板 ３ ０ の共通電極に対向信号を入力する。この際、アクティブマトリクス基板 ２ ０ の各画素電極 ２ ７ と対向基板 ３ ０ の共通電極との間において電位差が生じ、液晶層 ４ ０ において電界が発生する。そして、液晶表示装置 １ ０ では、各画素において、液晶層 ４ ０ に発生する電界の強度によって液晶層 ４ ０ の液晶分子の配向状態を変えることにより、液晶層 ４ ０ の光透過率を調整して画像が表示される。このとき、保持容量配線 ２ ２ Ｃ ｓ Ｌ は、ゲート電極に印加する電圧によって、ゲートを通じて液晶

に漏れ電流が流れ込み、液晶の印加電圧が変動するのを抑制する。

[0055] (アクティブマトリクス基板の製造方法)

次に、アクティブマトリクス基板 20 の製造方法について説明する。

[0056] まず、基板本体 21 上にスパッタリング法等を用いて導電膜を成膜し、フォトリソグラフィを用いてパターンニングを行い、ゲート電極 22G, ゲート配線 22GL, 保持容量配線 22CsL, 下部電極 22Cs, ソース予備配線 22SL 等を形成する。このとき、導電膜を、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属の単層膜または積層膜で、例えば厚さが 100~300nm に形成する。

[0057] 次に、窒化シリコン膜等のゲート絶縁膜 23、及び半導体膜を、例えばプラズマ CVD 法等を用いて連続形成し、フォトリソグラフィ等を用いて半導体膜をパターンニングする。

[0058] 次いで、ゲート絶縁膜 23 上にスパッタリング法等を用いて導電膜を成膜し、フォトリソグラフィを用いてパターンニングを行い、ソース電極 24S、ドレイン電極 24D、ドレイン配線 24DL、ソース配線 24SL、上部電極 24Cs、スペーサ 24SP 等を形成する。このとき、導電膜を、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属の単層膜または積層膜で、例えば厚さが 100~300nm に形成する。

[0059] 続いて、プラズマ CVD 法等を用いて、例えば厚さが 50~500nm 程度の SiO₂ 膜でパッシベーション膜 25 を成膜し、さらに、スピンコート法等を用いて、例えば厚さが 2000~4000nm 程度の感光性アクリル樹脂膜で層間絶縁膜 26 を成膜する。なお、パッシベーション膜 25 の形成については省略可能である。

[0060] 次いで、層間絶縁膜 26 上に、スパッタリング法等を用いて透明導電膜を成膜し、フォトリソグラフィを用いてパターンニングを行い、画素電極 27 を形成する。このパターンニング時、画素電極 27 の周縁部と保持容量配線 22CsL の交差する部分に、保持容量配線 22CsL を跨ぐスリット状の

修正孔 27 S を同時に形成する。なお、透明導電膜は、ITO 膜やIZO 膜の透明導電膜で、例えば厚さが100～200 nm に成膜する。

[0061] 最後に、層間絶縁膜 26 及び画素電極 27 を覆うように配向膜を塗布形成し、アクティブマトリクス基板 20 が完成する。このアクティブマトリクス基板 20 は、シール材 50 を介して対向基板 30 と貼り合わせると共に両基板間に液晶層 40 を設けることにより、液晶表示装置 10 とすることができる。

[0062] アクティブマトリクス基板 20 が完成後、アクティブマトリクス基板の欠陥を検出するための検査を行う。

[0063] (短絡欠陥修正方法)

上記説明したアクティブマトリクス基板 20 の検査工程において、図 5 及び 6 に示すように、隣接する画素電極 27 同士が保持容量配線 22 Cs L の上層で短絡しているのが検出されることがある(図中の短絡欠陥箇所 A 参照)。この場合の短絡欠陥修正方法について、図 7～9 を用いて説明する。

[0064] 上記検査工程において特定された短絡欠陥箇所 A は、一方の画素電極 27 に設けられた修正孔 27 S と他方の画素電極 27 に設けられた修正孔 27 S で挟まれるように位置付けられる。図 7 に示すように、この 2 つの修正孔 27 S の上端同士、下端同士をそれぞれつなぐ領域をレーザー照射領域 LS (図中の黒塗りした領域、以下の図面においても同様に、黒く塗りつぶして参照符号「LS」で示した領域をレーザー照射領域とする)として、基板の裏側からレーザーの照射を行う。ここで、レーザー照射領域 LS は、保持容量配線 22 Cs L と重ならない領域に設定する。このとき照射するレーザーの種類としては、例えば、YAG レーザー(波長 1024 nm)等が挙げられる。レーザー照射領域 LS の幅は、例えば 4～5 μm 程度である。

[0065] レーザー照射領域 LS にレーザー照射を行うことにより、レーザー照射領域 LS において画素電極 27 を構成する導電膜が導電性を失い、修正孔 27 S とレーザー照射領域 LS で囲まれる領域は、2 つの画素電極 27 S からは電氣的に独立することとなる。問題となる短絡欠陥箇所 A は、この独立した

部分に含まれるので、2つの画素電極27の短絡が解除される。

[0066] レーザー照射領域LSは、ソース配線24SLを横切るように設定されるので、レーザー照射によりソース配線24SLが断線してしまう。そのため、続いて、ソース予備配線22SLを用いて、ソース配線24SLの断線の修正を行う。

[0067] 図8は、非表示領域Fに設けられたソース予備配線22SLの部分を拡大して示すアクティブマトリクス基板20の平面図である。ここでは、多数設けられたソース配線24SLのうち、短絡欠陥箇所Aにおける短絡の解除のためにレーザー照射領域LSにおいて断線されたもの(24SL₁)だけを示している。

[0068] 図8のIX-IX線における断面について、図9(a)は、ソース配線24SL₁の断線修正前の状態を、図9(b)は、断線修正後における状態を示す。ソース配線24SL₁がレーザー照射領域LSにおいて断線すると、ソース配線24SL₁の一方の端部のソース予備配線22SL₁と交差する部分Bにおいて、図9(b)に示すように、ソース配線24SL₁とソース予備配線22SL₁とを導通させる。具体的には、部分Bにおいて、アクティブマトリクス基板20の裏面から、レーザー照射によりソース予備配線22SL₁を熔融すると共にゲート絶縁膜23を破壊し、ソース配線24SL₁とソース予備配線22SL₁とを導通させる。ソース配線24SL₁の他方の端部のソース予備配線22SL₁と交差する部分Cについても同様である。これにより、ソース配線24SL₁に付与されるソース信号は、ソース予備配線22SL₁を経由してソース配線24SL₁に与えられることとなる。

[0069] こうして、保持容量配線22CsLを断線することなく、また、画素全体を黒点化してしまうことなく、さらに、開口率を大きく低減させてしまうことなく、短絡欠陥の修正が完了する。

[0070] なお、ここではレーザーを照射して画素電極27間の短絡を解除した後にソース配線24SLの断線の修正を行うとして説明したが、いずれを先に行っても構わない。

[0071] (実施形態 1 の効果)

実施形態 1 によれば、修正孔 27 S とレーザー照射領域 L S で囲まれる領域を 2 つの画素電極 27 S から電氣的に独立させることにより短絡を解除するので、画素全体を黒点化することなく短絡欠陥の修正を行うことができる。また、開口率を大きく低減させることなく短絡欠陥の修正を行うことができ、高輝度表示且つ低消費電力駆動のアクティブマトリクス基板 20 が得られる。

[0072] (実施形態 1 の変形例)

実施形態 1 では、図 5 に示すように、画素電極 27 形成時の膜残りにより短絡が発生している様子を説明したが、他の原因によって画素電極 27 同士の短絡が発生することも考えられる。例えば、図 10 に示すように、2 つの画素電極 27 間に導電性の異物 E が存在することによっても、画素電極 27 同士の短絡が発生する。また、図 11 に示すように、画素電極 27 の周縁部に異物 E が存在することに起因して画素電極 27 の形成時に膜残りが生じ、画素電極 27 同士の短絡が発生する。

[0073] 実施形態 1 では、1 つの画素電極 27 につき修正孔 27 S が 2 つ形成されているとして説明したが、図 12 に示すように、1 つの画素電極 27 につき修正孔 27 S が 1 つしか形成されていなくても、短絡欠陥の修正を行うことができる。この場合、短絡欠陥の修正時には、図 13 に示すように、修正孔 27 S の上端から短絡した 2 つの画素電極 27 の間の隙間に向かう領域、及び修正孔 27 S の下端から短絡した 2 つの画素電極 27 の間の隙間に向かう領域をレーザー照射領域 L S と設定してレーザー照射を行う。この場合には、修正孔 27 S とそれに連続するレーザー照射領域 L S の内側に短絡欠陥箇所 A が位置付けられることとなり、短絡欠陥箇所 A を右方の画素電極 27 から独立させることができる。

[0074] 《実施形態 2》

次に、実施形態 2 にかかる液晶表示装置 10 について、また、隣接する 2 つの画素電極 27 が保持容量配線 22 C s L 上で短絡した場合の短絡欠陥修

正方法について説明する。

[0075] (液晶表示装置)

実施形態2の液晶表示装置10は、画素電極27に設けられた修正孔27Sの形状が異なることを除いて、実施形態1と同様の構成を有する。

[0076] 修正孔27Sは、画素電極27の周縁部と保持容量配線22CsLの交差する部分に設けられている。修正孔27Sは、図14に示すように、画素電極27の周縁部と保持容量配線22CsLの交差する部分の両方に形成されている。修正孔27Sは、保持容量配線22CsLの上方で保持容量配線22CsLを跨ぐと共に、ソース配線24SLの上方でソース配線24SLを跨ぐようなL字のスリット状に形成されている。なお、修正孔27Sは、画素電極27の周縁部のうちソース配線24SLよりも内側の部分で保持容量配線22CsLを跨ぐように形成されている。修正孔27Sのスリット幅は、例えば4～5nm程度であって、修正孔27SのL字部分の全体の長さは25～35nm程度である。

[0077] この液晶表示装置10は、実施形態1において説明したのと同ーの方法で作製することができる。

[0078] (短絡欠陥修正方法)

実施形態2のアクティブマトリクス基板20の検査工程において、隣接する画素電極27同士が保持容量配線22CsLの上層で短絡しているのが検出された場合の短絡欠陥修正方法について説明する。

[0079] 上記検査工程において特定された短絡欠陥箇所Aは、一方の画素電極27に設けられた修正孔27Sと他方の画素電極27に設けられた修正孔27Sで挟まれるように位置付けられる。図15に示すように、この2つの修正孔27Sの端部同士をそれぞれつなぐ領域をレーザー照射領域LSとして、基板の裏側からレーザーの照射を行う。ここで、レーザー照射領域LSは、保持容量配線22CsLやソース配線24SLと重ならない領域に設定する。このとき照射するレーザーの種類としては、例えば、YAGレーザー（波長1024nm）等が挙げられる。レーザー照射領域LSの幅は、例えば4～

5 μ m程度である。

[0080] レーザー照射領域LSにレーザー照射を行うことにより、レーザー照射領域LSにおいて画素電極27を構成する導電膜が導電性を失い、修正孔27Sとレーザー照射領域LSで囲まれる領域は、2つの画素電極27Sからは電氣的に独立することとなる。問題となる短絡欠陥箇所Aは、この独立した部分に含まれるので、2つの画素電極27の短絡が解除される。

[0081] こうして、保持容量配線22CSLやソース配線24SLを断線することなく、また、画素全体を黒点化してしまうことなく、さらに、開口率を大きく低減させてしまうことなく、短絡欠陥の修正が完了する。

[0082] (実施形態2の効果)

実施形態2によれば、修正孔27Sとレーザー照射領域LSで囲まれる領域を2つの画素電極27Sから電氣的に独立させることにより短絡を解除するので、画素全体を黒点化することなく短絡欠陥の修正を行うことができる。また、開口率を大きく低減させることなく短絡欠陥の修正を行うことができ、高輝度表示且つ低消費電力駆動のアクティブマトリクス基板20が得られる。

[0083] また、実施形態2によれば、修正孔27Sが保持容量配線22CSLだけでなくソース配線24SLをも跨ぐように設けられているので、レーザー照射領域SLがソース配線を横切らない領域となるようにレーザー照射領域SLを設定することが可能となる。そのため、画素電極27の短絡の解除のためのレーザー照射によりソース配線24SLが断線することがなく、ソース予備配線22SLを用いてソース配線24SLの断線の修正を行う工程を省略することができる。

[0084] (実施形態2の変形例)

実施形態2では、保持容量配線22CSLを跨ぐように設けられた修正孔とソース配線22SLと跨ぐように設けられた修正孔とが連続して、全体としてL字状の修正孔27Sを構成するとして説明したが、図16に示すように、保持容量配線22CSLを跨ぐように設けられた修正孔27Saとソー

ス配線 22SL と跨ぐように設けられた修正孔 27Sb とが非連続に独立して設けられていてもよい。この場合には、図 17 に示すように、修正孔 27Sa と修正孔 27Sb との両方に連続する領域をレーザー照射領域 LS と設定してレーザー照射を行うことにより、短絡欠陥箇所 A を短絡した 2 つの画素電極 27 から電氣的に独立させることができる。この場合には、実施形態 2 よりも修正孔 27 の面積を小さくすることができ、その分、アクティブマトリクス基板 20 の開口率を大きくすることができる。

[0085] 《その他の実施形態》

上記の実施形態では、画素電極 27 とソース配線 24SL とが一部重なるように設けられているとして説明したが、画素電極 27 とソース配線 24SL とがオーバーラップしないように配置されていてもよい。

[0086] 上記の実施形態では、液晶表示装置が UV²A 液晶であるとして説明したが、本発明の実施例としては、例えば、垂直配向型液晶（MVA 液晶）であってもよい。この場合でも、各画素電極について、画素電極の周縁部と保持容量配線の交差する部分に、スリット状の修正孔を保持容量配線を跨ぐように設けることにより、保持容量配線上で隣接する 2 つの画素電極が短絡した場合、画素全体を黒点化することなく短絡欠陥の修正を行うことができる。

[0087] 但し、MVA 液晶では、液晶分子の配向のために画素電極にスリットが設けられるので、UV²A 液晶ほどの大きな開口率は得られない。従って、UV²A 液晶の液晶表示装置について本発明を実施する方が、開口率を大きく低減することなく短絡欠陥修正可能であるという効果をより顕著に得ることができる。

産業上の利用可能性

[0088] 本発明は、アクティブマトリクス基板、表示装置及びアクティブマトリクス基板の短絡欠陥修正方法について有用である。本発明は、より詳しくは、隣接する画素電極が保持容量配線上で短絡した場合に、表示品位を低下させたり開口率を大きく低減させたりすることなく短絡欠陥の修正が可能なアクティブマトリクス基板やそれを備えた表示装置、その短絡欠陥を修正する短

絡欠陥修正方法について有用である。

符号の説明

[0089]	D	表示領域
	F	非表示領域
	1 0	液晶表示装置
	2 0	アクティブマトリクス基板
	2 1	基板本体
	2 2 C s L	保持容量配線
	2 2 G L	ゲート配線
	2 2 S L	ソース配線
	2 2 S L	ソース予備配線
	2 3	ゲート絶縁膜
	2 4 S L	ソース配線
	2 6	層間絶縁膜
	2 7	画素電極
	2 7	修正孔
	2 7 S	画素電極
	2 7 S a	修正孔（保持容量配線を跨ぐように設けられた修正孔）
	2 7 S b	修正孔（ソース配線を跨ぐように設けられた修正孔）
	3 0	対向基板
	4 0	液晶層（表示媒体層）

請求の範囲

- [請求項1] 基板周縁部に非表示領域が、該非表示領域に囲まれた領域に表示領域がそれぞれ配置され、
- 上記表示領域には複数の画素がマトリクス状に配置され、
- 基板本体と、
- 上記基板本体上に互いに並行して設けられた複数のゲート配線と、
- 上記基板本体上に、上記複数のゲート配線と並行して延びると共に上記各画素を横切るように設けられ、各画素毎に保持容量素子を構成する複数の保持容量配線と、
- 上記基板本体上に複数のゲート配線及び保持容量配線を覆うように設けられたゲート絶縁膜と、
- 上記ゲート絶縁膜上に複数のゲート配線及び保持容量配線と交差すると共に互いに並行して設けられた複数のソース配線と、
- 上記複数のゲート配線と複数のソース配線の各交差部に対応して設けられた複数のスイッチング素子と、
- 上記ゲート絶縁膜上に、上記複数のソース配線を覆うように設けられた層間絶縁膜と、
- 上記層間絶縁膜上に複数の画素毎に対応して設けられた複数の画素電極と、
- を有するアクティブマトリクス基板であって、
- 上記複数の画素電極の各々の周縁部と上記保持容量配線の交差する部分の少なくとも一方には、隣接する画素電極の短絡欠陥を修正するスリット状の修正孔が該保持容量配線を跨ぐように設けられていることを特徴とするアクティブマトリクス基板。
- [請求項2] 請求項1に記載されたアクティブマトリクス基板において、
- 上記修正孔は、上記画素電極の周縁部と上記保持容量配線の交差する部分の両方に設けられている
- ことを特徴とするアクティブマトリクス基板。

- [請求項3] 請求項1または2に記載されたアクティブマトリクス基板において、
- 上記非表示領域において、上記ソース配線の一方の端部と他方の端部のそれぞれに電氣的に接続可能なソース予備配線が設けられていることを特徴とするアクティブマトリクス基板。
- [請求項4] 請求項1～3のいずれか1項に記載されたアクティブマトリクス基板において、
- 上記複数の画素電極の各々の周縁部には、さらに、該周縁部と保持容量配線の交差する部分に隣接して、スリット状の修正孔が上記ソース配線を跨ぐように設けられていることを特徴とするアクティブマトリクス基板。
- [請求項5] 請求項4に記載されたアクティブマトリクス基板において、
- 上記保持容量配線を跨ぐように設けられた修正孔と、上記ソース配線を跨ぐように設けられた修正孔とが連続していることを特徴とするアクティブマトリクス基板。
- [請求項6] 請求項1～5のいずれか1項に記載されたアクティブマトリクス基板において、
- 上記修正孔のそれぞれのスリット幅は $5 \sim 6 \mu\text{m}$ 、及びスリット長さは $15 \sim 25 \mu\text{m}$ であることを特徴とするアクティブマトリクス基板。
- [請求項7] 請求項1～6のいずれか1項に記載されたアクティブマトリクス基板と対向基板とが対向配置され、両基板間に表示媒体層が設けられたことを特徴とする表示装置。
- [請求項8] 請求項7に記載された表示装置において、
- 上記表示媒体層が液晶層であることを特徴とする表示装置。
- [請求項9] 基板周縁部に非表示領域が、該非表示領域に囲まれた領域に表示領域がそれぞれ配置され、
- 上記表示領域には複数の画素がマトリクス状に配置され、

基板本体と、

上記基板本体上に互いに並行して設けられた複数のゲート配線と、

上記基板本体上に、上記複数のゲート配線と並行して延びると共に
上記各画素を横切るように設けられ、各画素毎に保持容量素子を構成
する複数の保持容量配線と、

上記基板本体上に複数のゲート配線及び保持容量配線を覆うように
設けられたゲート絶縁膜と、

上記ゲート絶縁膜上に複数のゲート配線及び保持容量配線と交差す
ると共に互いに並行して設けられた複数のソース配線と、

上記複数のゲート配線と複数のソース配線の各交差部に対応して設
けられた複数のスイッチング素子と、

上記ゲート絶縁膜上に、上記複数のソース配線を覆うように設けら
れた層間絶縁膜と、

上記層間絶縁膜上に複数の画素毎に対応して設けられた複数の画素
電極と、

を有するアクティブマトリクス基板の、隣接する2つの画素電極が上
記保持容量配線上で短絡した場合に、短絡の欠陥の修正を行うアクテ
ィブマトリクス基板の短絡欠陥修正方法であって、

上記複数の画素電極の各々の周縁部と上記保持容量配線の交差する
部分の少なくとも一方には、隣接する画素電極の短絡欠陥を修正する
スリット状の修正孔が該保持容量配線を跨ぐように設けられ、

隣接する2つの画素電極が上記保持容量配線上で短絡した場合に、

上記修正孔と、上記保持容量配線と重ならないように該修正孔に連
続するレーザー照射領域と、の内側に上記短絡が発生した短絡欠陥箇
所を位置付け、該レーザー照射領域にレーザー照射を行うことにより
、該短絡欠陥箇所を上記2つの画素電極のうち少なくとも一方から電
氣的に独立させる

ことを特徴とするアクティブマトリクス基板の短絡欠陥修正方法。

[請求項10] 請求項9に記載されたアクティブマトリクス基板の短絡欠陥修正方法において、

上記修正孔は、上記画素電極の周縁部と上記保持容量配線の交差する部分の両方に設けられ、

上記修正孔と、上記保持容量配線と重ならないように該修正孔に連続するレーザー照射領域と、で囲まれた領域に上記短絡が発生した短絡欠陥箇所を位置付け、該レーザー照射領域にレーザー照射を行うことにより、該短絡欠陥箇所を上記2つの画素電極から電氣的に独立させる

ことを特徴とするアクティブマトリクス基板の短絡欠陥修正方法。

[請求項11] 請求項9または10に記載されたアクティブマトリクス基板の短絡欠陥修正方法において、

上記非表示領域において、上記ソース配線の一方の端部と他方の端部のそれぞれに電氣的に接続可能なソース予備配線が設けられていることを特徴とするアクティブマトリクス基板の短絡欠陥修正方法。

[請求項12] 請求項9～11のいずれか1項に記載されたアクティブマトリクス基板の短絡欠陥修正方法において、

上記複数の画素電極の各々の周縁部には、さらに、該周縁部と保持容量配線の交差する部分に隣接して、スリット状の修正孔が上記ソース配線を跨ぐように設けられている

ことを特徴とするアクティブマトリクス基板の短絡欠陥修正方法。

[請求項13] 請求項12に記載されたアクティブマトリクス基板の短絡欠陥修正方法において、

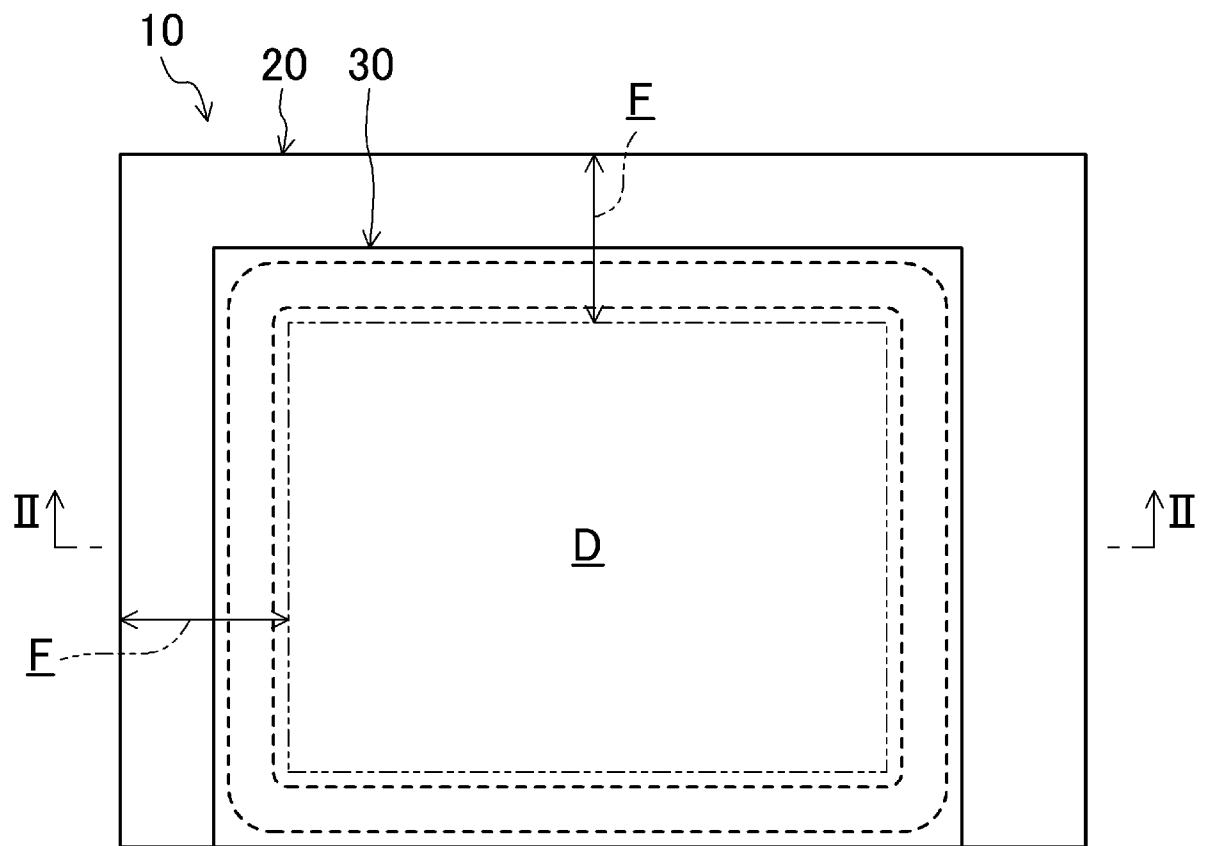
上記保持容量配線を跨ぐように設けられた修正孔と、上記ソース配線を跨ぐように設けられた修正孔とが連続している

ことを特徴とするアクティブマトリクス基板の短絡欠陥修正方法。

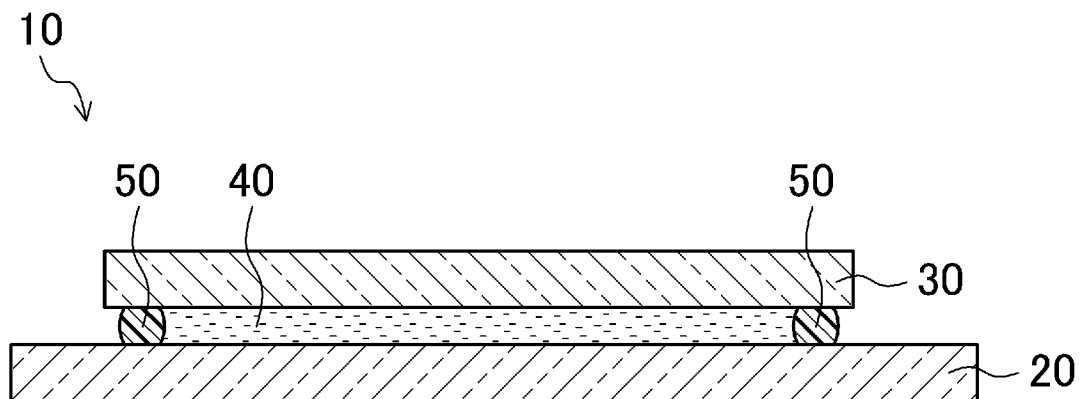
[請求項14] 請求項9～13のいずれか1項に記載されたアクティブマトリクス基板の短絡欠陥修正方法において、

上記修正孔のそれぞれのスリット幅は $5 \sim 6 \mu\text{m}$ 、及びスリット長さは $15 \sim 25 \mu\text{m}$ であることを特徴とするアクティブマトリクス基板の短絡欠陥修正方法。

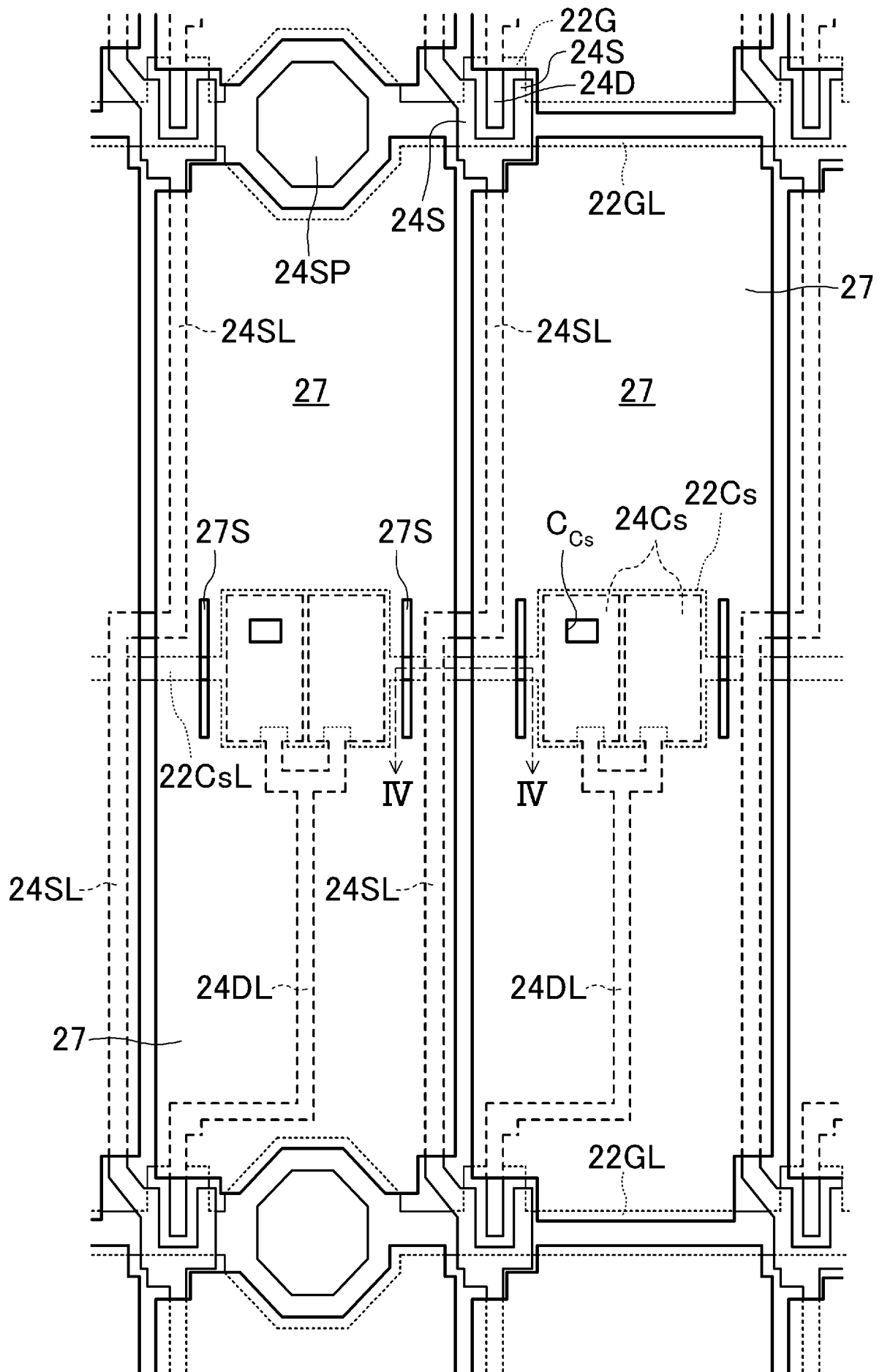
[図1]



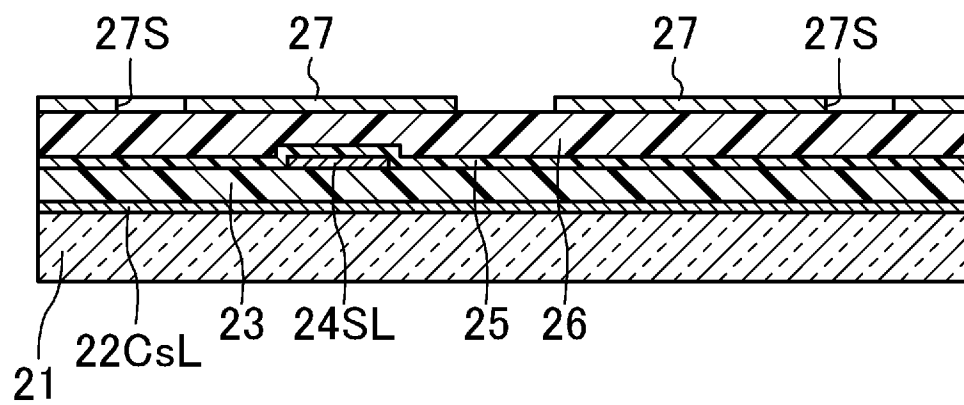
[図2]



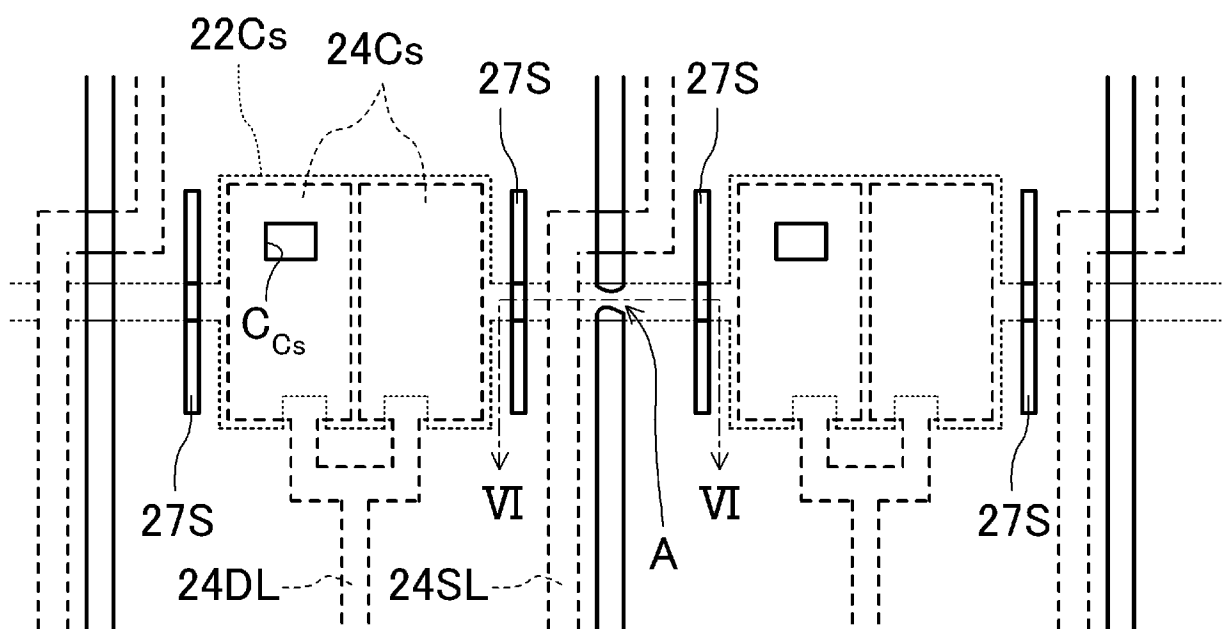
[図3]



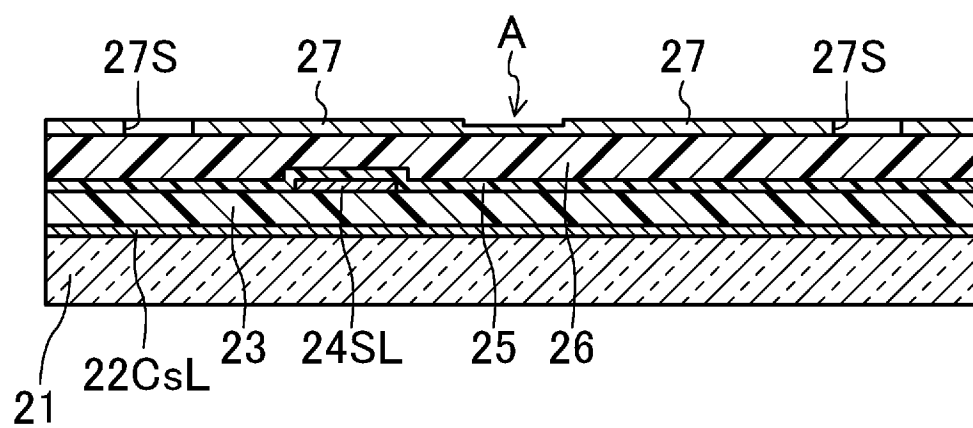
[図4]



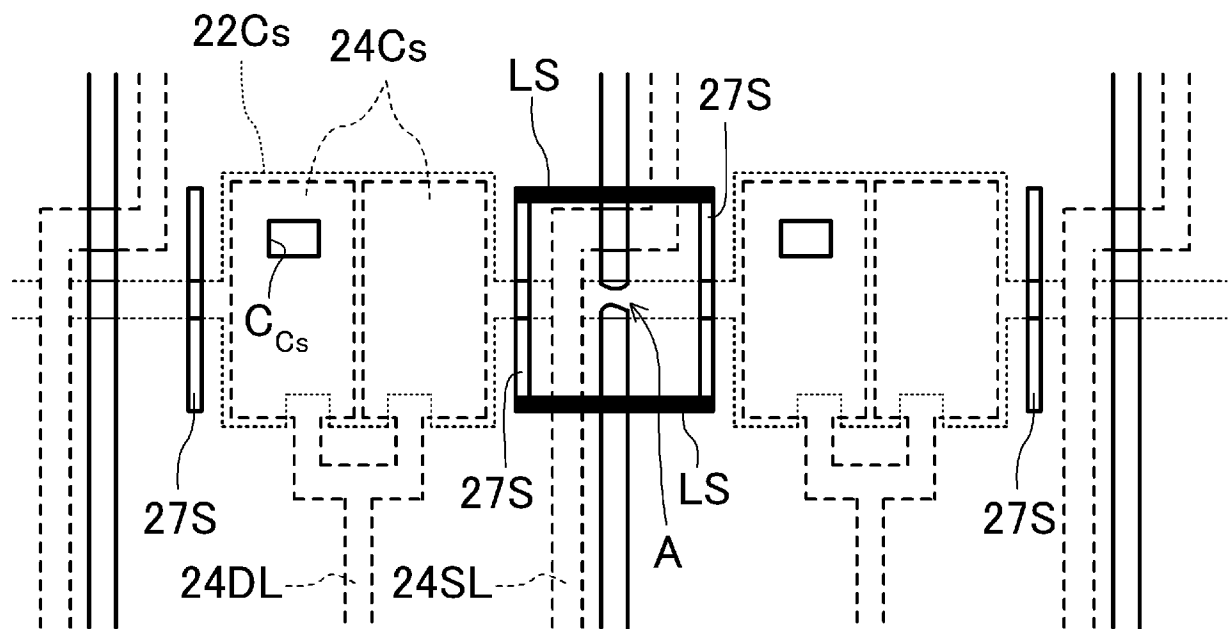
[図5]



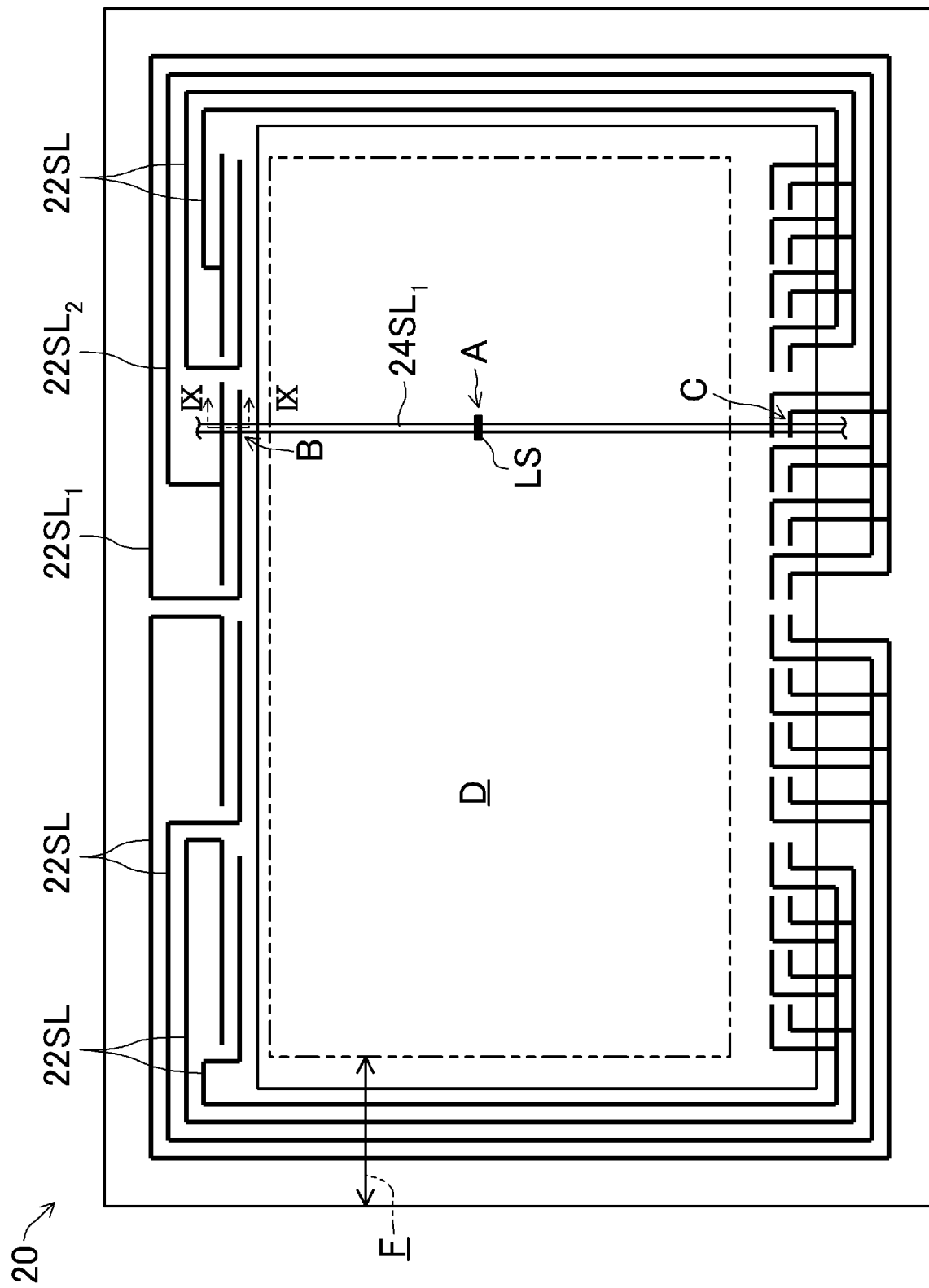
[図6]



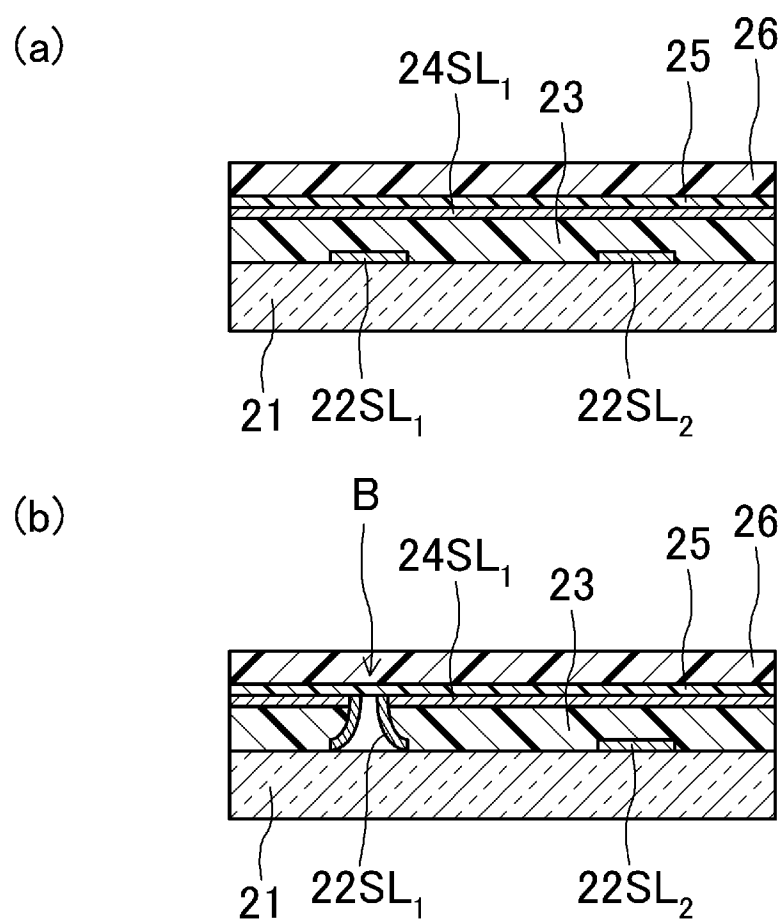
[図7]



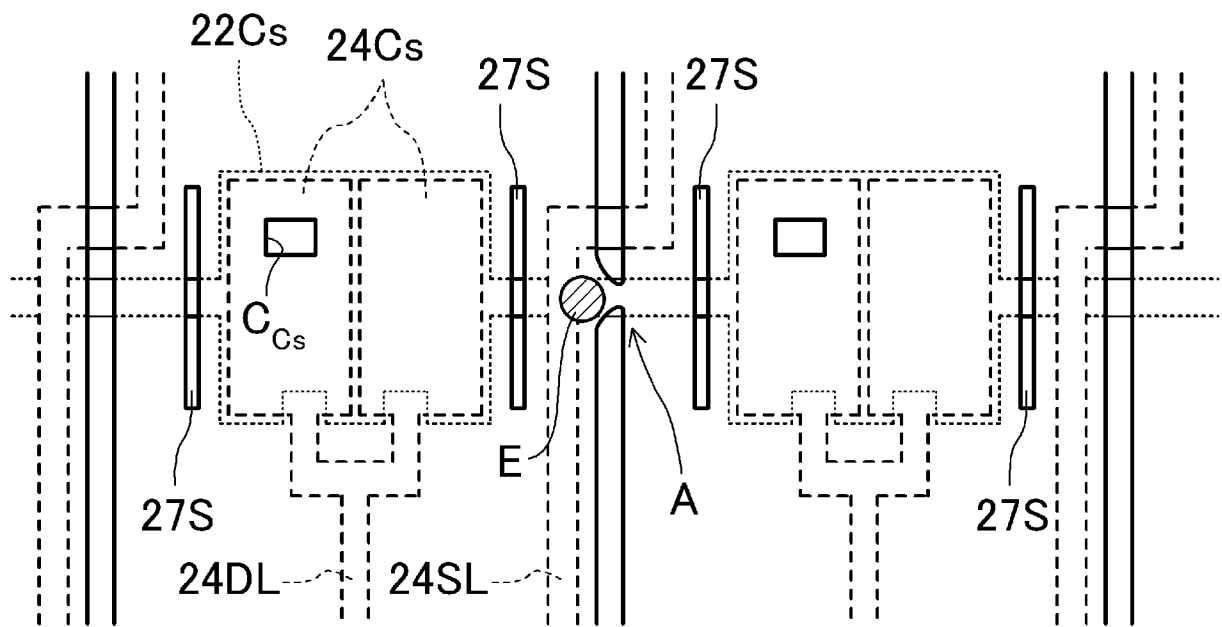
[図8]



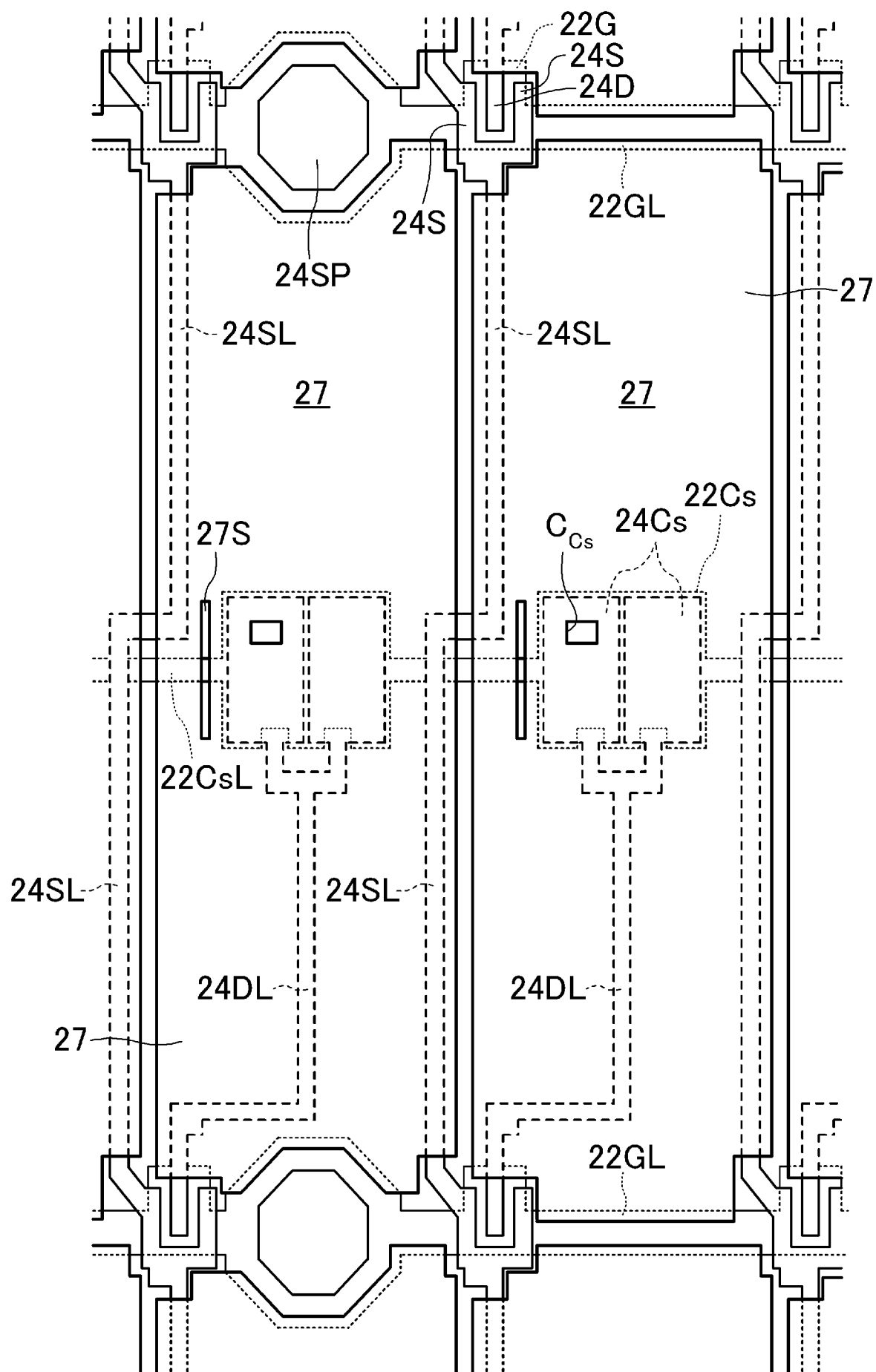
[図9]



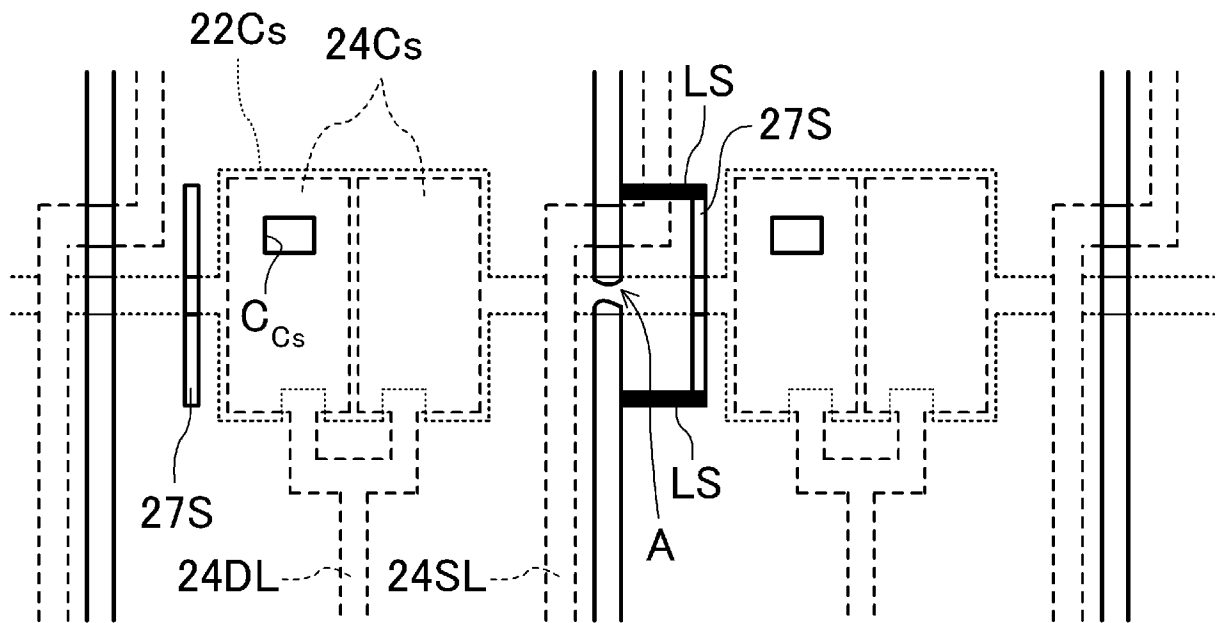
[図11]



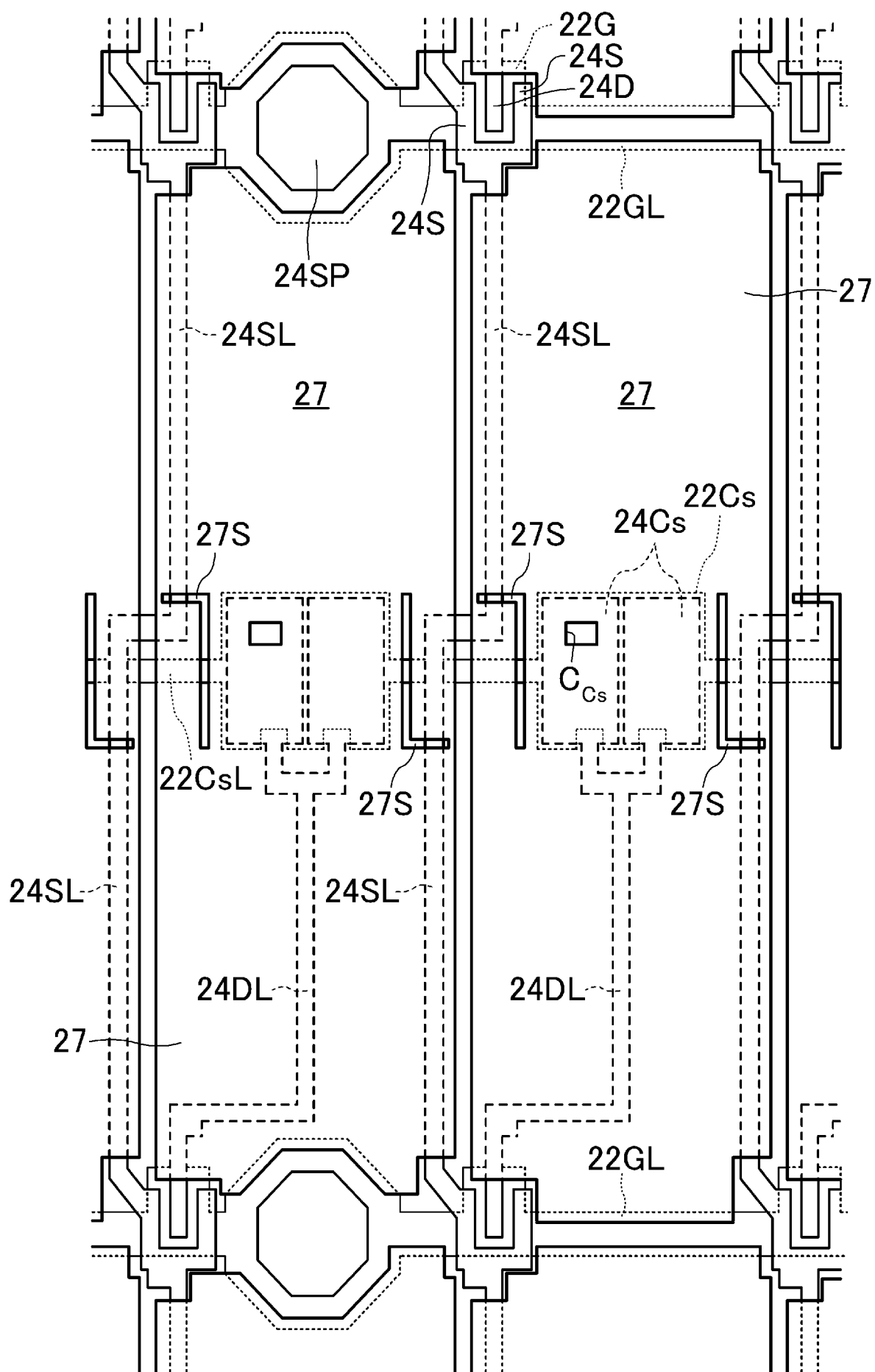
[図12]



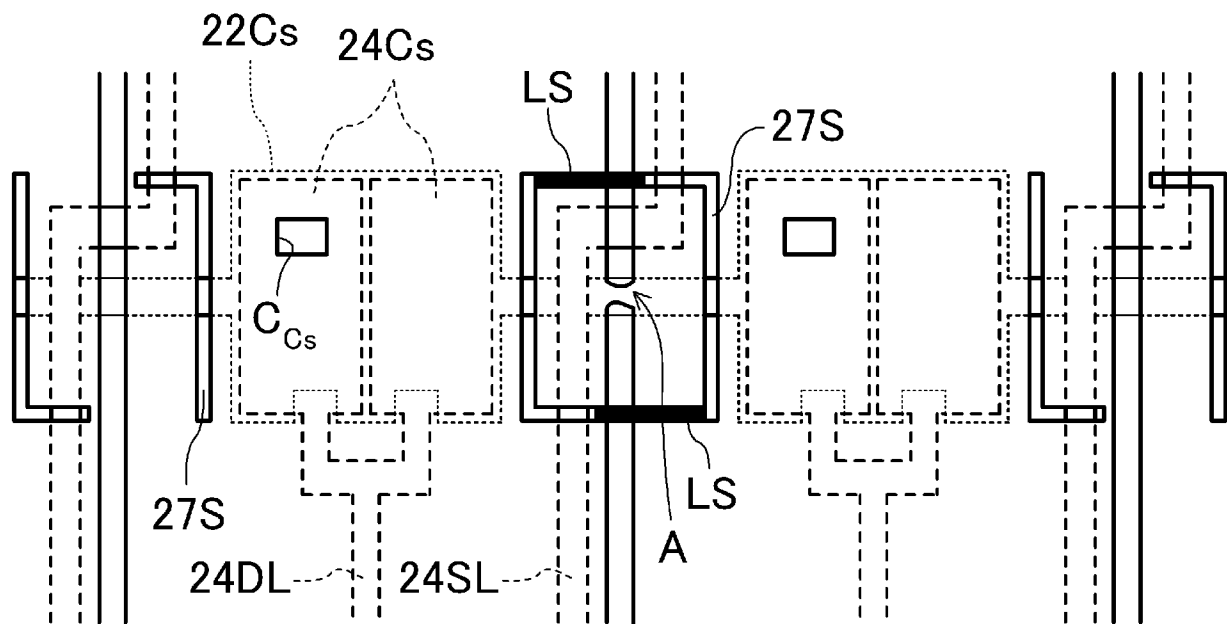
[図13]



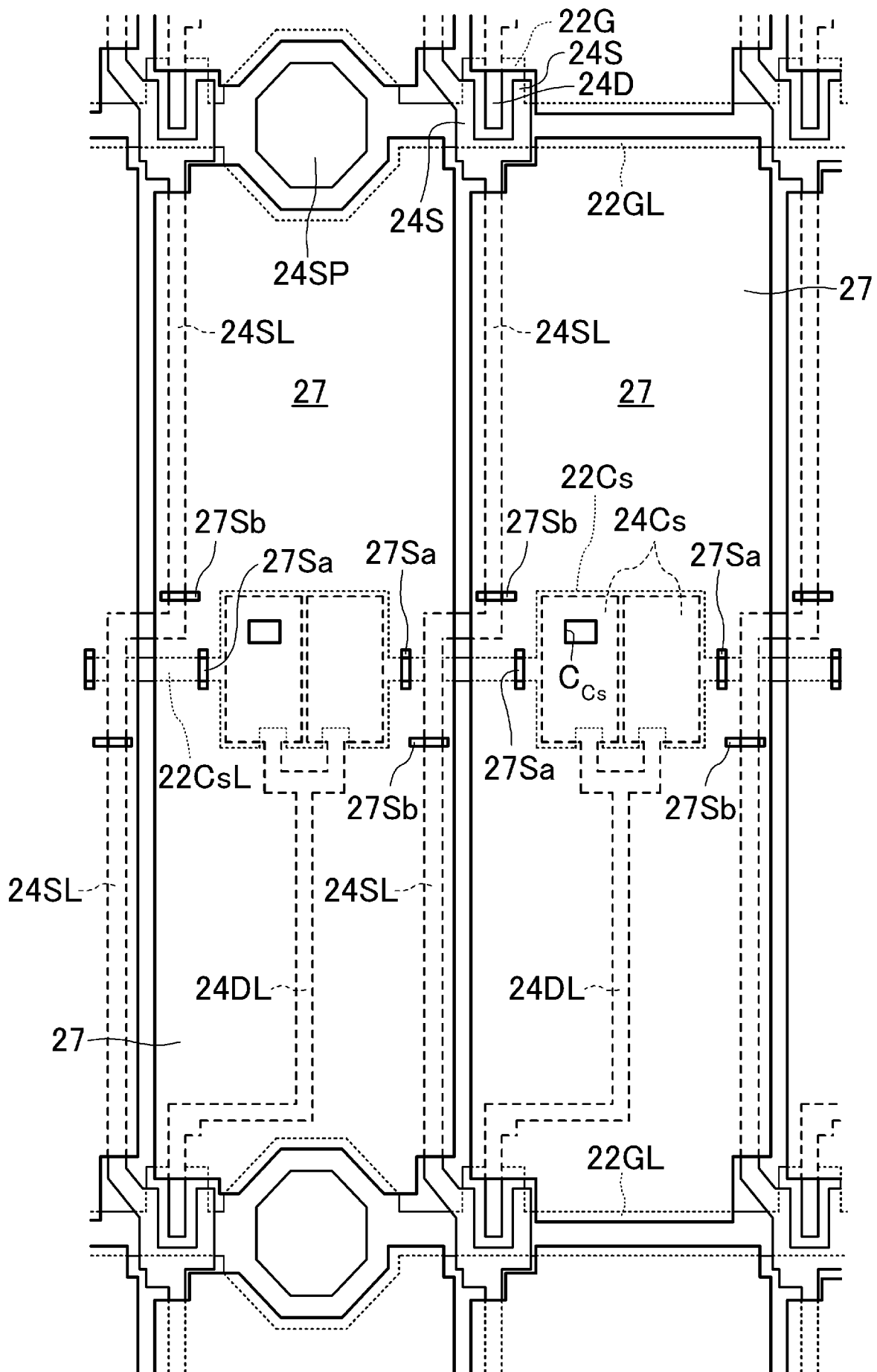
[図14]



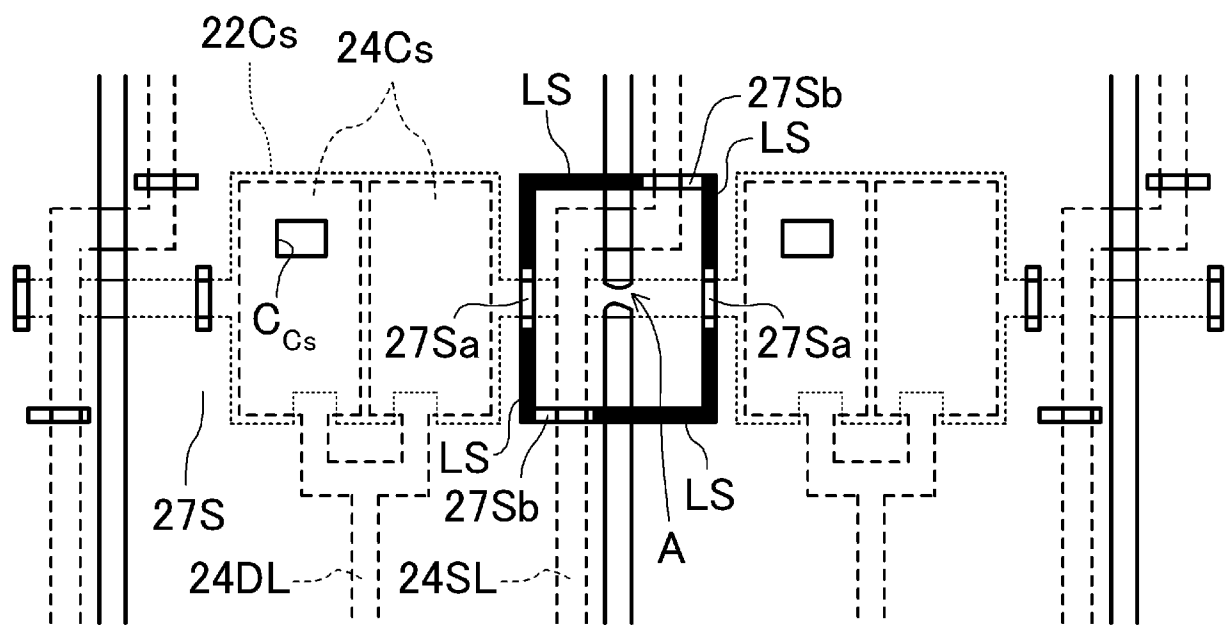
[図15]



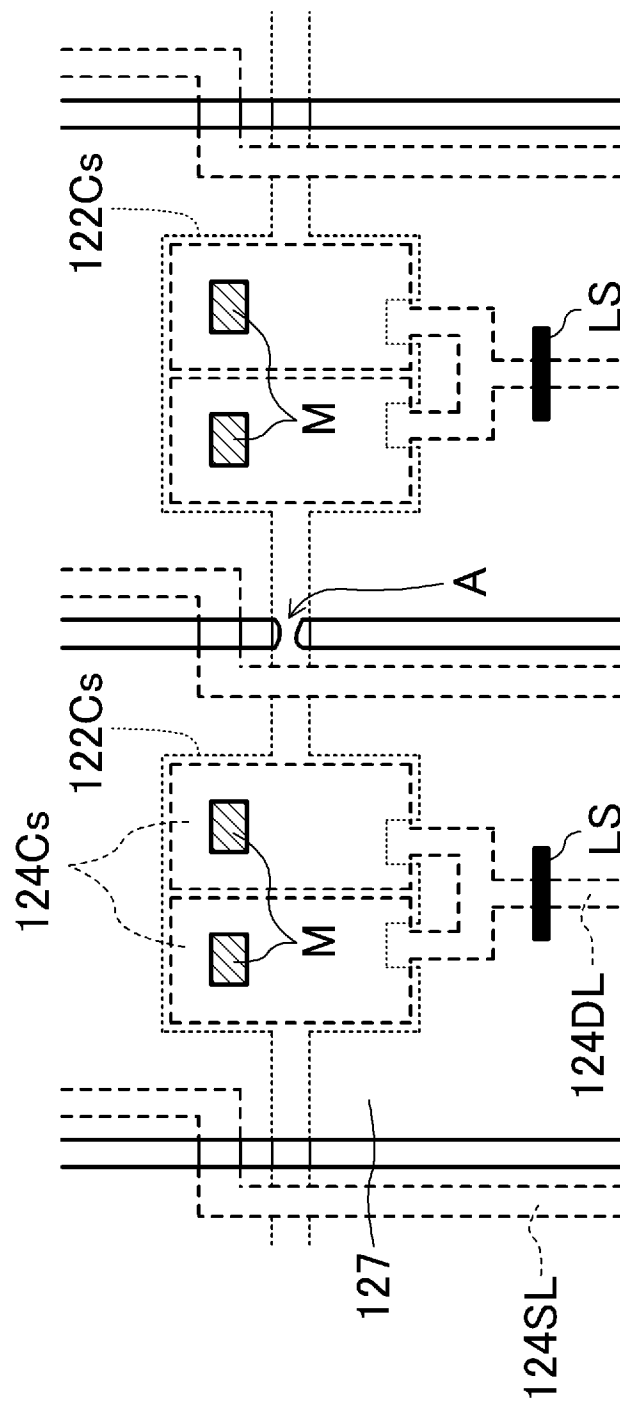
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001036

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-373894 A (Matsushita Electric Industrial Co., Ltd.), 26 December 2002 (26.12.2002), entire text (Family: none)	1-14
A	JP 2008-176107 A (Mitsubishi Electric Corp.), 31 July 2008 (31.07.2008), entire text (Family: none)	1-14
A	JP 2004-61689 A (Fujitsu Display Technologies Corp.), 26 February 2004 (26.02.2004), entire text (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 March, 2012 (05.03.12)Date of mailing of the international search report
13 March, 2012 (13.03.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001036

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-147649 A (Fujitsu Ltd.), 29 May 2001 (29.05.2001), entire text & US 6856374 B1 & TW 487895 B & KR 10-2001-0049823 A	1-14
A	JP 8-62634 A (Toshiba Corp.), 08 March 1996 (08.03.1996), entire text & US 5691786 A & KR 10-0184089 B	1-14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368 (2006.01)i, G09F9/00 (2006.01)i, G09F9/30 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-373894 A (松下電器産業株式会社) 2002. 12. 26, 全文 (ファミリーなし)	1-14
A	JP 2008-176107 A (三菱電機株式会社) 2008. 07. 31, 全文 (ファミリーなし)	1-14
A	JP 2004-61689 A (富士通ディスプレイテクノロジー株式会社) 2004. 02. 26, 全文 (ファミリーなし)	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.03.2012

国際調査報告の発送日

13.03.2012

国際調査機関の名称及びあて先

日本国特許庁 (I S A/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

高松 大

2 L

3310

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-147649 A (富士通株式会社) 2001.05.29, 全文 & US 6856374 B1 & TW 487895 B & KR 10-2001-0049823 A	1 — 14
A	JP 8-62634 A (株式会社東芝) 1996.03.08, 全文 & US 5691786 A & KR 10-0184089 B	1 — 14