CH 625 066 A5

(19) SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

(51) Int. Cl.³: G 06 F 11/00
G 06 F 9/22
G 06 F 1/04

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

ETH-BIBLIOTHEK ZÜRICH

(12) PATENTSCHRIFT A5

(11) 625 066

(21) Gesuchsnummer: 15640/77

(22) Anmeldungsdatum: 20.12.1977

(30) Priorität(en): 17.08.1977 DE 2737133

(24) Patent erteilt: 31.08.1981

(45) Patentschrift veröffentlicht: 31.08.1981

(73) Inhaber:
Siemens Aktiengesellschaft, Berlin und München, München 2 (DE)

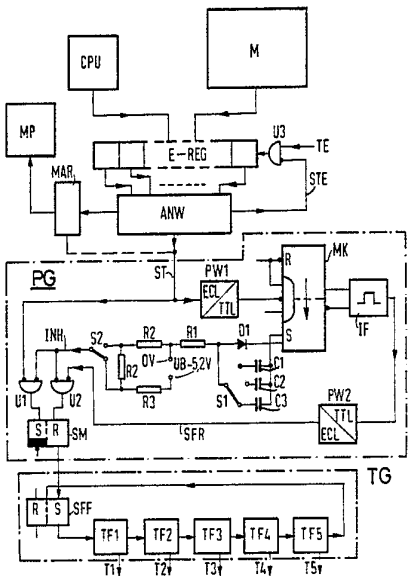
(72) Erfinder:
Dipl.-Ing. Rudolf Kern, München 19 (DE)

(74) Vertreter:
Siemens-Albis Aktiengesellschaft, Zürich

(54) Schaltungsanordnung zum Verhindern von Folgefehlern in einer Datenverarbeitungsanlage.

(57) Ein in einem Fehlerregister (E-REG) registrierter Fehler wird dazu in einem Analysenetzwerk (ANW) untersucht und dabei von diesem ein Startsignal (STE) für einen Pausengenerator (PG) erzeugt, durch dessen Ausgangssignale der Systemtaktgenerator (TG) der Datenverarbeitungsanlage vor einem bestimmten Systemtakt (T1) definiert angehalten und asynchron wieder gestartet wird. Mit dem Start bei einem bestimmten Systemtakt ist eine Fehlerroutine definiert zu starten, ohne dass Folgefehler auftreten können.

Die Schaltungsanordnung dient als Pausengenerator (PG) zum definierten Anhalten des Systemtaktgenerators (TG) vor einer Fehlerroutine und ist bei hardwaremässig oder per Mikroprogramm gesteuerten Fehlerroutinen verwendbar.



PATENTANSPRÜCHE

1. Schaltungsanordnung zum Verhindern von Folgefehlern in einer Datenverarbeitungsanlage, bei der das Auftreten von Einfachfehlern durch unterschiedliche Fehlersignale getrennt nach ihrer Art unterscheidbar ist und diese Fehlersignale dazu jeweils zugeordnete Bitstellen in einem Fehlerregister setzen, an das ein Analysenetzwerk angeschlossen ist, durch das der jeweilige Inhalt des Fehlerregisters überprüft und davon abhängig in eine Fehlerbehandlungsroutine verzweigt wird, die für den aufgetretenen Fehler spezifisch ist und durch die er zu korrigieren versucht wird, dadurch gekennzeichnet, dass zwischen das Analysenetzwerk (ANW) und einen nach dem Start-Stop-Prinzip arbeitenden Taktgenerator (TG) zum Erzeugen von Systemtakten (T1 bis T5) für die zentrale Steuerung der datenverarbeitenden Anlage ein Pausengenerator (PG) eingeschaltet ist, in dem im Fehlerfall mit einem vom Analysenetzwerk abgegebenen Startsignal (ST) ein als Stop-Merker (SM) ausgebildetes Flipflop gesetzt wird, dessen Ausgang an Start-Stop-Einrichtungen (SFF) des Taktgenerators angeschlossen ist und damit dessen Taktkette vor einem vorgegebenen, eine neue Elementaroperation des Mikroprogramms einleitenden Systemtakt (T1) anzuhalten gestattet, dass dieser Pausengenerator weiterhin eine monostabile Kippstufe (MK) enthält, die durch das Startsignal im Fehlerfall gesetzt wird, an deren Steuereingang (S) ein auf unterschiedliche Verzögerungszeiten umschaltbares RC-Netzwerk (R1, C1, C2, C3) angeschlossen ist und deren Ausgang über eine Impulsformerstufe (IF) zum Zuführen eines Startsignals (SFR) für eine Fehlerroutine mit dem Rücksetzeingang (R) des Stop-Merkers verbunden ist.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass das im Pausengenerator (PG) zum Einstellen einer veränderlichen Verzögerungszeit angeordnete RC-Netzwerk einen an dem Nullpotential einer Betriebsspannungsquelle (UB) liegenden ohmschen Widerstand (R1) aufweist, der über eine negativ vorgespannte Diode an einen der Steuereingänge (S) und über eine Schalteinrichtung (S1) an jeweils einen von mehreren, parallel mit einem zweiten Steuereingang der monostabilen Kippstufe (MK) verbundenen Kondensatoren (C1, C2, C3) unterschiedlicher Kapazität angeschlossen ist.

3. Schaltungsanordnung nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, dass der Pausengenerator (PG) mit einer Sperreinrichtung, bestehend aus zwei dem Setz- bzw. dem Rücksetzeingang (S bzw. R) des Stop-Merkers (SM) zugeordneten UND-Gliedern (U1 bzw. U2) ausgestattet ist, deren einer Eingang jeweils mit einer das Startsignal (ST bzw. SFR) für den Pausengenerator (PG) bzw. für eine Fehlerroutine führenden Steuerleitung und deren anderer Eingang zum gemeinsamen Zuführen eines Inhibit-Signals (INH) mit dem Ausgang einer weiteren Schalteinrichtung (S2) verbunden ist, deren wahlweise anschaltbare Eingangskontakte über einen weiteren Widerstand (R2) an Null-Potential bzw. über einen dritten Widerstand (R3) an negativem Betriebspotential der Betriebsspannungsquelle (UB) liegen.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, bei der zentrale Steuereinrichtungen der datenverarbeitenden Anlage in Emitter-gekoppelter Transistor-Logik (ECL)-Schaltungstechnik ausgeführt sind, dadurch gekennzeichnet, dass der Pausengenerator (PG) zum Anpassen von Pegeln der Emitter-gekoppelter Transistor-Logik (ECL)-Schaltungstechnik an Pegel einer Transistor-Transistor-Logik (TTL)-Schaltungstechnik mit zwei Pegelwandlerstufen (PW1 bzw. PW2) ausgestattet ist, die an die Eingangs- bzw. über die Impulsformerstufe (IF) an die Ausgangsseite der monostabilen Kippstufe (MK) angeschlossen sind.

Die Erfindung bezieht sich auf eine Schaltungsanordnung zum Verhindern von Folgefehlern in einer Datenverarbeitungsanlage gemäss dem Oberbegriff des Patentanspruchs 1.

Datenverarbeitungsanlagen sollen fehlerfreie Ergebnisse liefern. Sie sind aber komplexe technische Gebilde, die programmgesteuert arbeiten, für die also eine Vielzahl von Fehlerursachen denkbar ist. Ohne hier alle möglichen Fehlerursachen im einzelnen untersuchen zu wollen, seien wenigstens grundsätzlich zwei Gruppen angedeutet: Fehler können sowohl im Programm als auch im Aufbau der Datenverarbeitungsanlage, also ihrer Hardware, begründet sein. Bei letzteren ist der endgültige Ausfall eines Bauelementes noch der einfachere Fall, weil die Fehlerursache oft leichter feststellbar ist. Besonders unangenehm sind jedoch sporadische Fehler, die scheinbar ohne erkennbare Ursache auftreten, aber auch wieder verschwinden. Sie werden häufig durch das an sich seltene Zusammentreffen mehrerer, für sich betrachtet noch unkritischer Ursachen ausgelöst.

Da der Betrieb von Datenverarbeitungsanlagen also nicht völlig störungsfrei abzuwickeln ist, müssen wenigstens Vorkehrungen getroffen werden, um Fehler festzustellen, zu prüfen, und sofern möglich, zu korrigieren. So sollen fehlerfrei Ergebnisse sichergestellt oder doch wenigstens die Ausgabe falscher Ergebnisse vermieden werden, was bedeutet, dass die weitere Verarbeitung eines Programms abgebrochen werden muss, falls ein festgestellter Fehler nicht automatisch korrigierbar ist. Es ist daher bereits eine Vielzahl von Versuchen bekannt, dieses Ziel zu erreichen.

So ist aus der US-Patentschrift 3 548 177 eine Einrichtung bekannt, mit der das Arbeiten einer Datenverarbeitungsanlage auf kritische Zustände überwacht wird, bei denen eine bestimmte Wahrscheinlichkeit zukünftig zu erwartender Fehler vorliegt. Als Kriterium für eine bestimmte Fehlerwahrscheinlichkeit wird ein Störpegel in einer mikroprogrammierten Steuereinrichtung herangezogen. Er wird ausgewertet und der Verarbeitungszyklus dann angehalten, wenn dieses Signal eine festgelegte Grösse überschreitet. Ein solcher Wartezustand dauert so lange, bis der kritische Funktionszustand beendet ist. Danach setzt die datenverarbeitende Einrichtung den Normalbetrieb an dem Punkt fort, an dem sie angehalten worden war. Die Verzögerung der Verarbeitungszyklen wird durch das Blockieren einer Anzahl zentraler Taktimpulse erreicht, so behalten getaktete Einrichtungen der Steuer- oder auch der Verarbeitungseinheit der datenverarbeitenden Anlage ihren Funktionszustand, insbesondere sollen auch Registerinhalte nicht geändert werden. Darüber hinaus sind Einrichtungen zum erneuten Synchronisieren von Speichereinrichtungen mit dem Zentralprozessor der datenverarbeitenden Anlage beim Wiederanlauf vorgesehen.

Das Prinzip dieser Fehlerüberwachung besteht darin, einen laufenden Maschinenzyklus nicht zu unterbrechen, sondern ihn um eine Wartezeit zu verlängern, unter der Annahme, dass sich der kritische Funktionszustand der datenverarbeitenden Anlage innerhalb dieser Wartezeit von selbst auflöst. Dadurch soll das Auftreten eines echten Fehlers von vornherein vermieden werden, der zu einer Fehlerbehandlung und damit einer Unterbrechung des normalen Verarbeitungszustandes der datenverarbeitenden Anlage führen müsste.

Auf ähnlichen Überlegungen beruht eine aus der US-Patentschrift 3 548 178 bekannte Einrichtung. Auch hier wird der Systemtakt der Steuereinrichtung blockiert, falls im laufenden Zyklus aus einem Störpegel eine gewisse Wahrscheinlichkeit für das Auftreten eines Fehlers in den Steuersignalen der mikroprogrammierten Steuereinrichtung zu schliessen ist. Hier wird nun darüber hinaus ein zweiter Taktgeber während solcher Unterbrechungen der Systemtakte aktiviert, mit deren Hilfe es möglich ist, solche getakteten Steuerschritte der mikroprogrammierten Steuereinrichtung und anderer Einrichtungen der Datenver-

arbeitungsanlage fortzusetzen, für die eine ununterbrochene Fortführung trotzdem erwünscht ist.

Diese bekannten Einrichtungen beschränken sich auf die Überwachung einer kleinen Gruppe möglicher Fehler, die beim Auslesen von Mikrobefehlsworten aus dem Mikroprogrammspeicher der Steuereinheit auftreten können. Darüber hinaus besteht die weitere Schwierigkeit, den kritischen Schwellenwert für den Störpegel so festzulegen, dass einerseits eine mögliche Fehlerursache eindeutig ausgeschaltet ist, andererseits aber Elementaroperationen nicht unnötig häufig durch Blockieren des Systemtaktgenerators beliebig verlängert werden, bis ein scheinbar unkritischer Funktionszustand in der Steuereinrichtung wieder erreicht ist. Dies könnte zu einer erheblichen Verminderung der Verarbeitungsleistung der datenverarbeitenden Anlage insgesamt führen, wenn man diese Einrichtung nach der sicheren Seite hin auslegt. Zum anderen hat aber dieses Konzept den Nachteil, dass eine gewisse Häufung solcher Fehlerursachen nicht unmittelbar feststellbar ist, weil ein Auftreten eines Fehlers von vornherein ausgeschaltet werden soll und damit eine dokumentierbare oder anzeigbare Fehlerroutine gar nicht erst erfolgt.

Weiterhin ist aus der deutschen Auslegeschrift 23 24 906 eine Datenverarbeitungsanlage mit einer Steuervorrichtung bekannt, die beim Auftreten eines durch einen Fehlerdetektor erkannten Fehlers in einen bereits durchlaufenen Zustand zurücksetzbar ist und durch ein Wiederanlaufsignal von diesem Zustand aus wieder anlaufen kann.

Mit diesem Wiederanlaufsignal wird in der Steuereinheit ein Zwischensignal erzeugt, das den zentralen Taktgeber dazu veranlasst, während eines bestimmten Zeitraumes Taktimpulse geringerer Pulsfrequenz abzugeben. Dadurch soll erreicht werden, dass ein vorher zu einem Fehler führender Ablauf von Steuerschritten langsamer und fehlerfrei wiederholt wird. Ein derartiges Prinzip kann für die Behandlung mancher sporadischer Fehler dann sicherlich zum Erfolg führen, wenn die entsprechende Fehlerursache nur kurzzeitig wirksam ist. Im praktischen Betrieb einer Datenverarbeitungsanlage tritt jedoch durchaus auch der Fall ein, dass solche sporadisch auftauchenden Fehler langlebiger sind, d.h. die Fehlerursache für einen Zeitraum aufrechterhalten wird, der sich über mehr als eine Elementaroperation der mikroprogrammierten Steuereinheit erstreckt. Dann ist das Problem, vor allem die Ausbreitung der Ursachen und Auswirkungen eines aufgetretenen Fehlers zu verhindern, nicht gelöst.

Die sich bei der Fehlerbehandlung aus dem bekannten Stand der Technik ergebende Problematik sei nachfolgend nochmals zusammengefasst: Es besteht grundsätzlich keine Möglichkeit, alle Fehlerursachen mit vertretbarem Aufwand und bei einer hohen durchschnittlichen Verarbeitungsleistung vollkommen auszuschalten. Mit Fehlern ist daher zu rechnen und sie müssen, soweit möglich, korrigiert werden. Dies ist mit hardwarenmässigen Schaltungseinrichtungen, durch die mikroprogrammierte Steuereinheit während der Verarbeitung eines Maschinenbefehls und schliesslich durch ausgedehnte Maschinenfehlerroutinen möglich.

Im Normalfall erfordert die schrittweise erweiterte Routine für eine Fehlerbehandlung bei einem nicht korrigierten Hardwarefehler demnach folgende Reaktionen: Die Tatsache, dass ein bestimmter Fehler aufgetreten ist, wird protokolliert, d.h. z.B. durch Setzen einer Bitstelle in einem Fehlerregister festgehalten. Dazu gehört auch, dass dieses Register danach gegen die Übernahme neuer Fehler gesperrt wird. Per Schaltungsanordnung oder Mikroprogramm, also durch die Steuereinheit der datenverarbeitenden Anlage, kann daraufhin die Fehlerursache analysiert und die erforderliche Reaktion auf den Fehler bestimmt werden. Dazu gehört, die Fehlerinformation sicherzustellen und danach das Fehlerregister für die Übernahme weiterer Fehlerereignisse freizugeben. Der Fehler wird analysiert und, sofern möglich, der Befehlszähler zurückgerechnet, so dass eine Wiederholung des betroffenen Maschinenbefehls auf Hardware- und Mikroprogrammebene erfolgen kann. Abhängig vom Ergebnis einer derartigen Befehlswiederholung und der Fehlerreaktionsmodus ist entweder eine Fortsetzung der Befehlsausführung möglich, oder es muss per Programmunterbrechung in einen Funktionszustand der datenverarbeitenden Anlage übergegangen werden, in dem der im normalen Funktionszustand der Anlage nicht behebbare Fehler weiter behandelt wird.

Tritt nun in der Zeit zwischen der Freigabe des Fehlerregisters und dem Beginn einer Maschinenbefehlswiederholung erneut ein Hardwarefehler auf, so muss die datenverarbeitende Anlage angehalten werden, da eine einwandfreie Weiterverarbeitung und Fehlerbehandlung nicht gewährleistet ist. Dies gilt auch dann, wenn während der Fehlerbehandlung per Software, also im genannten Fehler-Funktionszustand ein Hardwarefehler auftritt, der durch hardwaremässige Massnahmen unmittelbar nicht korrigierbar ist. Das Anhalten der datenverarbeitenden Anlage wegen eines derartigen Fehlers bedeutet dann den Zusammenbruch des Systems und sollte daher möglichst vermieden werden.

Jedoch müssen nicht alle auftretenden Doppelfehler, wenn man sich ihre Ursache betrachtet, zwangsläufig zu einem Systemstop führen. Doppelfehler können auf Fehlern beruhen, die durch den endgültigen Ausfall eines Bauelementes hervorgerufen werden und sich daher unter gleichen Bedingungen ständig wiederholen. Doppelfehler können aber auch zurückzuführen sein auf langlebige sporadische Fehler, deren Ursachen sich über mehrere Elementaroperationen des Mikroprogramms hinweg auswirken und die deshalb nach einer ersten Fehlermeldung in einer späteren Elementaroperation zu einer erneuten Fehlermeldung führen. Schliesslich können Doppelfehler auch als Folgefehler entstehen, bei denen eine einmalige kurze Störung den Zustand der datenverarbeitenden Anlage derart beeinflusst oder sich so in der Hardware ausbreitet, dass in der Folge weitere Fehlermeldungen auftreten. Dies ist z.B. auch der Fall, wenn nach Abschluss einer fehlerhaft verlaufenen Elementaroperation ein Register Informationen mit falscher Parität enthält.

Die obengenannten «festen» Fehler können nur durch Austausch der gestörten Bauteile beseitigt werden, die übrigen Fehler bleiben jedoch beherrschbar, d.h. müssen nicht unbedingt zu einem Systemstop führen, wenn die Ausbreitung und Auswirkung einer einen ersten Fehler verursachenden Fehlerursache verhindert werden kann.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Art derart auszubilden, dass eine durch das Auftreten eines Einfachfehlers ausgelöste Fehlerbehandlung, insbesondere auch eine Wiederholung vorangegangener Arbeitsschritte vorgenommen werden kann, ohne dass die dem Einfachfehler zugrundeliegende Fehlerursache in der Lage ist, durch Folgefehler Doppelfehler hervorzurufen.

Für die Lösung dieser Aufgabe wird davon ausgegangen, dass aus der deutschen Auslegeschrift 26 19 445 ein Taktgenerator zum Erzeugen des Systemtakts einer datenverarbeitenden Anlage bekannt ist, dessen erzeugte Taktkette mehrfach unterbrechbar ist und asynchron wieder zu starten ist. Der Taktgenerator weist dazu ein über ein Laufzeitglied zurückgekoppeltes und mit über einen Polarisator zugeführten Stopbedingungen zu sperrendes UND-Glied auf, das ein D-Flipflop taktet. Mit dessen Ausgangssignalen werden wechselseitig weitere D-Flipflops eines ringförmig geschlossenen Takt-Schieberegisters getaktet, deren D-Eingängen teilweise, gesteuert durch vorangehende Stop-Stignale wahlweise Taktschiebeimpulse oder Start-Signale zuführbar sind. Wird ein derartiger Taktgenerator zum Erzeugen des Systemtaktes in einer mikroprogrammierten Steuereinheit des Systemtaktes in einer mikroprogrammierten Steuerein-

heit einer datenverarbeitenden Anlage eingesetzt, so hat man es *in der Hand*, den Systemtakt zu genau definierten Zeitpunkten zu unterbrechen und asynchron wieder zu starten. Mit Hilfe eines derartigen Taktgenerators wird die oben beschriebene Aufgabe der Erfindung gemäss den im Kennzeichen des Patentanspruches 1 beschriebenen Merkmalen gelöst.

Folgende Fehlerbehandlung ist damit möglich: Nach dem Erkennen eines nicht korrigierbaren Hardwarefehlers wird der zentrale Taktgenerator angehalten und damit die Verarbeitungseinrichtung der datenverarbeitenden Anlage in einen Wartezustand versetzt. Parallel dazu wird der Pausengenerator gestartet, der nach Ablauf einer durch das umschaltbare RC-Netzwerk einstellbaren, jedoch definierten Pausenzeit von beispielsweise 100 ms ein Startsignal erzeugt, das den Taktgenerator wieder anlaufen lässt. Während dieser Pausenzeit erhalten die Register und Steuer-Flipflops der Verarbeitungs- bzw. der Steuereinheit der datenverarbeitenden Anlage keine Taktimpulse mehr. Störungen können sich daher nicht weiter ausbreiten und die Signalzustände in den betroffenen Logikkomplexen und auf Signalleitungen haben genügend Zeit, sich zu stabilisieren, d.h. auf definierte Logikpegel einzuschwingen.

Das Anhalten des zentralen Taktgenerators erfolgt innerhalb der Taktkette immer vor einem bestimmten Systemtakt, so dass damit ein definierter Ausgangszustand eingestellt ist. Dadurch lässt sich vermeiden, dass beispielsweise ein Register, das durch den festgestellten Einfachfehler mit falscher Parität geladen wurde, während einer folgenden Maschinenfehlerroutine eine weitere Fehlermeldung herbeiführt. Denn man hat es auf diese Weise in der Hand, alle für diese Maschinenfehlerbehandlung benötigten Arbeitsregister zu Beginn dieser Routine definiert auf Null zu setzen. Die Fehlerroutinen werden dadurch also auch wesentlich vereinfacht.

In Verbindung mit einem derartigen Taktgenerator lässt sich auch der Pausengenerator auf eine einfache Weise schaltungstechnisch realisieren, unabhängig davon, welche Schaltkreistechnik zum Aufbau der Steuereinheit der datenverarbeitenden Anlage verwendet wird. Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen gekennzeichnet und werden in einer nachfolgenden Beschreibung eines Ausführungsbeispieles der Erfindung näher erläutert.

Das Ausführungsbeispiel der Erfindung ist in einer einzigen Figur zeichnerisch dargestellt. Diese zeigt ein Übersichtsschaltbild einer datenverarbeitenden Anlage mit Einrichtungen zur Fehlerbehandlung, soweit sie für die im vorliegenden Fall zu beschreibenden Funktionen wichtig sind.

So ist jeweils ein Funktionsblock für einen Zentralprozessor CPU und für einen Hauptspeicher M, der auch als Speichersystem ausgebildet sein kann, angegeben. In beiden Einheiten der datenverarbeitenden Anlage können Fehlerursachen auftreten, die dort z.B. auch bereits durch örtlich vorgesehene schaltungstechnische Einrichtungen zur Fehlerfeststellung und -lokalisierung ermittelt werden und bestimmte Fehlersignale hervorrufen. Durch diese Fehlersignale werden jeweils zugeordnete Bitstellen in einem an den Zentralprozessor und den Hauptspeicher angeschlossenen Fehlerregister E-REG gesetzt. Dessen Ausgänge sind parallel mit einem Analysenetzwerk ANW verbunden, das in Abhängigkeit vom aufgetretenen, durch eine bestimmte Bitstelle im Fehlerregister signalisierten Fehler und einem sich daraus ergebenden Fehlerreaktionsmodus die erforderliche Fehlerbehandlung durch schaltungstechnische Massnahmen und/oder auch das Mikroprogramm der Steuereinheit der datenverarbeitenden Anlage einleitet. In den hier betrachteten Fällen gehört dazu beispielsweise auch das kurzzeitige Blockieren des Fehlerregisters E-REG, um die Fehlerinformation zu konservieren. Hier wird dies durch ein mit seinem Ausgang an das Fehlerregister angeschlossenes UND-Glied U3 erreicht, dessen Eingängen ein von einem der noch näher zu erläuternden Systemtakte abgeleitetes Fehlerregister-Taktsignal TE und ein vom Analysenetzwerk ANW abgegebenes Sperrsignal STE zum Blockieren des Fehlerregisters zugeführt wird. Durch die UND-Verknüpfung dieser beiden Signale bleibt das Fehlerregister E-REG für die Eingabe neuer Fehlermeldungen blockiert, solange dieses Sperrsignal nicht zurückgenommen wird.

Das Analysenetzwerk ANW ist hier nicht detaillierter dargestellt, das die eigentliche Fehlerbehandlung, die aus den unterschiedlichen Fehlerursachen resultiert, im vorliegenden Fall nicht von Bedeutung ist. Wesentlich ist hier nur, dass das Analysenetzwerk in den hier behandelten Fällen von Fehlerursachen einen Pausengenerator PG durch ein Startsignal ST aktiviert. Weiterhin ist am Ausgang dieses Pausengenerators ein Flipflop angeordnet, das hinfort als Stop-Merker SM bezeichnet wird. Ein Ausgang dieses Stop-Merkers ist mit einem zentralen Taktgenerator TG verbunden, der, wie hier schematisch angegeben, aus D-Flipflops TF1 bis TF5 eines ringförmig geschlossenen Takt-Schieberegisters aufgebaut ist. Da ein derartiger Taktgenerator an sich als bekannt vorausgesetzt werden kann, ist in dieser schematischen Darstellung der eigentliche Oszillator und die notwendige Start-Stop-Logik nicht bzw. nur andeutungsweise dargestellt. Dass der Taktgenerator TG vor einem der von den Taktflipflops TF1 bis TF5 abgegebenen Systemtakte T1 bis T5 angehalten werden kann, ist hier durch ein dem ersten Taktflipflop TF1 vorgeschaltetes Stopflipflop SFF angedeutet. Diesem wird das Ausgangssignal des Stop-Merkers SM des Pausengenerators PG zugeführt und dadurch verhindert, dass der vom letzten Taktflipflop TF5 abgegebene Schiebeimpuls auf das erste Taktflipflop TF1 des Taktgenerators durchgeschaltet wird. Das Ausgangssignal des Stop-Merkers SM bewirkt daher, dass der Taktgenerator TG über seine Start-Stop-Logik zum nächstmöglichen Zeitpunkt, hier vor der Abgabe des ersten Systemtaktes T1, der eine neue Elementaroperation des Mikroprogramms einleitet, für einen bestimmten Zeitraum angehalten wird.

Um dies zu erreichen, wird das Startsignal ST im Pausengenerator PG dem Setzeingang des Stop-Merkers SM über ein weiteres UND-Glied U1 zugeführt. An den zweiten Eingang dieses UND-Gliedes wird ein Inhibit-Signal INH angelegt, dessen Bedeutung noch erläutert wird. Zunächst sei nur erläutert, dass das Startsignal ST im Fehlerfall und das Inhibit-Signal INH normalerweise gleiche Logikpegel besitzen und damit auch der Stop-Merker SM durch das Startsignal ST im Fehlerfall gesetzt wird, d.h. dann auch den Taktgenerator TG anhält.

Der Pausengenerator soll nun die Wirkung des Startsignals ST nur für einen bestimmten Zeitraum aufrecht erhalten. Er enthält daher eine Einrichtung zum verzögerten Zurücksetzen des Stop-Merkers SM.

Für das vorliegende Ausführungsbeispiel ist vorausgesetzt, dass die mikroprogrammierte Steuereinheit der Datenverarbeitungsanlage in den hier wesentlichen Teilen beispielsweise in ECL-Schaltkreistechnik aufgebaut ist. Für den Pausengenerator PG sind jedoch nicht alle notwendigen Bauelemente in ECL-Technik handelsüblich verfügbar, daher wird dieser mit Bauelementen in TTL-Schaltkreistechnik aufgebaut. Aus diesem Grund wird das Startsignal ST über eine erste Pegelwandlerstufe PW1 der dynamischen Eingangsstufe einer monostabilen Kippstufe MK zugeführt. Diese Kippstufe soll nach einer bestimmten Verzögerungszeit ein Ausgangssignal erzeugen, d.h. stellt also den Oszillator des Pausengenerators PG dar.

Den Steuereingängen S der Kippstufe MK ist dazu ein umschaltbares RC-Netzwerk zugeordnet. Dieses weist einen mit dem OV-Pegel einer Betriebsspannungsquelle UB verbundenen ohmschen Widerstand R1 auf, der über eine negativ vorgespannte Diode D1 unmittelbar und über einen von drei Kondensatoren C1, C2, C3 die durch eine erste Schalteinrichtung S1 wahlweise mit dem Widerstand in Reihe geschaltet werden, an

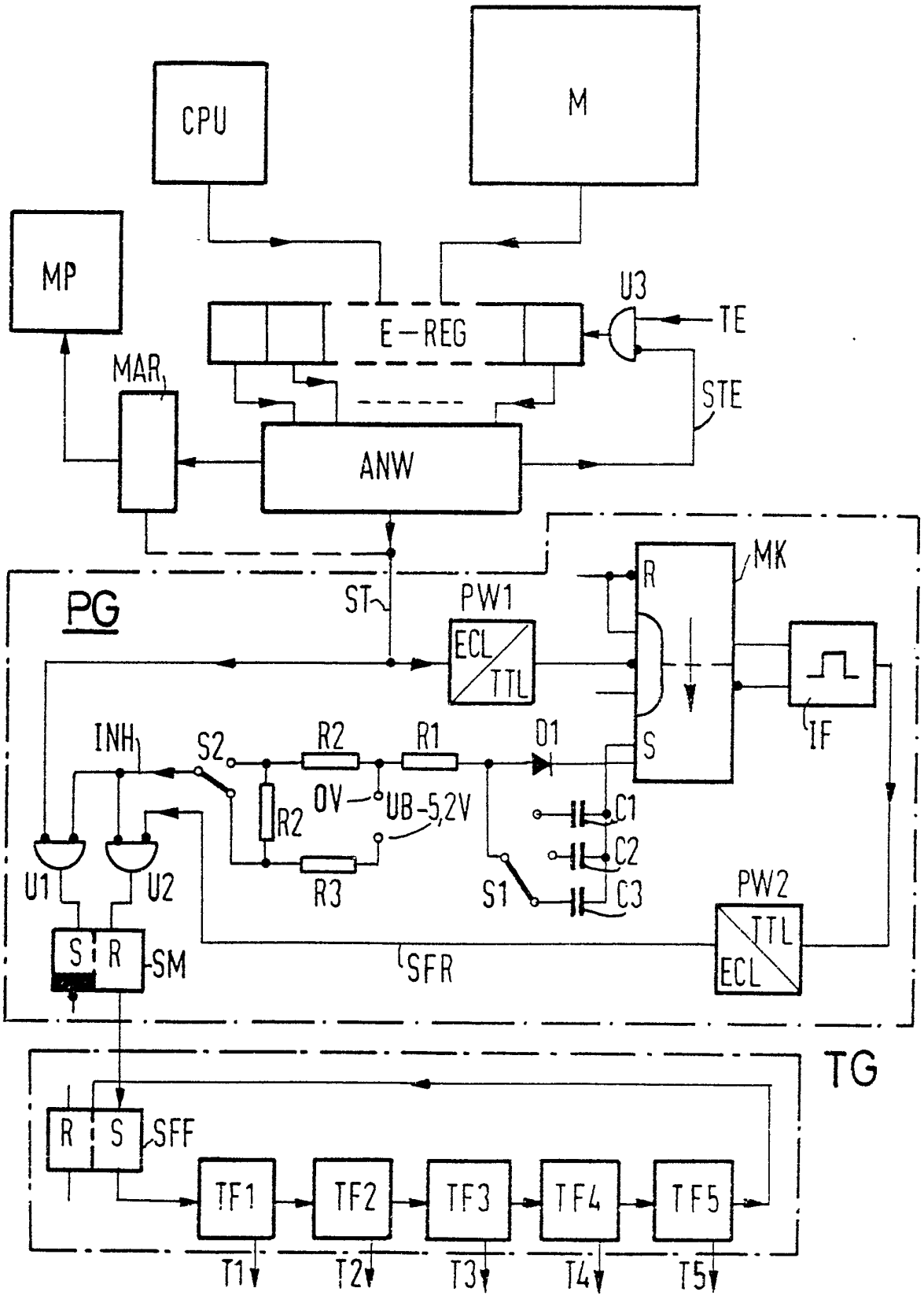
die Steuereingänge S der monostabilen Kippstufe MK angeschlossen ist.

Dieses RC-Netzwerk ist durch die Schalteinrichtung S1 auf verschiedene Verzögerungszeiten umschaltbar, die dann die Verzögerung des Ausgangssignales der monostabilen Kippstufe MK festlegen. Dieses Ausgangssignal wird über eine Impulsformerstufe IF in ein Startsignal SFR für eine Fehlerroutine mit einer bestimmten Impulsbreite umgeformt, das in einer zweiten Pegelwandlerstufe PW2 in einen ECL-Pegel umgesetzt und einem Eingang eines weiteren UND-Gliedes UG2 zugeführt wird, das dem Rücksetzeingang R des Stop-Merkers SM zugeordnet ist. Einem zweiten Eingang dieses UND-Gliedes U2 wird ebenfalls das genannte Inhibit-Signal INH angeboten.

Dieses Inhibit-Signal ist das Ausgangssignal einer weiteren Schalteinrichtung S2, deren wahlweise betätigbare Eingangskontakte an einem aus drei weiteren ohmschen Widerständen R2, R2, R3 gebildeten Spannungsteiler angeschlossen sind. Damit wird deutlich, dass mit dieser Schalteinrichtung S1 bzw. das den beiden UND-Gliedern U1 bzw. U2 zugeführte Inhibit-Signal INH der Stop-Merker unabhängig von der im RC-Netzwerk eingestellten Verzögerungszeit blockiert ist, d.h. in einem solchen Fall das vom Analysenetzwerk ANW abgegebene Startsignal ST keine Auswirkung auf die Funktion des Taktgenerators TG hat.

Abgesehen von diesem z.B. bei Wartungsarbeiten eingestellten Spezialfall, hat die geschilderte Anordnung folgende Wirkungsweise: Ein im Fehlerregister E-REG protokolliertes Fehlerereignis wird im Analysenetzwerk ANW analysiert und dabei eine bestimmte Fehlerroutine ermittelt, die z.B. mikroprogrammgesteuert abläuft. Dies ist in der Zeichnung dadurch angedeutet, dass durch das Analysenetzwerk ANW ein Adressregister MAR eines Mikroprogrammspeichers MP der Steuereinheit der datenverarbeitenden Anlage geladen wird. Die Übernahme dieser Anfangsadresse für ein die Maschinenfehlerroutine steuerndes Mikroprogramm wird, wie durch eine unterbrochene Linie dargestellt, ebenfalls durch das Startsignal ST ausgelöst. Da das Startsignal über den Stop-Merker SM den zentralen Taktgenerator TG vor dem ersten Systemtakt T1 anhält, ist hiermit sichergestellt, dass die Verarbeitung beim Wiederanlauf des Taktgenerators mit der ersten Elementaroperation dieses Mikroprogramms beginnt.

Das Startsignal ST wirkt sich daneben auch auf die dynamische Eingangsstufe der monostabilen Kippstufe MK aus, so dass diese kippt, sobald an ihrem Steuereingang das durch das RC-Netzwerk erzeugte verzögerte Steuersignal auftritt. Mit dem umgeformten und umgewandelten Ausgangssignal der monostabilen Kippstufe, dem Startsignal SFR für Fehlerroutinen, wird der Stop-Merker SM zurückgesetzt, so dass der Taktgenerator TG nach einer definierten Verzögerungszeit mit einem definierten Systemtakt T1 wieder anläuft. Innerhalb einer derartigen Fehlerroutine liesse sich mit diesem Takt dann auch das definierte Rücksetzen all der Register bzw. der Steuerflipflops koppeln, die aufgrund der aufgetretenen Fehlerursache ebenfalls fehlerhafte Signalzustände aufweisen könnten. Vielfach wird dieses Rückversetzen aber auch erst durch ein kurzes, definiert gestartetes Mikroprogramm eingeleitet. So ist auf einfache Weise jeder Fehlerursache, die ein bestimmtes Mikroprogramm zur Behandlung des aufgetretenen Fehlers zur Folge hat, ein definierter Anfangszustand zuzuordnen, mit dem sich auch Auswirkungen langlebiger sporadischer Fehler oder Folgefehler mit Sicherheit ausschalten lassen.


CPU
M
MP
U3
TE
E—REG
MAR
STE
ANW
PG
ST
PW1
ECL
TTL
R
MK
S
IF
INH
S2
R2
R1
D1
OV
UB-5,2V
C1
C2
C3
U1
U2
R3
S1
PW2
TTL
ECL
S
R
SM
SFR
TG
R
S
SFF
TF1
TF2
TF3
TF4
TF5
T1
T2
T3
T4
T5