【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成19年11月29日(2007.11.29)

【公開番号】特開2006-120911(P2006-120911A)
【公開日】平成18年5月11日(2006.5.11)
【年通号数】公開・登録公報2006-018
【出願番号】特願2004-308029(P2004-308029)
【国際特許分類】
Ｈ０１Ｌ　21/8244　(2006.01)
Ｈ０１Ｌ　27/11　(2006.01)
Ｈ０１Ｌ　21/28　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/10　３８１
Ｈ０１Ｌ　21/28　Ｌ

【手続補正書】
【提出日】平成19年10月15日(2007.10.15)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
半導体支持基板と埋め込み絶縁膜とＳＯＩ層とが、当該順に積層された構造を有するＳＯＩ基板と、
前記ＳＯＩ層の表面内に形成される活性領域と、
前記活性領域に接する一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第一の絶縁膜と、
前記一方の側に対向する、前記活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、第二の絶縁膜と、
平面視において、前記活性領域の中心より前記第一の絶縁膜が存する側の前記活性領域上に配設される、導電体とを、備えている、
ことを特徴とする半導体装置。
【請求項２】
前記導電体は、
前記活性領域の上面部および前記一方の側に、接続する、
ことを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記活性領域の前記一方の側から前記他方の側までの幅は、前記導電体の径の２倍以下である、
ことを特徴とする請求項１または請求項２に記載の半導体装置。
【請求項４】
半導体支持基板と埋め込み絶縁膜とＳＯＩ層とが、当該順に積層された構造を有するＳＯＩ基板と、
前記ＳＯＩ層の表面内に形成される第一の活性領域を有する、前記ＳＯＩ層に形成されるアクセストランジスタと、
前記第一の活性領域に接する一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第一の絶縁膜と、

前記一方の側に対向する、前記第一の活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、第二の絶縁膜と、
平面視において、前記第一の活性領域の中心より前記第一の絶縁膜が存する側の前記第一の活性領域上に配設される第一の導電体とを、備えている、
ことを特徴とするＳＲＡＭ。
【請求項５】
前記ＳＯＩ層の表面内に形成される第二の活性領域を有する、前記ＳＯＩ層に形成される第一のロードトランジスタと、
前記第二の活性領域の一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第三の絶縁膜と、
前記一方の側に対向する、前記第二の活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、第四の絶縁膜と、
平面視において、前記第二の活性領域の中心より前記第三の絶縁膜が存する側の前記第二の活性領域上に配設される第二の導電体とを、さらに備えている、
ことを特徴とする請求項４に記載のＳＲＡＭ。
【請求項６】
前記第二の導電体は、
前記第二の活性領域の上面部および前記一方の側に、接続する、
ことを特徴とする請求項５に記載のＳＲＡＭ。
【請求項７】
前記ＳＯＩ層の表面内に形成される第三の活性領域を有する、前記ＳＯＩ層に形成される第二のロードトランジスタと、
前記第三の活性領域の一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、前記第一の絶縁膜と、
前記一方の側に対向する、前記第二の活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、前記第四の絶縁膜と、
平面視において、前記第三の活性領域の中心より前記第一の絶縁膜が存する側の前記第三の活性領域上に配設される第三の導電体とを、さらに備えている、
ことを特徴とする請求項６に記載のＳＲＡＭ。
【請求項８】
前記第二の活性領域の前記一方の側から他方の側までの幅は、前記第二の導電体の径の２倍以下である、
ことを特徴とする請求項５に記載のＳＲＡＭ。
【請求項９】
前記ＳＯＩ層の表面内に形成される第二、第三の活性領域と、
前記ＳＯＩ層に形成され、前記第二、第三の活性領域を有する第一、第二のロードトランジスタと、
前記第二の活性領域と接続する第二の導電体と、
前記第三の活性領域と接続する第三の導電体と、
前記第二、第三の導電体と接続している前記第二、第三の活性領域の部分において、当該部分の一方の側には、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第三の絶縁膜と、
前記一方の側に対向する、前記第二、第三の活性領域の他方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、前記第一の絶縁膜とを、さらに備えている、
ことを特徴とする請求項４に記載のＳＲＡＭ。
【請求項１０】

前記第二の活性領域の前記第二の導電体と接続する部分以外の部分の、一方の側および当該一方の側に対向する他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、第四の絶縁膜と、
前記第四の絶縁膜と前記埋め込み絶縁膜との間に存するボディ領域とを、さらに備えており、
前記ロードトランジスタのゲート電極直下に存するボディ部は、前記ボディ領域と接続されている、
ことを特徴とする請求項９に記載のＳＲＡＭ。
【請求項１１】
前記第二の活性領域の前記第二の導電体と接続する部分以外の部分および、前記ボディ領域と接続する電源用導電体を、さらに備えており、
前記ボディ領域および、前記ボディ領域と接続されている前記ロードトランジスタのゲート電極直下に存するボディ部は、所定の電位で固定されている、
ことを特徴とする請求項１０に記載のＳＲＡＭ。
【請求項１２】
前記第一の導電体は、
前記第一の活性領域の上面部および前記一方の側に、接続する、
ことを特徴とする請求項４に記載のＳＲＡＭ。
【請求項１３】
前記ＳＯＩ層の表面内に形成される第二の活性領域を有する、前記ＳＯＩ層に形成される第一のロードトランジスタと、
前記第二の活性領域の一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第三の絶縁膜と、
前記一方の側に対向する、前記第二の活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、第四の絶縁膜と、
平面視において、前記第二の活性領域の中心より前記第三の絶縁膜が存する側の前記第二の活性領域上に配設される第二の導電体とを、さらに備えている、
ことを特徴とする請求項１２に記載のＳＲＡＭ。
【請求項１４】
前記第二の導電体は、
前記第二の活性領域の上面部および前記一方の側に、接続する、
ことを特徴とする請求項１３に記載のＳＲＡＭ。
【請求項１５】
前記第二の活性領域の前記一方の側から前記他方の側までの幅は、前記第二の導電体の径の２倍以下である、
ことを特徴とする請求項１４に記載のＳＲＡＭ。
【請求項１６】
前記第一の活性領域の前記一方の側から他方の側までの幅は、前記第一の導電体の径の２倍以下である、
ことを特徴とする請求項４に記載のＳＲＡＭ。
【請求項１７】
前記ＳＯＩ層の表面内に形成される第二と第三の活性領域と、
前記ＳＯＩ層の表面内に形成され、前記第二と第三の活性層を有する第一と第二のロードトランジスタと、
前記第二の活性領域と接続する第二の導電体と、
前記第三の活性領域と接続する第三の導電体と、
前記第三の導電体と接続している前記第三の活性領域の部分において、当該部分の一方の側には、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、前記第一の絶縁膜と、

前記一方の側に対向する、前記第三の活性領域の他方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第四の絶縁膜と、
前記第二の活性領域の前記第二の導電体と接続する部分以外の、一方の側および当該一方の側に対向する他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、第四の絶縁膜と、
前記第四の絶縁膜と前記埋め込み絶縁膜との間に存するボディ領域とを、さらに備えている、
ことを特徴とする請求項４に記載のＳＲＡＭ。
【請求項１８】
前記第四の絶縁膜は、平面視において、前記第一、第二のロードトランジスタのゲート電極の両側に形成されている、
ことを特徴とする請求項１７に記載のＳＲＡＭ。
【請求項１９】
（ａ）半導体支持基板と埋め込み絶縁膜とＳＯＩ層とが、当該順に積層された構造を有するＳＯＩ基板を用意する工程と、
（ｂ）前記ＳＯＩ層の表面内に、活性領域を形成する工程と、
（ｃ）前記活性領域の一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて、第一の絶縁膜を形成する工程と、
（ｄ）前記活性領域の一方の側に対向する、前記活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて、第二の絶縁膜を形成する工程と、
（ｅ）平面視において、前記活性領域の中心より前記第一の絶縁膜が存する側の前記活性領域上に目掛けて、導電体を配設する工程とを、備えている、
ことを特徴とする半導体装置の製造方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１０
【補正方法】変更
【補正の内容】
【００１０】
上記の目的を達成するために、本発明に係る請求項１に記載の半導体装置は、半導体支持基板と埋め込み絶縁膜とＳＯＩ層とが、当該順に積層された構造を有するＳＯＩ基板と、前記ＳＯＩ層の表面内に形成される活性領域と、前記活性領域に接する一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第一の絶縁膜と、前記一方の側に対向する、前記活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて形成される、第二の絶縁膜と、平面視において、前記活性領域の中心より前記第一の絶縁膜が存する側の前記活性領域上に配設される、導電体とを、備えている。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
また、本発明に係る請求項４に記載のＳＲＡＭは、半導体支持基板と埋め込み絶縁膜とＳＯＩ層とが、当該順に積層された構造を有するＳＯＩ基板と、前記ＳＯＩ層の表面内に形成される第一の活性領域を有する、前記ＳＯＩ層に形成されるアクセストランジスタと、前記第一の活性領域に接する一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて形成される、第一の絶縁膜と、前記一方の側に対向する、前記第一の活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定

の深さにかけて形成される、第二の絶縁膜と、平面視において、前記第一の活性領域の中心より前記第一の絶縁膜が存する側の前記第一の活性領域上に配設される第一の導電体とを、備えている。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１２
【補正方法】変更
【補正の内容】
【００１２】
また、本発明に係る請求項１９に記載の半導体装置の製造方法は、（ａ）半導体支持基板と埋め込み絶縁膜とＳＯＩ層とが、当該順に積層された構造を有するＳＯＩ基板を用意する工程と、（ｂ）前記ＳＯＩ層の表面内に、活性領域を形成する工程と、（ｃ）前記活性領域の一方の側において、前記ＳＯＩ層の表面から前記埋め込み絶縁膜にかけて、第一の絶縁膜を形成する工程と、（ｄ）前記活性領域の一方の側に対向する、前記活性領域の他方の側において、前記ＳＯＩ層の表面から、前記埋め込み絶縁膜に至らない所定の深さにかけて、第二の絶縁膜を形成する工程と、（ｅ）平面視において、前記活性領域の中心より前記第一の絶縁膜が存する側の前記活性領域上に目掛けて、導電体を配設する工程とを、備えている。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００１３
【補正方法】変更
【補正の内容】
【００１３】
本発明の請求項１，４に記載の半導体装置またはＳＲＡＭは、ＳＯＩ基板において、活性領域が完全分離絶縁膜（第一の絶縁膜）と部分分離絶縁膜（第二の部分分離絶縁膜）とに挟まれており、導電体は、活性領域の中心より完全分離絶縁膜側に配設されているので、狭い活性領域上に導電体を配設し易くなる。つまり、導電体が第一の絶縁膜側にズレて配設されたとしても、ボディとの接触が起きない。また、導電体が第二の絶縁膜側にズレて配設されたとしても、活性領域上の第二の絶縁膜側のコンタクトマージンは広く取られているため、導電体が第二の絶縁膜内に配設されることもない。以上のように、多少の導電体の配設ズレを許容できるので、狭い活性領域上への導電体の配設がし易くなる。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
本発明の請求項１９に記載の半導体装置の製造方法は、ＳＯＩ基板を用意する工程と、前記ＳＯＩ層の表面内に、活性領域を形成する工程と、前記活性領域の一方の側において、完全分離絶縁膜（第一の絶縁膜）を形成する工程と、前記活性領域の他方の側において、部分分離絶縁膜（第二の絶縁膜）を形成する工程と、平面視において、前記活性領域の中心より前記第一の絶縁膜が存する側の前記活性領域上に目掛けて、導電部を配設する工程とを、備えているので、導電部とボディ部とが接触しない半導体装置を容易に提供することができる。したがって、導電部とボディ部との間でのリーク電流が発生する不良品を減少させることができ、製造コストが削減できる。