



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 215 607

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 29. 11. 77
(21) PV 7867-77

(11) (B 1)

(51) Int. Cl.³ G 06 F 3/00

(40) Zveřejněno 31. 10. 80
(45) Vydáno 15. 04. 1984

(75)
Autor vynálezu

MIRTES BOHUMIL ing. CSc, PRAHA

(54) Kumulační soustava přímého styku s operační pamětí

1

Vynález se týká kumulační soustavy přímého styku s operační pamětí určené, zejména pro minipočítače účastníci se monitorování, přímého zpracování výsledků měření a řízení rychlých laboratorních a technologických procesů.

Soustavy přímého styku s operační pamětí standardně používané v minipočítačích a jiných počítačích určených k tomuto účelu mají svou funkci omezenou na následující dva režimy: jedním režimem je přenos bloku dat ze zvoleného vnějšího zařízení do předem vymezené části operační paměti, tj. režim přímého vstupu dat a druhým režimem je přenos bloku dat z předem vymezené části operační paměti do zvoleného vnějšího zařízení, tj. režim přímého výstupu dat. V některých důležitých případech aplikací počítačů je třeba ve vymezené části operač-

ní paměti kumulovat postupně data přicházející s velkou rychlostí z jednoho nebo několika zvolených vnějších zařízení tak, že v prvním cyklu se stejně jako v uvedeném prvním režimu přímého vstupu dat vloží do vymezené části operační paměti první blok dat ze zvoleného vnějšího zařízení a v druhém a dalších cyklech se k zaznamenaným datům přičtou data z druhého a dalších bloků dat ze stejného nebo jiných vnějších zařízení. Navíc je obvykle třeba, aby v případě možnosti překročení maximálního obsahu tj. přeplnění některé z buněk vymezené části operační paměti se přeplnění indikovalo a bylo možno učinit programové opatření, jež by přenosu dalších dat do přeplněných paměťových buněk zabránilo.

Standardně řešené soustavy přímého styku s operační pamětí s dvěma popsanými režimy činnosti nelze ke kumulaci dat použít. Kumulace se musí provádět s použitím programu a tedy relativně pomalu a se značným zatížením počítače.

Výše uvedené nedostatky odstraňuje a kumulaci dat umožňuje kumulační soustava přímého styku s operační pamětí, využívající k přenosu dat mezi operační pamětí a adresovým styčným obvodem vnějšího zařízení datového registru, připojeného svým prvním vstupem dat k výstupu dat operační paměti a svým prvním výstupem dat k vstupu dat operační paměti, aritmetické jednotky procesoru, připojené svou výstupní sběrnicí ke druhému vstupu dat datového registru a registru povelových signálů, opatřených soustavami logických obvodů účastnících se řízení kumulační soustava a vstupní/výstupní sběrnice dat, spojené se vstupy dat styčných obvodů vnějších zařízení a přes hradla s druhým výstupem dat datového registru a využívající k řízení přenosu dat mezi operační pamětí a adresovaným styčným obvodem vnějšího zařízení registru povelových signálů přímého styku a operační paměti a dvou logických soustav, podle vynálezu jehož podstatou je, že první vstupní sběrnice dat aritmetické jednotky je spojena přes hradla s druhým výstupem dat datového registru a druhá vstupní sběrnice dat aritmetické jednotky je spojena přes hradla se vstupní/výstupní sběrnicí procesoru.

V jedné variantě vynálezu je kumulační soustava přímého styku s operační pamětí opatřena registrem povelových signálů přímého styku s operační pamětí, který je připojen svým výstupem signálu přímého výstupu dat přes hradlo první logické soustavy k uvolňovacímu vstupu zdroje uvolňovacího signálu hradel a svým výstupem povelového signálu přímé kumulace dat přes hradlo první logické soustavy k uvolňovacímu vstupu zdroje uvolňovacího signálu hradel.

Podle jiné varianty vynálezu je kumulační soustava přímého styku s operační pamětí opatřena soustavou logických obvodů pro uvolňování zdrojů prvního přijímacího signálu a druhého přijímacího signálu datového registru a zápisového signálu operační paměti. Její druhá logická soustava obsahuje hradla, přičemž hradlo je svým výstupem připojeno k uvolňovacímu vstupu zdroje prvního přijímacího signálu datového registru a jedním svým vstupem přes zpožďovací obvody k výstupu zdroje startovacího signálu, další hradlo je připojeno svým výstupem k uvolňovacímu vstupu zdroje druhého přijímacího signálu datového registru a svými dvěma vstupy k výstupům hradel, jež jsou připojena svými prvními vstupy přes zpožďovací obvody k výstupu zdroje startovacího signálu, další hradlo je připojeno svým výstupem přes zpožďovací obvod k uvolňovacímu vstupu zdroje zápisového signálu operační paměti a svými dvěma vstupy k hradlům, jež jsou připojena svými prvními vstupy přes zpožďovací obvody k výstupu zdroje startovacího signálu, druhé vstupy hradel jsou připojeny přes

hradla k výstupům registru povelových signálů přímého styku s operační pamětí.

Podle jiné varianty vynálezu registr povelových signálů přímého styku s operační pamětí je připojen svým výstupem povelového signálu vstupního přenosu před hradlo první logické soustavy k uvolňovacímu vstupu zdroje uvolňovacího signálu zdroje přenosového signálu, jehož výstup je připojen k přenosovému vstupu aritmetické jednotky

Podle další varianty vynálezu registr povelových signálů přímého styku s operační pamětí je připojen svým výstupem povelového signálu indikace přeplnění přes hradlo první logické soustavy k uvolňovacímu vstupu.

Ještě další varianta vynálezu spočívá v tom, že hradla první logické soustavy jsou připojena svými vstupy k zdroji povelového signálu přímého styku, který je dále připojen k uvolňovacím vstupům zdroje sčítacího signálu.

Rozšířením spojů procesoru o spoje vedené přes hradla mezi druhým výstupem dat a první vstupní sběrnici dat aritmetické jednotky a mezi vstupní/výstupní sběrnici procesoru a náležitým řízením těchto hradel a dalších částí procesoru podle vynálezu se dosáhne možnosti rozšířit dva standardní režimy soustavy přímého styku s operační pamětí o kumulační režim přímého styku s operační pamětí. Tento režim zajišťuje technickými prostředky automatickou kumulaci dat, takže kumulace dat z adresovaných vnějších zařízení probíhá s maximální dosažitelnou rychlostí a bez programového zatížení počítače.

Podstatu vynálezu blíže ujasňují na výkresech obr. 1 až 6. Obr. 1 podává příklad standardního uspořádání soustavy přímého přenosu dat mezi operační pamětí a styčnými obvody vnějších zařízení a obr. 2 podává příklad časového průběhu řídicích signálů této standardní soustavy. Na obr. 3 je příklad zapojení kumulační soustavy přímého styku s operační pamětí podle vynálezu doprovázený na obr. 4 příkladem časového průběhu řídicích signálů. Na obr. 5 je příklad zapojení zdroje řídicích signálů kumulační soustavy přímého styku s operační pamětí doprovázený na obr. 6 příkladem časového průběhu řídicích signálů při přímém výstupu dat, přímém vstupu dat a přímé kumulaci dat.

V příkladu standardního uspořádání soustavy přímého styku s operační pamětí na obr. 1 se přenos dat mezi operační pamětí 1 a styčnými obvody 70, 80, ... vnějších zařízení provádí prostřednictvím datového registru 10 a hradel 20 a 40 procesoru 7, takže nemůže dojít k porušení obsahu pracovních registrů 18 procesoru 7, což je základní podmínkou uskutečnění přímého styku vnějších zařízení s operační pamětí 1. Hradla 20 řízená uvolňovacím signálem 23 umožňují přenos dat z druhého výstupu dat 14 datového registru 10 na vstupní/výstupní sběrnici 17 procesoru 7 a hradla 40 řízená uvolňovacím signálem 43 umožňují přenos dat ze vstupní/výstupní sběrnice 17 procesoru 7 na výstupní sběrnici 35 aritmetické jednotky 30 procesoru 7 připojenou k druhému vstupu dat 13 datového registru 10. K vstupní/výstupní sběrnici 17 procesoru 7 jsou připojeny výstupy dat 73, 83 ... a vstupy dat 72, 82, ... styčných obvodů 70, 80, ... vnějších zařízení počítače, kam se přenášená data ukládají při přenosu z operační paměti 1, nebo odkud se odebírají data pro přenos do operační paměti 1. Funkce operační paměti 1 je řízena čtecím signálem 2 a zápisovým signálem 3. Data jsou z výstupu dat 4 operační paměti 1 do prvního vstupu dat 8 datového registru 10 a opačný přenos dat se uskutečňuje přes spoje mezi prvním výstupem dat 2 datového registru 10 a vstupem dat 5 operační paměti 1.

Na obr. 2 je příklad časových relací mezi řídicími signály uvedených částí standardní soustavy přímého styku s operační pamětí na obr. 1 pro oba možné režimy její funkce: pro přímý výstup dat z operační paměti a pro přímý vstup dat do operační paměti. V prvním případě je aktivován, tj. má jednotkovou hodnotu uvolňovací signál 23 hradel 20 a po impulsu čtecího signálu 2 operační paměti 1, odstartovaném krátce po začátku intervalu T, následuje se zpožděním T1 první přijímací signál 11 datového registru 10. Následkem toho je během intervalu T2 od jeho příchodu do konce intervalu T možno data, přijatá do datového registru 10 a prošlá hradly 20, jejichž průchod je uvolněn uvolňovacím signálem 23, na vstupní/výstupní sběrnici 17 procesoru 7, zapsat do registru 71, 81, ... adresovaného stačného obvodu 70, 80, ... vnějšího zařízení. V druhém případě je během přenosového intervalu T aktivován uvolňovací signál 43 hradel 40 a data prošlá ze vstupní/výstupní sběrnice 17 procesoru 7 přes hradla 40 a výstupní sběrnici 35 aritmetické jednotky 30 na druhý vstup dat 13 datového registru 10 se pomocí impulsu druhého přijímacího signálu 12 přijímají do datového registru 10 a odtud se pomocí impulsu zápisového signálu 3 zapisují během intervalu T2 do operační paměti 1. Tímto způsobem je možno přenést do operační paměti data zavedená v intervalu T1 do vstupní/výstupní sběrnice 17 procesoru 7 z registrů 71, 81, ... adresovaného styčného obvodu 70, 80, ... vnějšího zařízení. Jak je naznačeno na obr. 2 čárkovaně, impuls čtecího signálu 2 se obvykle vysílá i při přímém vstupu dat a impuls zápisového signálu 3 se obvykle vysílá i při přímém výstupu dat, třebaš jejich přítomnost není pro funkci soustavy přímého styku s operační pamětí obecně nutná. To souvisí s pravidelným opakováním čtení z operační paměti i zápisu do operační paměti bez ohledu na operace prováděné procesorem.

Příklad zapojení kumulační soustavy přímého styku s operační pamětí podle vynálezu je na obr. 3. Procesor 7 této soustavy obsahuje kromě standardních částí, tj. podle obr. 1 datového registru 10, pracovních registrů 18, aritmetické jednotky 30, hradel 20 připojených svým vstupem dat 21 k druhému výstupu dat 14 datového registru 10 a svým výstupem dat 22 k vstupní/výstupní sběrnici 17 procesoru 7 a případně hradel 40 připojených svým vstupem dat 41 k vstupní/výstupní sběrnici 17 procesoru 7 a svým výstupem dat 42 k druhému vstupu dat 13 datového registru 10, ještě hradla 25 a 45, zdroj přenosového signálu 50 a indikační obvod přeplnění 55. Hradla 25 jsou připojena svým vstupem dat k druhému výstupu dat 14 datového registru 10, svým výstupem dat k první vstupní sběrnici 31 aritmetické jednotky 30 a jsou řízena uvolňovacím signálem 48. Hradla 45 jsou připojena svým vstupem dat 46 k vstupní/výstupní sběrnici 17 procesoru 7, svým výstupem dat 47 ke druhé vstupní sběrnici 32 aritmetické jednotky 30 a jsou řízena uvolňovacím signálem 48. Zdroj přenosového signálu 50 je připojen svým výstupem přenosového signálu 52 k přenosovému vstupu 33 aritmetické jednotky 30 a je řízen uvolňovacím signálem 51. Indikační obvod přeplnění 55 se vstupy 56 je řízen uvolňovacím signálem 55. Jinak je zapojení kumulační soustavy přímého styku s operační pamětí podle vynálezu shodné se standardním uspořádáním přímého styku s operační pamětí znázorněným na obr. 1, tj. zejména standardním způsobem je provedeno spojení operační paměti 1 s datovým registrem 10, spojení datového registru 10 s aritmetickou jednotkou 30, s hradly 20 a pracovními registry 18 a standardním způsobem je provedeno i řešení stačných obvodů 70, 80, ... vnějších zařízení a vstupní/výstupní sběrnice 17 procesoru 7

a spojení vstupní/výstupní sběrnice 17 s hradly 20 a případně 40 na jedné straně a se vstupy dat 72, 82, ... i výstupy dat 73, 83, ... styčných obvodů 70, 80, ... Hradla 40 neuvedená na obr. 3 mohou být přirozeně použita i v kumulační soustavě přímého styku s operační pamětí podle vynálezu, přestože nejsou na obr. 3 uvedena. Vzhledem k popsané úpravě zapojení podle vynálezu se na rodí od příkladu na obr. 1 přenos dat z registrů 71, 81, ... stačných obvodů 70, 80 ... do datového registru 10 uskutečňuje tentokrát prostřednictvím aritmetické jednotky 30, což umožňuje doplnění dvou základních režimů přímého vstupu dat a přímého výstupu dat třetím režimem přímé kumulace dat. V tomto třetím režimu se během intervalu přímého styku nejprve čte obsah adresované buňky operační paměti 1 do datového registru 10, pak se pomocí aritmetické jednotky 30 k obsahu datového registru 10 přičítají data z registru 71, 81 ... adresovaného styčného obvodu 70, 80, ... a výsledek součtu se z datového registru 10 přenáší do operační paměti 1. Přičtení se provádí tak, že se na první vstupní sběrnici 31 aritmetické jednotky 30 vedou přes hradla 25 data z výstupu 14 datového registru 10, na druhou vstupní sběrnici 32 aritmetické jednotky 30 se vedou přes hradla 45 data ze vstupní (výstupní) sběrnice 17 procesoru 10 a na druhý vstup dat 13 datového registru 10 se vedou data z výstupní sběrnice 35 aritmetické jednotky 30, přičemž se pomocí impulsu sčítacího signálu 36 uvádí aritmetická jednotka 30 do sčítacího režimu. Je-li v případě potřeby nutno realizovat kumulaci dat odčítáním obsahu registru 71, 81, ... adresovaného styčného obvodu 70, 80 ... od obsahu adresované buňky operační paměti 1 a aritmetická jednotka 30 neumožňuje přímé odčítání, je možno i pak uplatnit sčítací operaci, ale z registru 71, 81 adresovaného styčného obvodu 70, 80, ... je nutno vysílat invertované hodnoty dvojkových řádů odčítaného čísla a na přenosový vstup 33 aritmetické jednotky 30 vést výstupní signál 51 ze zdroje přenosového signálu 50 vybuzeného impulsem uvolňovacího signálu 52.

Překročení maximální hodnoty čísel ukládaných do operační paměti lze indikovat pomocí indikačního signálu 58 indikačního obvodu přepnutí 55, v němž se porovnávají znaménkové bity čísel na vstupních sběrnici 31 a 32 se znaménkovým bitem čísla na výstupní sběrnici 35 aritmetické jednotky 30. Činnost indikačního obvodu přepnutí se uvolňuje uvolňovacím signálem 57.

Příklad časové relace impulsů řídicích signálů kumulační soustavy přímého styku s operační pamětí při jedné kumulační operaci je znázorněn na obr. 4. Po impulsu čtecího signálu 2 následuje se zpožděním T_1 daném dobou čtení z operační paměti 1 impuls prvního přijímacího signálu 11 datového registru 10; pak následuje se zpožděním T_3 daném v podstatě dobou průchodu dat aritmetickou jednotkou 30 při sčítání operací impuls druhého přijímacího signálu 12 zajišťující příjem dat z výstupní sběrnice 35 aritmetické jednotky 30 do datového registru 10; pak následuje impuls zápisového signálu 3 a interval T_2 nutný k zápisu dat do operační paměti 1. Během kumulačního intervalu, prodlouženého proti intervalu T dvou základních režimů přímého styku s operační pamětí o interval T_3 , jsou uvolněny pomocí impulsů uvolňovacích signálů 28, 48, a popřípadě 51 při odčítání a 57 při indikování přepnutí, funkce hradel 25, 45, a popřípadě zdroje přenosového signálu 50 a indikačního obvodu přepnutí 55, a pomocí impulsu sčítacího signálu 36 sčítání funkce aritmetické jednotky 30.

Příklad zapojení obvodů pro generování řídicích signálů přímého styku s operační pamětí je znázorněn na obr. 5 doplněném na obr. 6 příkladem časového průběhu řídicích signálů.

K základním částem těchto obvodů patří registr 59 povelových signálů přímého styku, první logická soustava 76, druhá logická soustava 108, zpožďovací obvody 104 až 107 a zdroj 60 povelového signálu přímého styku 61. Registr 59 je svými výstupy 62 až 66 povelových signálů přímého styku připojen jednak přes hradla 131 až 134 první logické soustavy 76 k uvolňovacím vstupům 121, 122, 124, 125 zdrojů 71, 72, 74, 75 uvolňovacích signálů 23, 28, 51 a 57, jednak přes hradla 141 až 151 druhé logické soustavy 108 k uvolňovacím vstupům 111 a 112 zdrojů 101 a 102 a přes zpožďovací obvod 106 k uvolňovacímu vstupu 113 zdroje 103. Zpožďovací obvody 104 a 105 jsou připojeny svým vstupem k výstupu zdroje 97 startovacího signálu 99 a spolu se zpožďovacím obvodem 107, připojeným svým vstupem k jednomu z hradel 141 druhé logické soustavy 108, svými výstupy k vstupům hradel 141 až 146 druhé logické soustavy 108. Povelový signál přímého styku 61 ze zdroje 60 je připojen, spolu s výstupy 62 a 66 registru 59 ke vstupům hradel 131 až 134 první logické soustavy 76 a kromě toho k uvolňovacím vstupům 120 a 123 zdrojů 70 a 73.

Operace přímého styku s operační pamětí jsou uvolňovány povelovým signálem přímého styku 61 ze zdroje 60. Režim přímého styku je řízen z registru povelových signálů přímého styku 59 následujícími povelovými signály: povelovým signálem přímého výstupu dat z operační paměti z výstupu 62, povelovým signálem přímého vstupu dat do operační paměti z výstupu 63 a povelovým signálem přímé kumulace dat v operační paměti z výstupu 64, z nichž může být aktivován vždy jen jediný. Dále je registr povelových signálů přímého styku 59 zdrojem povelového signálu vstupního přenosu z výstupu 65 indikujícího požadavek na uvolnění činnosti zdroje přenosového signálu 50 a povelového signálu indikace přeplnění z výstupu 66 indikujícího požadavek na uvolnění funkce indikačního obvodu přeplnění 55. Z uvedených povelových signálů na výstupech 61 až 66 se jednak přímo a jednak prostřednictvím první logické soustavy 76 odvozují signály pro uvolňovací vstupy 120 až 125 zdrojů 70 až 75 sčítacího signálu 36, uvolňovacích signálů 23, 28 a 48 hradel 20, 25 a 45, uvolňovacího signálu 51 zdroje přenosového signálu 50 a uvolňovacího signálu 57 indikačního obvodu přeplnění 55.

Generování čtecího signálu 2 a zápisového signálu 3 operační paměti 1 a prvního přijímacího signálu 11 a druhého přijímacího signálu 12 datového registru 10 podle časových závislostí, jejichž příklad je na obr. 6, se provádí podle vynálezu ve zdrojích 100 až 103 řízených startovacím signálem 99 ze zdroje 97 prostřednictvím zpožďovacích obvodů 104 až 107 a druhé logické soustavy logických obvodů 108. Zpožďovací obvod 104 zajišťuje zpoždění T_0 mezi příchodem startovacího signálu 99 a okamžikem startu impulsu čtecího signálu 2 ze zdroje 100. Zpožďovací obvod 105 zajišťuje zpoždění T_1 mezi okamžikem startu impulsu čtecího signálu 2 a okamžikem startu impulsu prvního přijímacího signálu 11, v režimu přímého výstupu a přímé kumulace dat, respektive druhého přijímacího signálu 12, tj. v režimu přímého výstupu dat, respektive mezi startem impulsu druhého přijímacího signálu 12 a startem impulsu zápisového signálu 3; tj. v režimu přímého vstupu a přímé kumulace dat. Zpožďovací obvod 107 zajišťuje zpoždění T_2 mezi startem impulsu prvního

přijímacího signálu 11 a startem impulsu druhého přijímacího signálu 12, tj. v režimu přímé kumulace dat. Spojení mezi zpožďovacími obvody 105, 106 a 107 a uvolňovacími vstupy 111 a 112 zdrojů 101 a 102 podle požadovaného průběhu přijímacích signálů 101 a 102 a zápisového signálu 2 znázorněného na obr. 6 je uskutečněno pomocí hradel 141 až 146 druhé logické soustavy, jejíž zapojení je možno provést různými způsoby.

Minipočítače využívající kumulační soustavy přímého styku s operační pamětí podle vynálezu jsou výhodné, zejména k oddělení užitečného signálu od šumu, což je základní operace různých měřicích soustav jako jsou Fourierovy analyzátoři.

P Ř E D M Ě T V Y N Á L E Z U

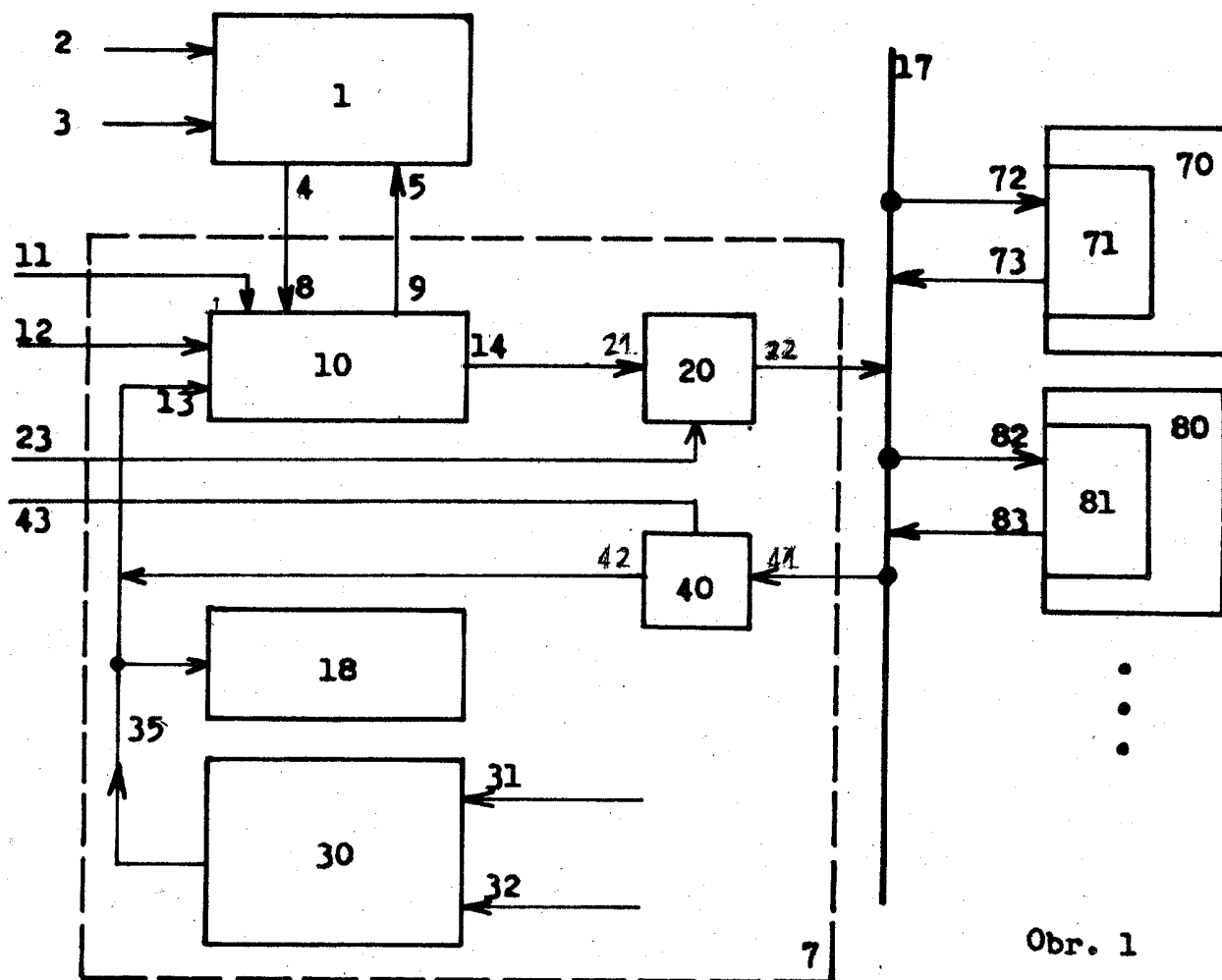
1. Kumulační soustava přímého styku s operační pamětí využívající k přenosu dat mezi operační pamětí a adresovým styčným obvodem vnějšího zařízení datového registru připojeného svým prvním vstupem dat k výstupu dat operační paměti a svým prvním výstupem dat k vstupu dat operační paměti, aritmetické jednotky procesoru připojené svou výstupní sběrnicí ke druhému vstupu dat datového registru a vstupní/výstupní sběrnice procesoru spojené přes hradla s druhým výstupem do datového registru a využívající k řízení přenosu dat mezi operační pamětí a adresovaným styčným obvodem vnějšího zařízení registru povelových signálů přímého styku s operační pamětí a dvou logických soustav, vyznačující se tím, že první vstupní sběrnice (31) aritmetické jednotky (30) je spojena přes hradla (25) s druhým výstupem (14) dat datového registru (10) a druhá vstupní sběrnice (32) aritmetické jednotky (30) je spojena přes hradla (45) se vstupní/výstupní sběrnicí (17) procesoru (7).
2. Kumulační soustava přímého styku s operační pamětí podle bodu 1, vyznačující se tím, že registr (59) povelových signálů přímého styku s operační pamětí (1) je připojen svým výstupem (62) signálu přímého výstupu dat přes hradlo (131) první logické soustavy (76) k uvolňovacímu vstupu (121) zdroje (71) uvolňovacího signálu hradel (20) a svým výstupem (64) povelového signálu přímé kumulace dat přes hradlo (132) první logické soustavy (76) k uvolňovacímu vstupu (122) zdroje (72) uvolňovacího signálu hradel (25).
3. Kumulační soustava přímého styku s operační pamětí podle bodů 1 a 2, vyznačující se tím, že její druhá logická soustava (108) obsahuje hradla (141 až 151), přičemž hradlo (141) je svým výstupem připojeno k uvolňovacímu vstupu (111) zdroje (101) prvního přijímacího signálu datového registru (20) a jedním svým vstupem přes zpožďovací obvody (104, 105) k výstupu zdroje (97) startovacího signálu, hradlo (145) je připojeno svým výstupem k uvolňovacímu vstupu (112) zdroje (102) druhého přijímacího signálu datového registru (10) a svými dvěma vstupy k výstupům hradel (142, 144), jež jsou připojena svými prvními vstupy přes zpožďovací obvody (104, 105, 107) k výstupu zdroje (97) startovacího signálu, hradlo (147) je připojeno svým výstupem přes zpožďovací obvod (106) k uvolňovacímu vstupu (113) zdroje (103) zápisového signálu operační paměti (1) a svými dvěma vstupy k hradlům (143, 146), jež jsou připojena svými prvními vstupy přes zpožďovací obvody (104, 105, 107) k výstupu zdroje (97) startovacího signálu, druhé vstupy hradel (141, 142, 143, 144, 146) jsou připojeny přes hradla (148 až 153) k výstupům (62, 63, 64) registru (59) povelových signálů přímého styku s operační pamětí (1).
4. Kumulační soustava přímého styku s operační pamětí podle bodů 1, 2 a 3, vyznačující se

tím, že registr (59) povelových signálů přímého styku s operační pamětí (1) je připojen svým výstupem (65) povelového signálu vstupního přenosu přes hradlo (133) první logické soustavy (76) k uvolňovacímu vstupu (124) zdroje (74) uvolňovacího signálu zdroje (50) přenosového signálu, jehož výstup (52) je připojen k přenosovému vstupu (33) aritmetické jednotky (30).

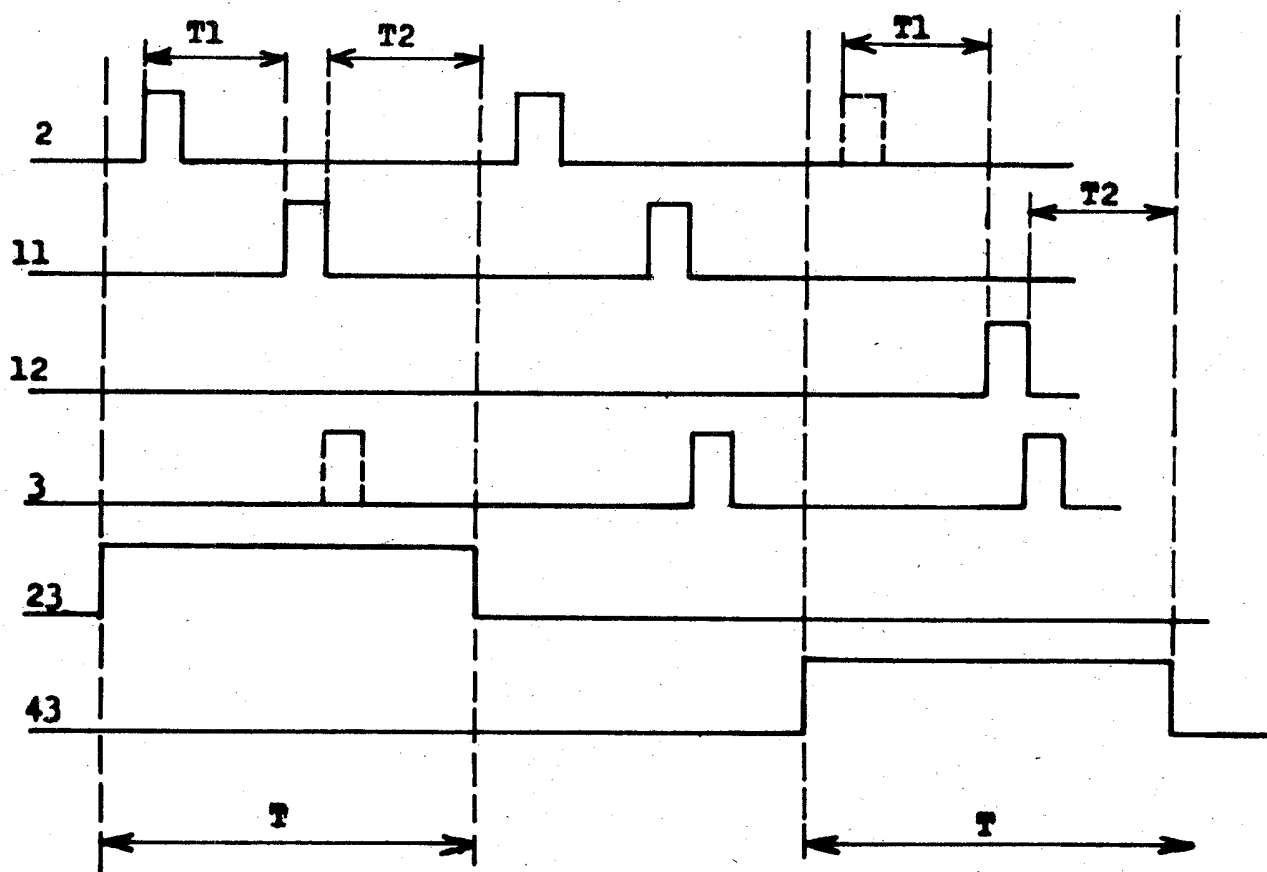
5. Kumulační soustava přímého styku s operační pamětí podle bodů 1, 2, 3 a 4, vyznačující se tím, že registr (59) povelových signálů přímého styku s operační pamětí (1) je připojen svým výstupem (66) povelového signálu indikace přeplnění přes hradlo (134) první logické soustavy (76) k uvolňovacímu vstupu (125) zdroje (75) uvolňovacího signálu (57) indikačního obvodu (55) přeplnění.

6. Kumulační soustava přímého styku s operační pamětí podle bodů 1 až 5, vyznačující se tím, že hradla (131, 133, 134) první logické soustavy (76) jsou připojena svými vstupy k zdroji (60) povelového signálu přímého styku, který je dále připojen k uvolňovacímu vstupu (120) zdroje (70) sčítacího signálu.

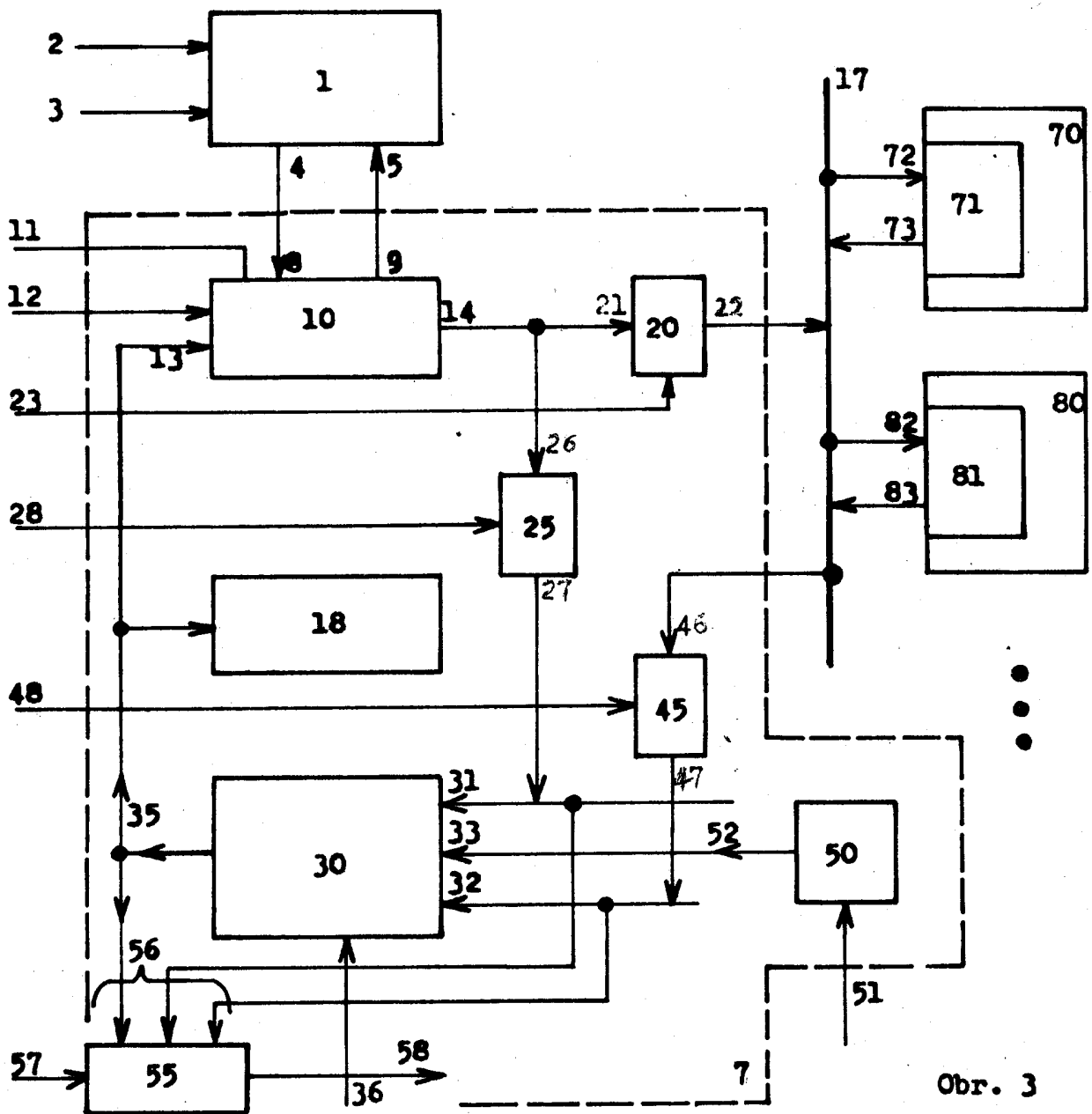
4 výkresy



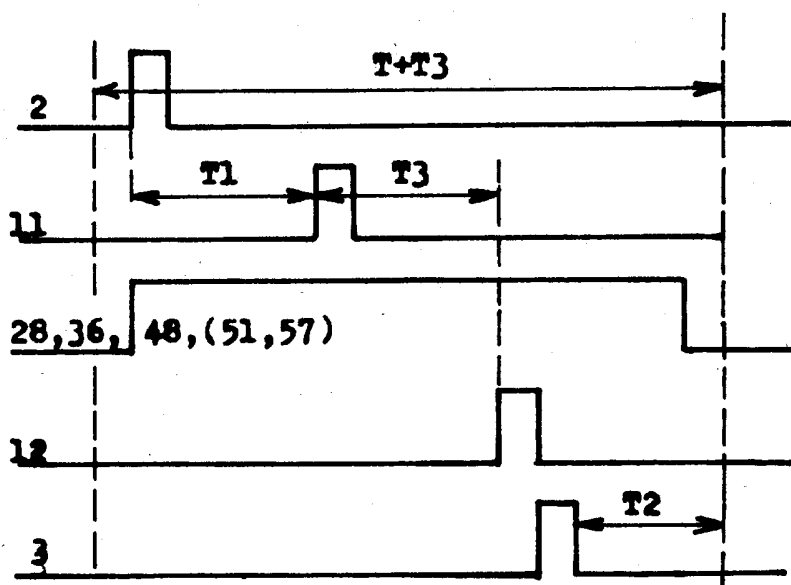
Obr. 1



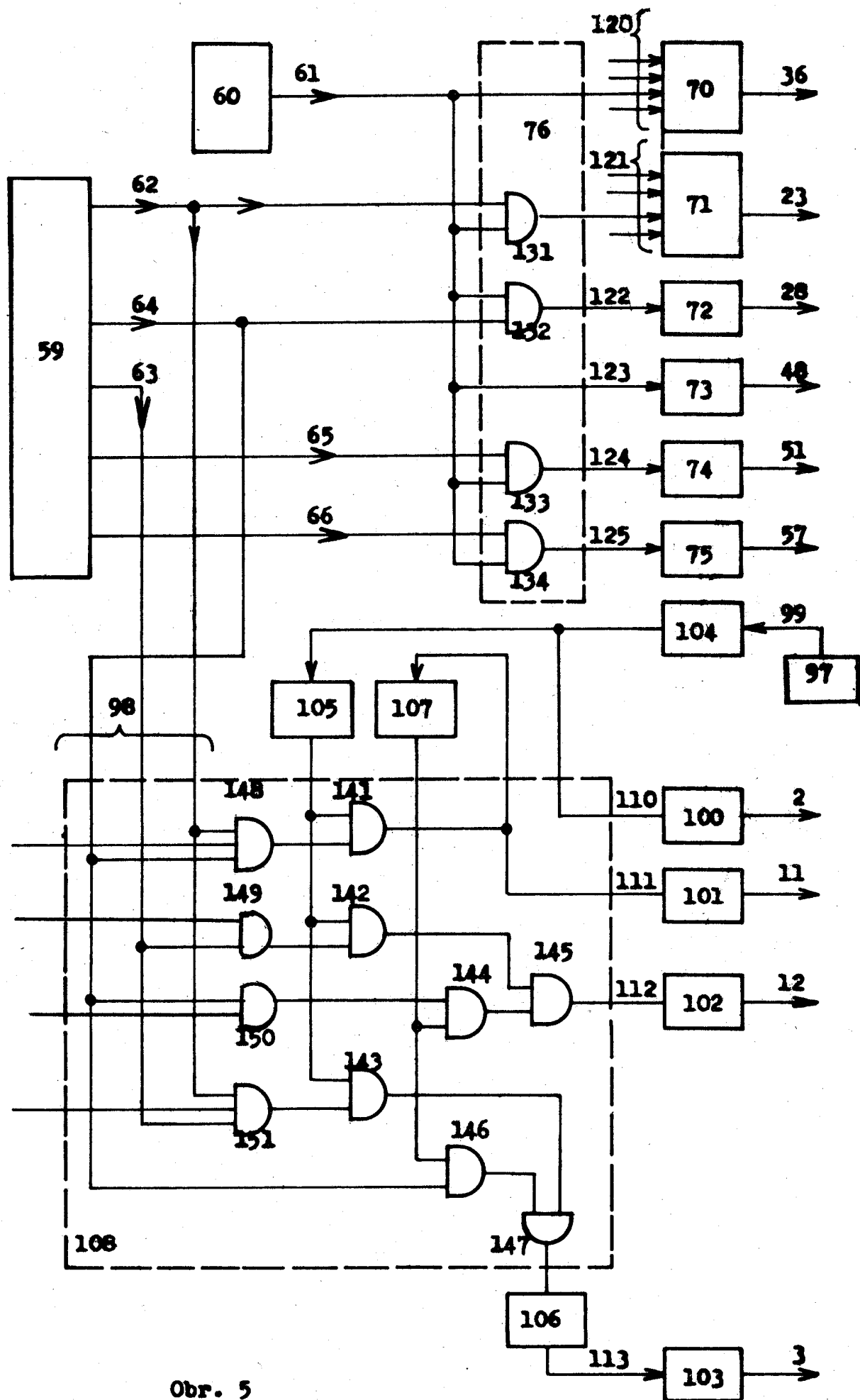
Obr. 2



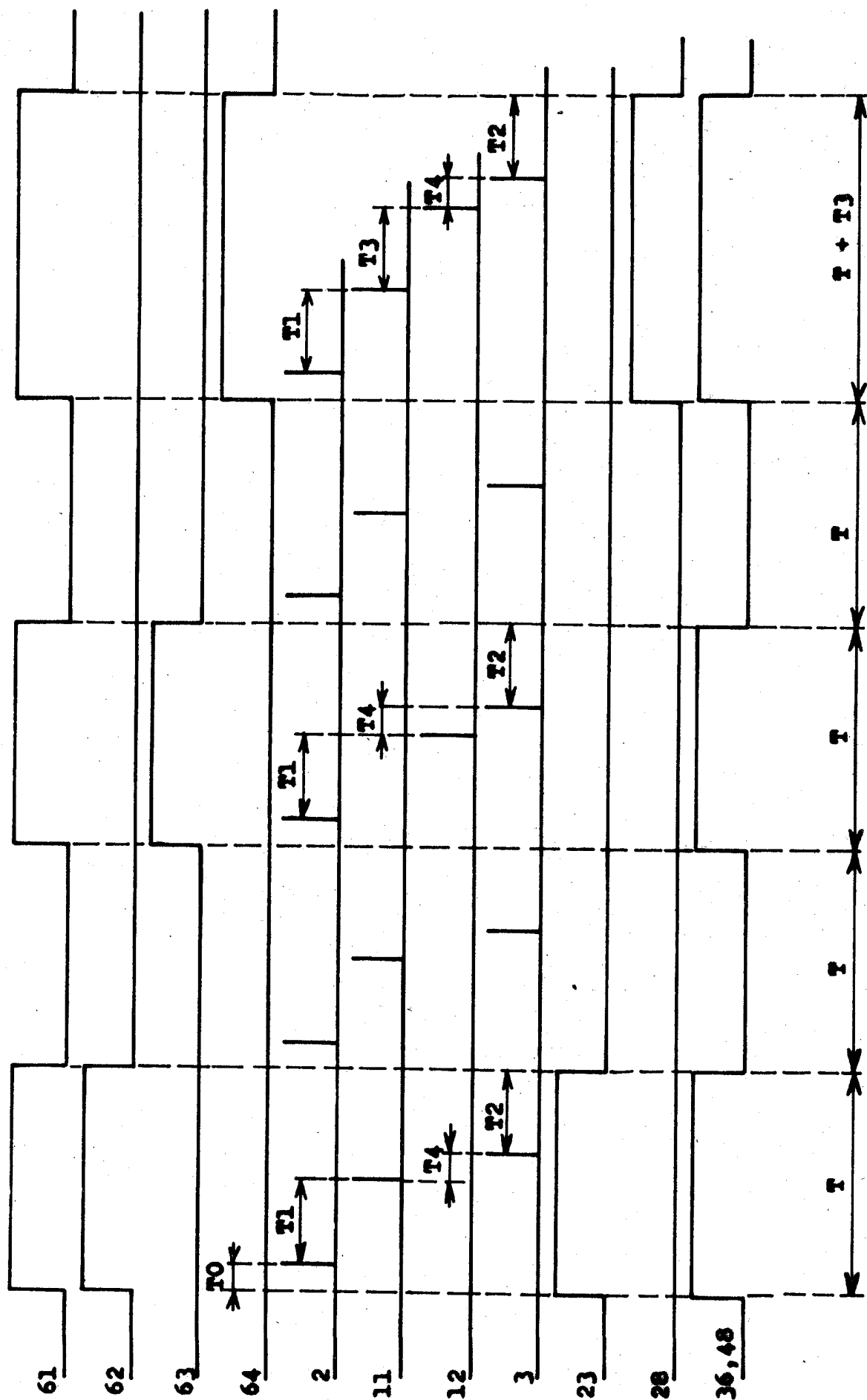
Obr. 3



Obr. 4



Obr. 5



Obr. 6