



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월28일  
(11) 등록번호 10-1226711  
(24) 등록일자 2013년01월21일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/136* (2006.01)  
(21) 출원번호 10-2006-0003234  
(22) 출원일자 2006년01월11일  
심사청구일자 2011년01월10일  
(65) 공개번호 10-2007-0074998  
(43) 공개일자 2007년07월18일  
(56) 선행기술조사문헌  
JP2002023132 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
양병덕  
경기도 수원시 영통구 영통로 460, 청명마을3단지  
동신 아파트 313동 1602호 (영통동)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 28 항

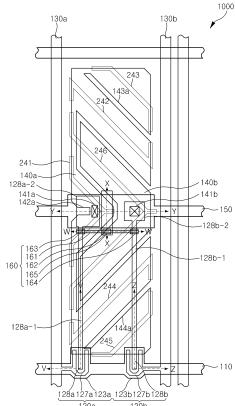
심사관 : 한재균

(54) 발명의 명칭 액정 표시 장치와 그 제조 방법 및 리페어 방법

### (57) 요약

본 발명은 액정 표시 장치와 그 제조 방법 및 리페어 방법에 관한 것으로, 제 1 신호 라인에 접속된 제 1 및 제 2 스위칭 소자와, 상기 제 1 및 제 2 스위칭 소자에 각기 접속된 한 쌍의 제 2 신호 라인과, 상기 제 1 스위칭 소자의 제 1 연결 단자를 통해 접속된 제 1 화소 패턴과, 상기 제 2 스위칭 소자의 제 2 연결 단자를 통해 접속된 제 2 화소 패턴과, 상기 제 1 및 제 2 화소 패턴에 중첩되는 유지 전극 라인과, 리페어 공정을 통해 상기 제 1 및 제 2 화소 패턴을 전기적으로 연결하는 리페어부를 포함하는 액정 표시 장치와 그 제조 방법 및 리페어 방법을 제공한다.

### 대 표 도 - 도4



## 특허청구의 범위

### 청구항 1

제 1 신호 라인에 접속된 제 1 및 제 2 스위칭 소자;  
상기 제 1 및 제 2 스위칭 소자에 각기 접속된 한 쌍의 제 2 신호 라인;  
상기 제 1 스위칭 소자의 제 1 연결 단자를 통해 접속된 제 1 화소 패턴;  
상기 제 2 스위칭 소자의 제 2 연결 단자를 통해 접속된 제 2 화소 패턴;  
상기 제 1 및 제 2 화소 패턴에 중첩되는 유지 전극 라인;  
리페어 공정을 통해 상기 제 1 및 제 2 화소 패턴을 전기적으로 연결하는 리페어부를 포함하되,  
상기 리페어부는,  
상기 제 1 및 제 2 연결 단자에 그 일부가 각기 중첩되는 리페어 라인;  
상기 제 1 화소 패턴 및 상기 제 2 화소 패턴 중 어느 하나와 상기 리페어 라인에 중첩하는 리페어 전극을 포함하는 액정 표시 장치.

### 청구항 2

삭제

### 청구항 3

청구항 1에 있어서,  
상기 리페어 라인은,  
상기 유지 전극 라인과 동일 방향으로 연장된 직선 형상으로 형성하고, 직선의 양 끝단부에서 상기 제 1 및 제 2 연결 단자에 중첩되는 액정 표시 장치.

### 청구항 4

청구항 1에 있어서,  
상기 리페어 라인은 상기 유지 전극 라인과 동일 면상에 형성되고, 제 1 절연막을 통해 상기 제 1 및 제 2 연결 단자와 절연된 액정 표시 장치.

### 청구항 5

청구항 1에 있어서,  
상기 리페어 라인은 상기 제 1 신호 라인과 상기 유지 전극 라인 사이에 마련된 액정 표시 장치.

### 청구항 6

청구항 1에 있어서,  
상기 리페어 전극은,  
상기 유지 전극에 그 일부가 중첩되는 판 형상으로 형성하고, 판의 일 끝단부에서 상기 리페어 라인에 중첩되는 액정 표시 장치.

### 청구항 7

청구항 1에 있어서,  
상기 리페어 전극은 상기 제 1 및 제 2 연결 단자와 동일 면상에 형성되고,

상기 리페어 전극은 제 1 절연막을 통해 상기 유지 전극 및 상기 리페어 라인과 절연되고, 제 2 절연막을 통해 중첩되는 화소 패턴과 절연되는 액정 표시 장치.

#### 청구항 8

청구항 1에 있어서,

상기 리페어 라인과 상기 제 1 및 제 2 연결 단자의 중첩 영역에 각기 마련된 제 1 및 제 2 리페어 패드부와, 상기 리페어 라인과 상기 리페어 전극의 중첩 영역에 마련된 제 3 리페어 패드부를 더 포함하는 액정 표시 장치.

#### 청구항 9

청구항 1에 있어서,

상기 제 1 연결 단자는 상기 유지 전극 상에 마련되어 상기 제 1 화소 패턴에 접속하는 제 1 접속 패드를 포함하고, 상기 제 2 연결 단자는 상기 유지 전극 상에 마련되어 상기 제 2 화소 패턴에 접속하는 제 2 접속 패드를 포함하고,

상기 리페어 전극은 상기 제 1 및 제 2 접속 패드 사이 영역에 마련된 액정 표시 장치.

#### 청구항 10

청구항 1에 있어서,

상기 제 1 및 제 2 연결 단자는 동일 방향으로 연장된 액정 표시 장치.

#### 청구항 11

청구항 1에 있어서,

상기 제 1 스위칭 소자에 접속된 제 2 신호 라인에 인가되는 전압의 페크값이 상기 제 2 스위칭 소자에 접속된 제 2 신호 라인에 인가되는 전압의 페크값 보다 낮거나 같은 액정 표시 장치.

#### 청구항 12

제 1 신호라인과, 상기 제 1 신호 라인에서 연장된 복수의 제 1 단자와, 유지 전극 라인 및 리페어 라인을 형성하는 단계;

전체 구조상에 제 1 절연막을 형성하는 단계;

복수의 제 1 단자 상에 각기 제 2 및 제 3 단자를 형성하여 제 1 및 제 2 스위칭 소자를 형성하고, 상기 제 1 및 제 2 스위칭 소자의 제 2 단자에 각기 접속하는 한쌍의 제 2 신호 라인을 형성하고, 상기 제 1 및 제 2 스위칭 소자의 제 3 단자에 각기 접속하는 제 1 및 제 2 연결 단자를 형성하고, 상기 리페어 라인과 그 일부가 중첩하는 리페어 전극을 형성하는 단계;

전체 구조 상에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막을 관통하여 각기 제 1 및 제 2 연결 단자에 접속되고, 상기 유지 전극 라인과 그 일부가 중첩되는 제 1 및 제 2 화소 패턴을 형성하고, 상기 제 1 및 제 2 화소 패턴 중 어느 하나가 상기 리페어 전극과 중첩되도록 하는 단계를 포함하는 액정 표시 장치의 제조 방법.

#### 청구항 13

청구항 12에 있어서, 전체 구조상에 상기 제 1 절연막을 형성하는 단계 이후,

상기 제 1 단자 상에 활성층을 형성하고, 상기 리페어 라인과 상기 제 1 및 제 2 연결 단자의 중첩 영역에 각기

마련된 제 1 및 제 2 리페어 패드부와, 상기 상기 리페어 라인과 상기 리페어 전극의 중첩 영역에 마련된 제 3 리페어 패드부를 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

#### 청구항 14

청구항 12에 있어서,

상기 제 1 및 제 2 연결 단자 각각은 상기 리페어 라인과 그 일부가 중첩되도록 형성되는 액정 표시 장치의 제조 방법.

#### 청구항 15

청구항 12에 있어서,

상기 리페어 전극은 상기 유지 전극 라인과 그 일부가 중첩되도록 형성되는 액정 표시 장치의 제조 방법.

#### 청구항 16

청구항 12에 있어서,

상기 제 1 및 제 2 연결 단자는 각기 상기 제 1 및 제 2 화소 패턴과 접속되는 제 1 및 제 2 접속 패드를 포함하고, 상기 제 1 및 제 2 접속 패드는 상기 유지 전극 상부에 형성되는 액정 표시 장치의 제조 방법.

#### 청구항 17

청구항 16에 있어서,

상기 리페어 전극은 상기 제 1 및 제 2 접속 패드 사이 영역에 형성되는 액정 표시 장치의 제조 방법.

#### 청구항 18

제 1 신호 라인에 접속된 제 1 및 제 2 스위칭 소자와, 상기 제 1 및 제 2 스위칭 소자에 각기 접속된 한 쌍의 제 2 신호 라인과, 상기 제 1 스위칭 소자의 제 1 연결 단자를 통해 접속된 제 1 화소 패턴과, 상기 제 2 스위칭 소자의 제 2 연결 단자를 통해 접속된 제 2 화소 패턴과, 상기 제 1 및 제 2 화소 패턴에 중첩되는 유지 전극 라인과, 상기 제 1 및 제 2 연결 단자와 그 일부가 각기 중첩하는 리페어 라인과, 상기 제 1 화소 패턴 및 제 2 화소 패턴 중 어느 하나와 상기 리페어 라인에 중첩되는 리페어 전극을 포함하는 액정 표시 장치의 리페어 방법에 있어서,

상기 제 1 및 제 2 연결 단자 중 어느 하나를 절단하는 단계;

절단되지 않은 연결 단자와 상기 리페어 라인을 연결하는 단계;

절단된 연결 단자와 접속되었던 화소 패턴 및 상기 리페어 전극 중 어느 하나와 상기 리페어 라인을 연결하는 단계를 포함하는 액정 표시 장치의 리페어 방법.

#### 청구항 19

청구항 18에 있어서,

상기 제 1 신호 라인과 상기 유지 전극 라인 사이에 상기 리페어 라인이 마련되고, 상기 제 1 및 제 2 연결 단자는 상기 제 1 및 제 2 스위칭 소자에서 상기 유지 전극 라인 상측으로 연장되며, 상기 리페어 라인과 상기 제 1 신호 라인 사이 영역의 상기 연결 단자에 레이저 빔을 조사하여 절단하는 액정 표시 장치의 리페어 방법.

#### 청구항 20

청구항 19에 있어서,

상기 제 1 및 제 2 화소 패턴 중 적어도 어느 하나의 화소 패턴은 절개 패턴을 포함하고, 상기 제 1 및 제 2 화소 패턴의 이격 공간 또는 절개 패턴 사이 영역의 상기 연결 단자를 절단하는 액정 표시 장치의 리페어 방법.

### 청구항 21

청구항 18에 있어서,

상기 절단되지 않은 연결 단자와 상기 리페어 라인의 중첩 영역과, 상기 리페어 전극과 상기 리페어 라인의 중첩 영역 중 적어도 어느 하나의 영역에 레이저 빔을 조사하여 상기 절단되지 않은 연결 단자 및 상기 리페어 라인을 연결하거나, 상기 리페어 전극 및 상기 리페어 라인을 연결하거나, 상기 절단되지 않은 연결 단자와 상기 리페어 라인 및 상기 리페어 전극을 모두 연결하는 액정 표시 장치의 리페어 방법.

### 청구항 22

청구항 18에 있어서,

상기 절단된 연결 단자와 상기 리페어 라인의 중첩 영역에 레이저 빔을 조사하여 상기 절단된 연결 단자와 접속된 상기 화소 패턴과 상기 리페어 라인간을 연결하는 액정 표시 장치의 리페어 방법.

### 청구항 23

청구항 18에 있어서,

상기 제 1 스위칭 소자 영역에 불량이 발생하고, 상기 제 1 화소 패턴과 상기 리페어 전극이 중첩된 경우, 상기 제 1 연결 단자를 절단하고, 상기 제 2 연결 단자와 상기 리페어 라인간을 연결하고, 상기 리페어 전극과 상기 리페어 라인을 연결하고,

상기 제 2 스위칭 소자 영역에 불량이 발생하고, 상기 제 1 화소 패턴과 상기 리페어 전극이 중첩된 경우, 상기 제 2 연결 단자를 절단하고, 상기 제 1 및 제 2 연결 단자와 상기 리페어 라인을 연결하는 액정 표시 장치의 리페어 방법.

### 청구항 24

화소 영역 내에 형성되어 제 1 및 제 2 박막 트랜지스터;

상기 제 1 및 제 2 박막 트랜지스터에 접속된 게이트 라인;

상기 제 1 및 제 2 박막 트랜지스터에 각기 접속된 제 1 및 제 2 데이터 라인;

상기 제 1 및 제 2 박막 트랜지스터와 제 1 및 제 2 화소 패턴을 연결하는 제 1 및 제 2 드레인 전극;

상기 제 1 및 제 2 드레인 전극과 그 일부가 중첩하는 리페어 라인;

상기 제 1 및 제 2 화소 패턴 중 어느 하나와 중첩되고, 상기 리페어 라인과 중첩되는 리페어 전극을 포함하는 박막 트랜지스터 기판.

### 청구항 25

청구항 24에 있어서,

상기 리페어 라인은 상기 게이트 라인과 동일 면상에 형성되어 게이트 절연막을 통해 상기 제 1 및 제 2 드레인 전극과 절연된 박막 트랜지스터 기판.

### 청구항 26

청구항 24에 있어서,

상기 제 1 및 제 2 화소 패턴에 중첩되고, 상기 게이트 라인과 동일 면상에 형성된 유지 전극 라인을 더 포함하고,

상기 유지 전극 라인과 상기 게이트 라인 사이에 상기 리페어 라인이 마련된 박막 트랜지스터 기판.

### 청구항 27

청구항 26에 있어서,

상기 리페어 전극은 상기 유지 전극에 그 일부가 중첩되는 판 형상으로 형성되는 박막 트랜지스터 기판.

### 청구항 28

청구항 24에 있어서,

상기 리페어 전극은 상기 제 1 및 제 2 드레인 전극과 동일 면상에 형성되고,

상기 리페어 전극은 상기 게이트 절연막을 통해 상기 리페어 라인과 절연되고, 박막 트랜지스터 보호막을 통해 중첩되는 화소 패턴과 절연되는 박막 트랜지스터 기판.

### 청구항 29

청구항 24에 있어서,

상기 리페어 라인과 상기 제 1 및 제 2 드레인 전극의 중첩 영역에 각기 마련된 제 1 및 제 2 리페어 패드부와, 상기 상기 리페어 라인과 상기 리페어 전극의 중첩 영역에 마련된 제 3 리페어 패드부를 더 포함하는 박막 트랜지스터 기판.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0019] 본 발명은 액정 표시 장치와 그 제조 방법 및 리페어 방법에 관한 것으로서, 보다 상세하게는 일 화소에 두개의 서브 화소를 갖는 액정 표시 장치의 리페어를 위한 패턴의 제작과 이를 이용한 리페어 방법에 관한 것이다.

[0020] 액정 표시 장치(Liquid Crystal Display Device; LCD)는 종래의 표시 장치인 CRT(Cathode Ray Tube)와 비교하여 소형, 경량화 및 대화면화의 장점을 갖고 있어, 이의 개발이 활발히 이루어지고 있다.

[0021] 이러한 액정 표시 장치는 각기 전극이 형성된 두 기판을 두 전극이 서로 마주보도록 배치하고, 두 기판 사이에 액정 물질을 주입한 다음 두 전극 사이에 전기장을 인가하여 전기장에 의해 액정 분자들을 움직이게 함으로써 빛의 투과율을 달리하여 화상을 표시하는 장치로 그 시야각이 좁은 것이 큰 단점으로 작용한다. 즉, 액정 표시 장치의 액정이 모두 한 방향으로 배향하기 때문에 생기는 그레이 인버전(gray inversion)과 같은 문제가 발생하였다. 이에 근래에는 액정 표시 장치의 시야각을 넓이기 위한 방법에 관해 활발하게 연구되고 있다.

[0022] 이를 위해 액정을 상하 기판에 대하여 수직으로 배향하고 화소 전극과 그 대향 전극인 공통 전극에 도메인 규제 수단으로 절개 패턴이나 돌기 패턴 등을 형성하는 PVA 방식 액정 표시 장치(Patterned Vertical Alignment type LCD)가 개발되었다. 하지만 기존의 PVA 방식에서는 측면 시인성 왜곡 현상이 발생하는 문제가 있었다.

[0023] 이를 해결하기 위해 현재 단위 화소를 두개의 서브 화소로 구성하고, 각각의 서브 화소에 차등된 전압이 인가되도록 하여 측면 계조 끝침이나 반전을 개선하여 측면 시인성을 향상시키는 S-PVA구조의 액정 표시 장치가 개발되었다. 이러한, S-PVA구조의 액정 표시 장치는 하나의 색을 표현하는 일 화소 영역 내에 두개의 트랜지스터와 두개의 화소 전극 패턴을 포함하여 구성하고, 두개의 화소 전극 패턴에 인가되는 피크 전압을 서로 다르게 하는 방법을 사용하여 계조의 표현을 자연스럽게 표현하고, 측면 시인성 왜곡 현상을 개선할 수 있다.

- [0024] 그러나 종래의 S-PVA구조의 경우 일 화소을 구성하는 하나의 서브 화소에 불량이 발생하였을 경우에는 다른 하나의 서브 화소도 함께 리페어하여야 하기 때문에 리페어 공정이 복잡하고 그 성공률이 저하되는 문제가 발생하였다.
- [0025] 하기에서는 종래의 S-PVA구조와 이의 리페어 방법에 관해 도면을 참조하여 설명한다. S-PVA 구조는 서로 다른 게이트 라인을 통해 구동하는 두개의 박막 트랜지스터가 하나의 데이터 라인을 공유하는 구조와, 서로 다른 데이터 라인에 접속된 두개의 박막 트랜지스터가 하나의 게이트 라인을 공유하는 구조를 포함한다. 후술되는 설명에서는 하나의 게이트 라인을 공유함을 중심으로 설명한다.
- [0026] 도 1은 종래의 액정 표시 장치의 리페어 방법의 문제를 설명하기 위한 평면도이다.
- [0027] 도 1을 참조하면, 종래의 액정 표시 장치는 게이트 라인(10)에 접속된 제 1 및 제 2 박막 트랜지스터(21, 22)와, 상기 제 1 및 제 2 박막 트랜지스터(21, 22)에 각기 접속된 제 1 및 제 2 데이터 라인(31, 32)과, 상기 제 1 박막 트랜지스터(21)에 접속된 제 1 화소 패턴(41)과, 상기 제 2 박막 트랜지스터(22)에 접속된 제 2 화소 패턴(42)과, 상기 제 1 및 제 2 화소 패턴(41, 42)에 중첩되는 유지 전극(50)을 포함한다.
- [0028] 상기 제 1 및 제 2 박막 트랜지스터(21, 22) 상에 보호막(29)이 형성되고, 그 상부에 제 1 및 제 2 화소 패턴(41, 42)이 형성된다.
- [0029] 제 1 박막 트랜지스터(21)는 제 1 드레인 콘택 플러그(43)를 통해 제 1 화소 패턴(41)에 접속되고, 제 2 박막 트랜지스터(22)는 제 2 드레인 콘택 플러그(44)를 통해 제 2 화소 패턴(42)에 접속된다. 그리고, 상기 제 1 및 제 2 드레인 콘택 플러그(43, 44) 하측으로 유지 전극(50)이 연장된다.
- [0030] 이를 통해 일 화소 영역 내에 제 1 화소 패턴을 포함하는 제 1 서브 화소와 제 2 화소 패턴을 포함하는 제 2 서브 화소를 갖는 액정 표시 장치를 제공한다. 여기서, 제 1 서브 화소에는 그 피크 값이 낮은 계조 전압을 인가하여 낮은 계조를 나타내고, 제 2 서브 화소에는 그 피크 값이 높은 계조 전압을 인가하여 높은 계조를 나타낸다.
- [0031] 하지만, 상술한 구조는 일 화소 영역 내에 두개의 화소 패턴이 마련되고, 이들을 각기 구동하기 위해 두개의 박막 트랜지스터를 포함하기 때문에 이들들에 의한 박막 트랜지스터의 채널 불량 발생율이 한 화소 패턴에 하나의 박막 트랜지스터를 갖는 경우에 비하여 2배가 높게 된다. 또한, 복수의 화소 패턴을 구동하기 위한 라인 수도 증가되고, 이로인한 패턴 밀도 증가로 인한 불량율이 상승하고 있는 실정이다.
- [0032] 더욱이, 두개의 서브 화소로 하나의 화소를 구성하므로 화소 불량을 리페어 하여 오프(off) 화소로 만들기 위해서는 두개의 서브 화소 모두를 리페어 하여야 한다. 즉, 둘 중의 어느 하나의 서브 화소에 불량이 발생하였을 경우 불량이 발생한 서브 화소 뿐만 아니라 다른 또 하나의 서브 화소도 리페어 하여야 한다.
- [0033] 하기에서는 제 1 화소 패턴(41)과 접속된 제 1 박막 트랜지스터(21)의 채널 쇼트(channel short) 형상이 발생하였을 때의 화소 리페어에 관해 도 1을 참조하여 설명한다.
- [0034] 불량이 발생한 제 1 박막 트랜지스터(21)와 제 1 드레인 콘택 플러그(43) 사이 영역의 드레인 전극(28)의 연장부를 레이저를 이용하여 끊어 제 1 박막 트랜지스터(21)와 제 1 화소 패턴(41)간을 단선시킨다(도 1의 B영역 참조).
- [0035] 제 1 화소 패턴(41)이 플로팅 되지 않고, 유지 전압(Vcst)이 인가되어 오프(off)가 되도록 레이저 조사를 통해 제 1 화소 패턴(41)과 하부의 유지 전극(50)이 전기적으로 접속되도록 한다. 이는 제 1 화소 패턴(41)이 플로팅 될 경우, 이와 대응하는 공통 전극 패턴(미도시)에 인가되는 전압에 의해 액정이 구동하게 되는 문제가 발생한다. 따라서, 제 1 화소 패턴(41)을 상기 공통 전극 패턴에 인가되는 전압과 동일 레벨의 유지 전압이 인가되도록 하여 제 1 화소 패턴(41)을 포함하는 서브 화소가 오프 화소가 되도록 한다. 이때, 접속 불량으로 인해 제 1 화소 패턴(41)이 플로팅되는 것을 방지하기 위해 제 1 드레인 콘택 플러그(43)의 양측 가장자리를 두번에 걸쳐 레이저 조사를 한다(도 1의 C, D영역 참조). 이를 통해 제 1 화소 패턴(41)을 포함하는 일 서브 화소가 오프 된다.
- [0036] 이때, 하나의 서브 화소가 오프 되면 단위 화소 전체가 로우 화소가 되기 때문에 단위 화소 전체를 오프 화소가 되도록 하여야 한다. 따라서 제 2 박막 트랜지스터(22)와 제 2 드레인 콘택 플러그(44) 사이의 드레인 전극(28)의 연장부를 레이저를 이용하여 끊어 제 2 박막 트랜지스터(22)와 제 2 화소 패턴(42)간을 단선시킨다(도 1의 G영역 참조). 두번의 레이저 조사를 통해 상기 제 2 화소 패턴(42)과 유지 전극(50)이 전기적으로 접속되도록 한다.

록 한다(도 1의 E, F영역 참조). 이를 통해 제 2 화소 패턴(42)을 포함하는 타 서브 화소가 오프 된다.

[0037] 상술한 바와 같이 종래의 기술에 따른 액정 표시 장치의 리페어를 위해서는 모두 6번의 레이저 리페어 작업을 실시하여야 하기 때문에 양선성의 저하는 물론 리페어 포인트의 증가로 인한 리페어 성공률 저하의 문제가 있다.

[0038] 또한, 인접한 두 단위 화소가 불량일 경우에는 두 인접한 화소를 모두 오프 화소로 만들기 때문에 화소 불량을 야기시켜 리페어가 불가능하다.

### 발명이 이루고자 하는 기술적 과제

[0039] 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 도출된 것으로서, 단위 화소를 구성하는 두 서브 화소의 리페어를 위한 플로팅 패턴과 리페어 배선 패턴을 마련하여 리페어 공정의 단순화와, 리페어된 화소의 재 사용이 가능한 액정 표시 장치와 그 제조 방법 및 리페어 방법을 제공하는 것을 그 목적으로 한다.

### 발명의 구성 및 작용

[0040] 본 발명에 따른 제 1 신호 라인에 접속된 제 1 및 제 2 스위칭 소자와, 상기 제 1 및 제 2 스위칭 소자에 각기 접속된 한 쌍의 제 2 신호 라인과, 상기 제 1 스위칭 소자의 제 1 연결 단자를 통해 접속된 제 1 화소 패턴과, 상기 제 2 스위칭 소자의 제 2 연결 단자를 통해 접속된 제 2 화소 패턴과, 상기 제 1 및 제 2 화소 패턴에 중첩되는 유지 전극 라인과, 리페어 공정을 통해 상기 제 1 및 제 2 화소 패턴을 전기적으로 연결하는 리페어부를 포함하는 액정 표시 장치를 제공한다.

[0041] 여기서, 상기 리페어부는 상기 제 1 및 제 2 연결 단자에 그 일부가 각기 중첩되는 리페어 라인과, 상기 제 1 화소 패턴 및 상기 제 2 화소 패턴 중 어느 하나와 상기 리페어 라인에 중첩하는 리페어 전극을 포함하는 것이 바람직하다.

[0042] 상기의 리페어 라인은 상기 유지 전극 라인과 동일 방향으로 연장된 직선 형상으로 형성하고, 직선의 양 끝단부에서 상기 제 1 및 제 2 연결 단자에 중첩되는 것이 바람직하다. 그리고, 상기 리페어 라인은 상기 유지 전극 라인과 동일 면상에 형성되고, 제 1 절연막을 통해 상기 제 1 및 제 2 연결 단자와 절연되는 것이 바람직하다. 상기 리페어 라인은 상기 제 1 신호 라인과 상기 유지 전극 라인 사이에 마련되는 것이 바람직하다.

[0043] 상기의 리페어 전극은, 상기 유지 전극에 그 일부가 중첩되는 판 형상으로 형성하고, 판의 일 끝단부에서 상기 리페어 라인에 중첩되는 것이 바람직하다. 그리고, 상기 리페어 전극은 상기 제 1 및 제 2 연결 단자와 동일 면상에 형성되고, 상기 리페어 전극은 상기 제 1 절연막을 통해 상기 유지 전극 및 상기 리페어 라인과 절연되고, 제 2 절연막을 통해 중첩되는 화소 패턴과 절연되는 것이 바람직하다. 상기 리페어 라인과 상기 제 1 및 제 2 연결 단자의 중첩 영역에 각기 마련된 제 1 및 제 2 리페어 패드부와, 상기 상기 리페어 라인과 상기 리페어 전극의 중첩 영역에 마련된 제 3 리페어 패드부를 더 포함하는 것이 효과적이다.

[0044] 상술한 상기 제 1 연결 단자는 상기 유지 전극 상에 마련되어 상기 제 1 화소 패턴에 접속하는 제 1 접속 패드를 포함하고, 상기 제 2 연결 단자는 상기 유지 전극 상에 마련되어 상기 제 2 화소 패턴에 접속하는 제 2 접속 패드를 포함하고, 상기 리페어 전극은 상기 제 1 및 제 2 접속 패드 사이 영역에 마련되는 것이 바람직하다.

[0045] 상술한 상기 제 1 및 제 2 연결 단자는 동일 방향으로 연장되는 것이 바람직하다.

[0046] 상술한 상기 제 1 스위칭 소자에 접속된 제 2 신호 라인에 인가되는 전압의 피크값이 상기 제 2 스위칭 소자에 접속된 제 2 신호 라인에 인가되는 전압의 피크값 보다 낮거나 같은 것이 효과적이다.

[0047] 또한, 본 발명에 따른 제 1 신호라인과, 상기 제 1 신호 라인에서 연장된 복수의 제 1 단자와, 유지 전극 라인 및 리페어 라인을 형성하는 단계과, 전체 구조상에 제 1 절연막을 형성하는 단계와, 복수의 제 1 단자 상에 각기 제 2 및 제 3 단자를 형성하여 제 1 및 제 2 스위칭 소자를 형성하고, 상기 제 1 및 제 2 스위칭 소자의 제 2 단자에 각기 접속하는 한쌍의 제 2 신호 라인을 형성하고, 상기 제 1 및 제 2 스위칭 소자의 제 3 단자에 각기 접속하는 제 1 및 제 2 연결 단자를 형성하고, 상기 리페어 라인과 그 일부가 중첩하는 리페어 전극을 형성하는 단계와, 전체 구조 상에 제 2 절연막을 형성하는 단계와, 상기 제 2 절연막을 관통하여 각기 제 1 및 제 2 연결 단자에 접속되고, 상기 유지 전극 라인과 그 일부가 중첩되는 제 1 및 제 2 화소 패턴을 형성하고, 상기

제 1 및 제 2 화소 패턴 중 어느 하나가 상기 리페어 전극과 중첩되도록 하는 단계를 포함하는 액정 표시 장치의 제조 방법을 제공한다.

[0048] 상술한 전체 구조상에 상기 제 1 절연막을 형성하는 단계 이후, 상기 제 1 단자 상에 활성층을 형성하고, 상기 리페어 배선의 적어도 일부에 리페어 패드부를 형성하는 단계를 더 포함하는 것이 바람직하다.

[0049] 그리고, 상기 제 1 및 제 2 연결 단자 각각은 상기 리페어 라인과 그 일부가 중첩되도록 형성되는 것이 효과적이다. 상기 리페어 전극은 상기 유지 전극 라인과 그 일부가 중첩되도록 형성되는 것이 바람직하다. 물론 상기 제 1 및 제 2 연결 단자는 각기 상기 제 1 및 제 2 화소 패턴과 접속되는 제 1 및 제 2 접속 패드를 포함하고, 상기 제 1 및 제 2 접속 패드는 상기 유지 전극 상부에 형성되는 것이 바람직하다.

[0050] 상기 리페어 전극은 상기 제 1 및 제 2 접속 패드 사이 영역에 형성되는 것이 효과적이다.

[0051] 또한, 본 발명에 따른 제 1 신호 라인에 접속된 제 1 및 제 2 스위칭 소자와, 상기 제 1 및 제 2 스위칭 소자에 각기 접속된 한 쌍의 제 2 신호 라인과, 상기 제 1 스위칭 소자의 제 1 연결 단자를 통해 접속된 제 1 화소 패턴과, 상기 제 2 스위칭 소자의 제 2 연결 단자를 통해 접속된 제 2 화소 패턴과, 상기 제 1 및 제 2 화소 패턴에 중첩되는 유지 전극 라인과, 상기 제 1 및 제 2 연결 단자와 그 일부가 각기 중첩하는 리페어 라인과, 상기 제 1 화소 패턴 및 제 2 화소 패턴 중 어느 하나와 상기 리페어 라인에 중첩되는 리페어 전극을 포함하는 액정 표시 장치의 리페어 방법에 있어서, 상기 제 1 및 제 2 연결 단자 중 어느 하나를 절단하는 단계와, 절단되지 않은 연결 단자와 상기 리페어 라인을 연결하는 단계와, 절단된 연결 단자와 접속되었던 화소 패턴 및 상기 리페어 전극 중 어느 하나와 상기 리페어 라인을 연결하는 단계를 포함하는 액정 표시 장치의 리페어 방법을 제공한다.

[0052] 상술한, 상기 제 1 신호 라인과 상기 유지 전극 라인 사이에 상기 리페어 라인이 마련되고, 상기 제 1 및 제 2 연결 라인은 상기 제 1 및 제 2 스위치 소자에서 상기 유지 전극 라인 전극 상측으로 연장되며, 상기 리페어 라인과 상기 제 1 신호 라인 사이 영역의 상기 연결 단자에 레이저 빔을 조사하여 절단하는 것이 바람직하다.

[0053] 그리고, 상기 제 1 및 제 2 화소 패턴 중 적어도 어느 하나의 화소 패턴은 절개 패턴을 포함하고, 상기 제 1 및 제 2 화소 패턴의 이격 공간 또는 절개 패턴 사이 영역의 상기 연결 단자를 절단하는 것이 바람직하다.

[0054] 물론 상기 절단되지 않은 연결 단자와 상기 리페어 라인의 중첩 영역과, 상기 리페어 전극과 상기 리페어 라인의 중첩 영역 중 적어도 어느 하나의 영역에 레이저 빔을 조사하여 중첩 영역의 단자, 라인 및 전극을 연결하는 것이 효과적이다. 상술한 상기 절단된 연결 단자와 상기 리페어 라인의 중첩 영역에 레이저 빔을 조사하여 상기 절단된 연결 단자와 접속된 상기 화소 패턴과 상기 리페어 라인간을 연결하는 것이 바람직하다.

[0055] 상기 제 1 스위칭 소자 영역에 불량이 발생하고, 상기 제 1 화소 패턴과 상기 리페어 전극이 중첩된 경우, 상기 제 1 연결 단자를 절단하고, 상기 제 2 연결 단자와 상기 리페어 라인간을 연결하고, 상기 리페어 전극과 상기 리페어 라인을 연결하고, 상기 제 2 스위칭 소자 영역에 불량이 발생하고, 상기 제 1 화소 패턴과 상기 리페어 전극이 중첩된 경우, 상기 제 2 연결 단자를 절단하고, 상기 제 1 및 제 2 연결 단자와 상기 리페어 라인을 연결하는 것이 효과적이다.

[0056] 또한, 본 발명에 따른 화소 영역 내에 형성되어 제 1 및 제 2 박막 트랜지스터와, 상기 제 1 및 제 2 박막 트랜지스터에 접속된 게이트 라인과, 상기 제 1 및 제 2 박막 트래지스터에 각기 접속된 제 1 및 제 2 데이터 라인과, 상기 제 1 및 제 2 박막 트랜지스터와 제 1 및 제 2 화소 패턴을 연결하는 제 1 및 제 2 드레인 전극과, 상기 제 1 및 제 2 드레인 전극과 그 일부가 중첩하는 리페어 라인과, 상기 제 1 및 제 2 화소 패턴 중 어느 하나와 중첩되고, 상기 리페어 라인과 중첩되는 리페어 전극을 포함하는 박막 트랜지스터 기판을 제공한다.

[0057] 여기서, 상기 리페어 라인은 상기 게이트 라인과 동일 면상에 형성되어 게이트 절연막을 통해 상기 제 1 및 제 2 연결 단자와 절연되는 것이 바람직하다.

[0058] 상기 제 1 및 제 2 화소 패턴에 중첩되고, 상기 게이트 라인과 동일 면상에 형성된 유지 전극 라인을 더 포함하고, 상기 유지 전극 라인과 상기 게이트 라인 사이에 상기 리페어 라인이 마련되는 것이 효과적이다. 이때, 상기 리페어 전극은 상기 유지 전극에 그 일부가 중첩되는 판 형상으로 형성되는 것이 효과적이다.

[0059] 상기 리페어 전극은 상기 제 1 및 제 2 연결 단자와 동일 면상에 형성되고, 상기 리페어 전극은 상기 게이트 절연막을 통해 상기 리페어 라인과 절연되고, 박막 트랜지스터 보호막을 통해 중첩되는 화소 패턴과 절연되는 것이 바람직하다.

- [0060] 상술한 상기 리페어 라인과 상기 제 1 및 제 2 연결 단자의 중첩 영역에 각기 마련된 제 1 및 제 2 리페어 패드부와, 상기 상기 리페어 라인과 상기 리페어 전극의 중첩 영역에 마련된 제 3 리페어 패드부를 더 포함하는 것이 효과적이다.
- [0061] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0062] 도면에서 여러 층 및 각 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.
- [0063] 도 2는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 평면도이고, 도 3은 본 발명의 일 실시예에 따른 컬러 필터 기판이 평면도이고, 도 4는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판과 컬러 필터 기판이 결합된 액정 표시 장치의 평면도이다. 도 5는 도 4의 액정 표시 장치의 V-V선, W-W선, X-X선, Y-Y선 및 Z-Z선에 대해 자른 단면도이다.
- [0064] 도 2 내지 도 5를 참조하면, 본 실시예에 따른 액정 표시 장치는 하부 기판인 박막 트랜지스터 기판(1000)과, 이와 대향하여 배치되는 상부 기판인 공통 전극 기판(2000)과, 이들 두 기판 사이에 형성되며 두 기판에 대해서 원하는 방향으로 배향되는 액정층(도시되지 않음)으로 이루어진다.
- [0065] 상하부 기판들의 표면은 액정의 배향을 위해 배향막을 설치하여 액정층의 액정 분자를 배향시킨다. 이때 액정층의 액정 분자의 배향은 각 기판에 대하여 수직이 되도록 하는 수직 배향 모드인 것이 바람직하나, 수직 배향이 아닐 수도 있다.
- [0066] 박막 트랜지스터 기판(1000)은 투광성 절연 기판(100) 위에 게이트 신호를 전달하며 제 1 방향으로 연장되고 제 2 방향으로 소정 간격을 갖도록 배열된 복수의 게이트 라인(110)과, 게이트 라인(110)에 교차하여 형성된 복수의 제 1 및 제 2 데이터 라인(130a, 130b)과, 게이트 라인(110)과 제 1 및 제 2 데이터 라인(130a, 130b)에 의해 정의된 화소 영역에 형성된 제 1 및 제 2 화소 패턴(140a, 140b)과, 제 1 화소 패턴(140a), 제 1 데이터 라인(130a) 및 게이트 라인(110)과 접속된 제 1 박막 트랜지스터(120a)와, 제 2 화소 패턴(140b), 제 2 데이터 라인(130b) 및 게이트 라인(110)과 접속된 제 2 박막 트랜지스터(120b)와, 상기 게이트 라인에 평행하게 연장되어 상기 제 1 및 제 2 화소 패턴(140a, 140b)을 관통하는 유지 전극 라인(150)과, 리페어 공정을 통해 제 1 및 제 2 화소 패턴(140a, 140b)간을 전기적으로 연결할 수 있는 리페어부(160)를 포함한다.
- [0067] 여기서, 인접하는 2개의 게이트 라인(110)과 한쌍의 제 1 및 제 2 데이터 라인(130a, 130b)에 의해 둘러싸여 형성된 화소 영역은 레이아웃 상에서 사각형 형상을 갖는 것이 바람직하다.
- [0068] 상기의 게이트 라인(110)은 주로 가로 방향으로 뻗어 있고, 게이트 라인(110)의 일부가 상부 및/또는 하부로 돌출하여 상술한 제 1 및 제 2 박막 트랜지스터(120a, 120b)의 게이트 전극(123a, 123b)을 이룬다. 게이트 라인(110)의 끝단에는 외부 회로와의 연결을 위한 게이트 패드(미도시)가 형성되어 있다.
- [0069] 제 1 및 제 2 데이터 라인(130a, 130b)은 주로 세로 방향으로 뻗어 있고, 상기 제 1 및 제 2 화소 패턴(140a, 140b)의 양측에 각기 배치된다. 그리고, 그 일부가 각기 돌출하여 상술한 제 1 및 제 2 박막 트랜지스터(120a, 120b)의 소스 전극(127a, 127b)을 이룬다. 제 1 및 제 2 데이터 라인(130a, 130b)의 끝단에는 데이터 패드(미도시)가 형성되어 있다. 여기서는 직선형의 제 1 및 제 2 데이터 라인(130a, 130b)을 예시하였으나, 데이터 라인(130a, 130b)은 소정의 굽은 영역을 가질 수도 있고, 이때는 제 1 및 제 2 화소 패턴(140a, 140b)이 데이터 라인(130a, 130b)의 굽은 영역을 따라 형성될 수도 있다.
- [0070] 유지 전극 라인(150)은 게이트 라인(110)과 동일한 층에 이와 동일한 방향으로 연장된 직선 형상으로 형성되어, 도면에 도시된 바와 같이 상기 화소 영역의 중심에 배치되도록 한다. 그리고, 유지 전극 라인(150)의 끝단은 공통 전압(Vcom)과 연결되어 있는 것이 효과적이다. 도면에 도시된 바와 같이 제 1 및 제 2 화소 패턴(140a, 140b)과 중첩되는 영역에 형성된 라인의 폭이 그 외의 영역에 형성된 라인의 면적보다 더 넓게 형성하는 것이 바람직하다. 상기 유지 전극 라인(150)은 앞서 설명한 바와 같이 제 1 및 제 2 화소 패턴(140a, 140b)과 중첩

되어 제 1 및 제 2 유지 커패시터를 형성하고, 유지 전극 라인(150)과 제 1 및 제 2 화소 패턴(140a, 140b)과의 중첩 면적을 조절하여 제 1 및 제 2 유지 커패시터의 정전용량을 조절하는 것이 바람직하다. 또한, 상기 유지 전극 라인(150)과 제 1 및 제 2 화소 패턴(140a, 140b) 사이에 제 1 및 제 2 화소 패턴(140a, 140b)과 접속되는 제 1 및 제 2 접속 패드(128a-2, 128b-2)가 마련되어 제 1 및 제 2 유지 커패시터의 정전용량을 증대시킬 수도 있다. 상기 유지 전극 라인(150)이 제 1 및 제 2 화소 패턴(140a, 140b)과 제 1 및 제 2 접속 패드(128a-1, 128b-1)과 중첩되는 면적이 서로 동일한 것이 효과적이다. 물론 이에 한정되지 않고, 목표로 하는 유지 커패시터의 정전용량에 따라 그 중첩 면적이 서로 다를 수도 있다.

[0071] 또한, 제 1 및 제 2 박막 트랜지스터(120a, 120b) 각각은 게이트 전극(123a, 123b), 소스 전극(127a, 127b) 및 드레인 전극(128a, 128b)을 포함한다. 상술한 제 1 및 제 2 박막 트랜지스터(120a, 120b)는 게이트 라인(110)에 공급되는 신호에 응답하여 제 1 및 제 2 데이터 라인(130a, 130b)에 공급되는 제 1 및 제 2 화소 신호(계조 전압)가 제 1 및 제 2 화소 패턴(140a, 140b)에 충전되도록 한다. 이를 위해 게이트 전극(123a, 123b)은 게이트 라인(110)에 접속되고, 소스 전극(127a, 127b)은 데이터 라인(130a, 130b)에 접속되고, 드레인 전극(128a, 128b)은 화소 패턴(141, 142)에 접속된다. 그리고, 게이트 전극(123a, 123b)과 소스 전극(127a, 127b) 및 드레인 전극(128a, 128b) 사이에 순차적으로 형성된 게이트 절연막(124a, 124b) 및 활성층(125a, 125b)과, 활성 층(125a, 125b)의 적어도 일부에 형성된 오믹 접촉층(126a, 126b)을 포함한다. 이때 오믹 접촉층(126a, 126b)은 채널부를 제외한 활성층(125a, 125b) 상에 형성될 수 있다.

[0072] 이를 좀더 상세히 설명하면, 상기 제 1 박막 트랜지스터(120a)의 소스 전극(127a)은 제 1 데이터 라인(130a)에 접속되고, 드레인 전극(128a)은 이로부터 연장된 제 1 접속 패드(128a-2)를 통해 제 1 화소 패턴(140a)과 접속된다. 제 2 박막 트랜지스터(120b)의 소스 전극(128b)은 제 2 데이터 라인(130b)에 접속되고, 드레인 전극(128b)은 이로부터 연장된 제 2 접속 패드(128b-2)를 통해 제 2 화소 패턴(140b)과 접속된다.

[0073] 상기 제 1 접속 패드(128a-2)는 제 1 박막 트랜지스터(120a)의 드레인 전극(128a)에서부터 연장된 연장선(128a-1)과 접속되고, 유지 전극라인(150)과 제 1 화소 패턴(140a) 사이 영역에 마련되는 것이 바람직하다. 그리고, 상기 제 2 접속 패드(128b-2)는 제 2 박막 트랜지스터(120b)의 드레인 전극(128b)에서부터 연장된 연장선(128b-1)과 접속되고, 유지 전극 라인(150)과 제 2 화소 패턴(140b) 사이 영역에 마련되는 것이 바람직하다.

[0074] 이때, 제 1 및 제 2 접속 패드(128a-2, 128b-2)는 제 1 및 제 2 화소 패턴(140a, 140b)의 가교 역할을 하여 제 1 및 제 2 화소 패턴(140a, 140b)과 유지 전극 라인(150) 사이에 형성되는 제 1 및 제 2 유지 커패시터의 정전 용량을 조절하는 역할을 할 수도 있다.

[0075] 상술한 제 1 및 제 2 박막 트랜지스터(120a, 120b)의 상부에는 절연성 보호막(129)이 형성되어 있다. 보호막(129)은 질화 실리콘 또는 산화 실리콘 등의 무기 물질로 형성될 수도 있고, 저유전율 유기막으로 형성될 수도 있다. 물론 무기 절연막과 유기막의 이중층으로 형성될 수도 있다.

[0076] 상기 보호막(129)의 일부를 패터닝하여 상기 제 1 접속 패드(128a-2)의 일부를 노출하는 제 1 콘택 플러그(141a)와, 제 2 접속 패드(128b-2)의 일부를 노출하는 제 2 콘택 플러그(141b)를 형성한다. 상기 제 1 콘택 플러그(141a)를 통해 제 1 접속 패드(128a-2)와 제 1 화소 패턴(140a) 간이 전기적으로 연결되고, 제 2 콘택 플러그(141b)를 통해 제 2 접속 패드(128b-2)와 제 2 화소 패턴(140b) 간이 전기적으로 연결된다.

[0077] 상술한 제 1 및 제 2 화소 패턴(140a, 140b)은 보호막(129) 상에 형성되며 제 1 및 제 2 콘택 플러그(141a, 141b) 및 제 1 및 제 2 접속 패드(128a-2, 128b-2)를 통해 제 1 및 제 2 박막 트랜지스터(120a, 120b) 각각의 드레인 단자(128a, 128b)에 접속된다.

[0078] 도면에 도시된 바와 같이 제 2 화소 패턴(140b)은 중심부의 우측에서 좌측으로 연장된 V자 형상으로 마련된다. 제 1 화소 패턴(140a)은 상기 V자 형상의 제 2 화소 패턴(140b)을 감싸는 상으로 마련된다. 즉, V자 형상의 중심에 마련된 중심부와 V자 형상의 상하측에 마련된 상측부 및 하측부를 포함한다. 제 1 및 제 2 화소 패턴(140a, 140b)은 액정의 배열 방향을 조정하기 위한 도메인 규제 수단으로 다수의 절개 패턴을 갖는 것이 바람직하다. 바람직하게는 상기 제 1 화소 패턴(140a)에 다수의 절개 패턴(142a, 143a, 144a)이 형성되는 것이 효과적이다. 제 1 절개 패턴(142a)은 제 1 화소 패턴(140a)의 중심부의 좌측 가장자리에서 내측 방향으로 뻗어 있으며 그 입구인 좌측 가장자리 측이 확장되어 있다. 제 2 절개 패턴(143a)은 제 1 화소 패턴(140a)의 상측부의 우측 가장자리에서 상부 방향으로 연장되고, 제 3 절개 패턴(144a)은 제 1 화소 패턴(140a)의 하측부의 우측 가장자리에서 하부 방향으로 연장된다. 여기서, 제 2 및 제 3 절개 패턴(143a, 144a)은 서로 직각을 이루는 것이 바람직하다. 그리고, 제 1 및 제 2 화소 패턴(140a, 140b)을 형성하기 위해 절개된 영역이 이루는 각도 또한

직각인 것이 바람직하다. 본 실시예는 이에 한정되지 않고, 액정 분자의 배향을 위한 도메인 규제수단으로 절개 패턴 대신에 돌기 패턴을 형성할 수 있다.

[0079] 다음으로, 리페어부(160)는 상기 제 1 및 제 2 박막 트랜지스터(120a, 120b) 각각의 드레인 전극(128a, 128b)과 그 일부가 중첩되는 리페어 라인(161)과, 상기 리페어 라인(161) 및 상기 제 1 화소 패턴(140a)과 그 일부가 중첩되는 리페어 전극(162)을 포함한다. 그리고, 리페어 라인(161)과 제 1 및 제 2 박막 트랜지스터(120a, 120b)의 드레인 전극(128a, 128b)의 중첩 영역에 각기 마련된 제 1 및 제 2 리페어 패드부(163, 164)와, 리페어 라인(161)과 리페어 전극(162)의 중첩 영역에 마련된 제 3 리페어 패드부(165)를 포함한다. 상술한 리페어부(160)의 구체적인 동작은 후술한다.

[0080] 상기의 리페어 라인(161)은 게이트 라인(110) 및 유지 전극 라인(150)과 동일 면상에 형성하는 것이 바람직하고, 이를 위해 제 1 및 제 2 박막 트랜지스터(120a, 120b)가 접속된 게이트 라인(110)과, 유지 전극 라인(150) 사이 영역에 마련되는 것이 바람직하다. 도면에 도시된 바와 같이 게이트 라인(110) 및 유지 전극 라인(150)이 연장 방향과 동일한 연장 방향을 갖는 것이 효과적이다. 본 실시예에서는 상기 유지 전극 라인(150)에 인접하여 형성하는 것이 효과적이다. 즉, 드레인 전극(128a, 128b)의 연장선(128a-1, 128b-1)의 끝단부에 형성하여 개구율의 감소를 최소화하는 것이 바람직하다. 리페어 라인(161)은 후속 리페어 공정을 통해 그 상부를 지나가는 드레인 전극(128a, 128b) 또는 리페어 전극(162)을 연결하는 역할을 하기 때문에 레이저를 이용한 리페어 공정시 드레인 전극(128a, 128b)과의 접속이 가능한 폭으로 형성하는 것이 바람직하다. 즉, 드레인 전극(128a, 128b)의 연장선(128a-1, 128b-1)의 폭과 동일하게 형성하는 것이 바람직하고, 이에 한정되지 않고, 상기 연장선(128a-1, 128b-1)의 폭보다 더 넓게 형성할 수도 있고, 더 좁게 형성할 수도 있다.

[0081] 리페어 전극(162)은 제 1 및 제 2 접속 패드부(128a-2, 128b-2)와 동일 면상에 형성되는 것이 바람직하다. 리페어 전극(162)은 하측으로 유지 전극(150) 및 리페어 라인(161)과 그 일부가 중첩되고, 상측으로 제 1 화소 패턴(140a)과 그 일부가 중첩되는 것이 바람직하다. 이와 같이 리페어 전극(162)을 유지 전극(150)과 그 일부가 중첩되도록 형성하여 액정 표시 장치의 개구율 저하를 최소화 할 수 있다. 도면에 도시된 바와 같이 제 1 및 제 2 접속 패드부(128a-2, 128b-2) 사이에 고립된 판 형상으로 제작하는 것이 바람직하다. 이를 위해 유지 전극(150)과 리페어 라인(161)과는 게이트 절연막(124)을 통해 절연되고, 제 1 화소 패턴(140a)과는 보호막(129)을 통해 절연된다.

[0082] 본 실시예에서는 상기 리페어 전극(162)과 제 1 화소 패턴(140a)이 중첩됨에 관해 설명하였지만 이에 한정되지 않고, 제 2 화소 패턴(140b)과 중첩될 수도 있다. 또한, 상기 리페어 전극(162)은 단일 판 평상으로 형성됨에 관해 설명하였지만 이에 한정되지 않고, 다양한 패턴과 형상으로 리페어 전극(162)을 형성할 수 있다. 예를 들어 빗살 무늬 형태로 리페어 전극(162)을 형성하여 상기 빗살 무늬의 빗살의 절단을 통해 리페어 전극(162)과 제 1 화소 패턴(140a)의 중첩 면적을 조절할 수도 있다. 또한, 복수의 패턴으로 상기 리페어 전극(162)을 형성할 수도 있다.

[0083] 제 1 내지 제 3 리페어 패드부(163, 164, 165)는 제 1 및 제 2 박막 트랜지스터(120a, 120b)의 활성층(125a, 125b)과 동일 면상에 형성하는 것이 바람직하다. 이를 통해 리페어 공정시 제 1 내지 제 3 리페어 패드부(163, 164, 165)를 통해 하측의 리페어 라인(161)과 상측의 드레인 전극(128a, 128b) 및 리페어 전극(162) 간의 전기적 접촉을 향상시킬 수 있다. 물론 상기의 제 1 내지 제 3 리페어 패드부(163, 164, 165)는 생략할 수 있다.

[0084] 한편, 공통 전극 기판(2000)은, 유리 등의 투명한 절연 물질로 이루어진 절연 기판(200)의 아래 면에 빛샘과 인접한 화소 영역들 사이의 광 간섭을 방지하기 위한 블랙 매트릭스(210)와 적색, 녹색, 청색의 컬러 필터(220)가 형성되고, 컬러 필터(220) 위에는 유기 물질로 이루어진 오버코트막(230)이 형성되어 있다. 오버코트막(230) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어진 공통 전극(240)이 형성되어 있다. 상기 공통 전극(240)은 절개 패턴 또는 돌기 패턴을 포함한다. 본 실시예에서는 제 1 및 제 2 화소 패턴(140a, 140b)을 양분하는 위치에 복수개의 돌기 패턴(241, 242, 243, 244, 245, 246)이 마련된다.

[0085] 여기서, 상기의 제 1 및 제 2 화소 패턴의 절개 패턴(142a, 143a, 144a)과 공통 전극(240)의 절개 패턴(241, 242, 243, 244, 245, 246)은 액정 분자를 분할 배향하는 도메인 규제수단으로 작용한다. 이러한 도메인 규제수단은 제 1 및 제 2 화소 패턴(140a, 140b) 및 공통 전극(240) 중 적어도 어느 하나의 영역에만 설치할 수 있다.

[0086] 상기와 같은 박막 트랜지스터 기판(1000)과 공통 전극 기판(2000)을 결합하고 그 사이에 액정층을 구비하여 본 발명의 일 실시예에 따른 단위 화소 내에 제 1 및 제 2 서브 화소를 갖고, 이들의 불량 발생시 리페어를 위한 리페어부를 갖는 액정 표시 장치의 기본 패널이 마련된다. 본 발명의 실시예에 따른 액정 표시 장치는 상부 및

하부 기판 사이에 네거티브 타입의 유전율 이방성(negative type dielectric constant anisotropy)을 갖는 액정을 구비하여 수직 배향시키는 것이 바람직하나, 특별히 이에 한정되는 것은 아니다.

[0087] 액정 표시 장치는 이러한 기본 패널 양측에 도시되지 않은 편광판, 백라이트, 보상판 등의 요소들을 배치할 수 있다.

[0088] 이러한 액정 표시 장치에 전압을 가하면 제 1 및 제 2 화소 패턴(140a, 140b)은 이에 각기 접속된 제 1 및 제 2 박막 트랜지스터로(120a, 120b)부터 공급되는 제 1 및 제 2 계조 신호를 공급받아 공통 전극(2000)에 형성되어 있는 공통 전극(240)과 전위차를 발생시키게 된다.

[0089] 이 전위차에 의해 박막 트랜지스터 기판(1000)과 공통 전극 기판(2000) 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극을 경유하여 입사되는 광량을 조절하여 공통 전극 기판 쪽으로 투과시키게 된다. 이를 통해 광 시야각을 구현하고, 측면 개조 봉침이나 반전으로 인한 측면 시인성 왜곡 현상을 개선할 수 있게 된다.

[0090] 이하에서는 이러한 구조와 작용 효과를 가지는 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 설명한다.

[0091] 도 6 내지 도 13은 본 발명의 일 실시예에 따른 박막 트랜지스터 기판을 제조하는 공정을 순서대로 나타낸 도면이다.

[0092] 여기서, 도 6, 도 8, 도 10 및 도 12은 평면도이고, 도 7, 도 9, 도 11 및 도 13는 상기 평면도에 따른 박막 트랜지스터 기판을 V-V선, W-W선, X-X선, Y-Y선 및 Z-Z선에 대해 자른 단면도이다.

[0093] 도 6 및 도 7을 참조하면, 투명 절연 기판(100) 상에 제 1 도전성막을 형성한 다음, 이를 제 1 감광막 마스크 패턴(미도시)을 이용한 사진 식각공정을 통해 게이트 라인(110), 제 1 및 제 2 게이트 전극(123a, 123b), 유지 전극 라인(150) 및 리페어 라인(161)을 형성한다.

[0094] 먼저 상기의 투명 절연 기판(100) 상에 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제 1 도전성 막을 형성한다. 제 1 도전성 막으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 및 Mo/Al/Mo 중 적어도 어느 하나를 사용하는 것이 바람직하다. 물론 이에 한정되지 않고 앞서 설명한 바와 같이 제 1 도전성 막으로 A1, Nd, Ag, Cr, Ti, Ta 및 Mo 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성하되, 단일층 및 다중층으로 형성할 수 있다. 즉, 물리 화학적 특성이 우수한 Cr, Ti, Ta, Mo 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층 또는 삼중층으로 형성할 수도 있다. 이와 같이 전체 기판 상에 제 1 도전성막을 형성한 후, 감광막을 도포한 다음, 제 1 마스크를 이용한 리소그라피 공정을 실시하여 제 1 감광막 마스크 패턴을 형성한다. 제 1 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 도 6에 도시된 바와 같이, 다수의 게이트 라인(110)과 제 1 및 제 2 게이트 전극(123a, 123b) 그리고, 상기 게이트 라인(110)에 대응하여 수평하게 연장된 유지 전극 라인(150)과 상기 유지 전극 라인(150)과 인접하여 수평하게 연장된 리페어 라인(161)을 형성하는 것이 바람직하다. 이후, 소정의 스트립 공정을 실시하여 제 1 감광막 마스크 패턴을 제거한다.

[0095] 도 8 및 도 9를 참조하면, 전체 구조 상에 게이트 절연막(124), 활성층용 박막 및 오믹 접촉층용 박막을 순차적으로 형성한 다음, 제 2 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 활성층(125a, 125b)과 오믹 접촉층(126a, 126b)을 포함하는 제 1 및 제 2 박막 트랜지스터의 활성영역을 형성하고, 제 1 내지 제 3 리페어 패드부(163, 164, 165)를 형성한다.

[0096] 전체 기판 상에 PECVD법, 스퍼터링법 등을 이용한 증착 방법을 통해 게이트 절연막(124)을 형성한다. 이때, 게이트 절연막(124)으로는 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 사용하는 것이 바람직하다. 게이트 절연막(124) 상에 상술한 증착 방법을 통해 활성층용 박막 및 오믹 접촉층용 박막을 순차적으로 형성한다. 활성층용 박막으로는 비정질 실리콘층을 사용하고, 오믹 접촉층용 박막으로는 실리사이드 또는 N형 불순물이 고농도로 도핑된 비정질 실리콘층을 사용한다.

[0097] 상기의 오믹 접촉층용 박막 상에 감광막을 도포한 다음, 제 2 마스크를 이용한 포토리소그라피 공정을 통해 제 2 감광막 마스크 패턴을 형성한다. 상기의 제 2 감광막 마스크 패턴을 식각 마스크로 하고, 게이트 절연막(124)을 식각 정지막으로 하는 식각 공정을 실시하여 제 1 및 제 2 게이트 전극(123a, 123b) 상부에 오믹 접촉층(126a, 126b) 및 활성층(125a, 125b)을 포함하는 활성영역을 형성한다. 그리고, 리페어 라인(161)의 양측 가장자리의 일부와 중첩하는 제 1 및 제 2 리페어 패드부(163, 164)를 형성하고, 리페어 라인(161)의 중심부의 일

부와 중첩하는 제 3 리페어 패드부(165)를 형성한다. 이때, 상기 제 1 내지 제 3 리페어 패드부(163, 164, 165)는 활성층용 박막 및 오믹 접촉층용 박막을 포함한다. 이후, 소정의 스트립 공정을 실시하여 잔류하는 제 2 감광막 마스크 패턴을 제거한다. 여기서, 게이트 절연막(112)은 500 내지 5000Å 두께로 형성하고, 활성층(113)은 300 내지 2000Å 두께로 형성하며, 오믹 접촉층(114)은 100 내지 600Å 두께로 형성하는 것이 바람직하다.

[0098] 도 10 및 도 11를 참조하면, 제 1 및 제 2 박막 트랜지스터의 활성 영역이 형성된 전체 구조상에 제 2 도전성막을 형성한 다음, 이를 제 3 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 제 1 및 제 2 데이터 라인(130a, 130b), 제 1 및 제 2 소스 전극(127a, 127b), 제 1 및 제 2 드레인 전극(128a, 128b), 제 1 및 제 2 접속 패드(128a-2, 128b-2)와, 리페어 전극(162)을 형성한다.

[0099] 전체 기판 상에 제 2 도전성막을 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제 2 도전성 막을 형성한다. 이때, 제 2 도전성막으로는 Mo, Al, Cr, Ti 중 적어도 하나의 금속 단일층 또는 다중층을 사용하는 것이 바람직하다. 물론 제 2 도전성막은 제 1 도전성막과 동일한 물질을 사용할 수도 있다. 제 2 도전성막은 500Å 내지 3000Å의 두께로 증착하는 것이 효과적이다. 이후, 제 2 도전성막 상에 감광막을 도포한 다음, 마스크를 이용한 리소그라피 공정을 실시하여 제 3 감광막 마스크 패턴을 형성한다. 상기 제 3 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 제 2 도전성막을 식각하여, 화소 영역의 양측에 배치되고 게이트 라인(110)과 직교하는 제 1 및 제 2 데이터 라인(130a, 130b)을 형성하고, 제 1 및 제 2 게이트 전극(123a, 123b) 각각의 상부에 마련된 제 1 및 제 2 소스 전극(127a, 127b)과 제 1 및 제 2 드레인 전극(128a, 128b)을 형성하고, 유지 전극(150)과 그 일부가 중첩되고 제 1 및 제 2 드레인 전극(128a, 128b)과 접속되는 제 1 및 제 2 접속 패드(128a-2, 128b-2)를 형성하고, 유지 전극(150), 제 3 리페어 패드(165) 및 리페어 라인(161)과 중첩되는 리페어 전극(162)을 형성한다.

[0100] 이후, 상기 소스 전극(127a, 127b)과 드레인 전극(128a, 128b) 사이 영역에 노출된 오믹 접촉층(126a, 126b)을 식각공정을 통해 제거하여 소스 전극(127a, 127b)과 드레인 전극(128a, 128b) 사이에는 활성층(126a, 126b)으로 이루어진 채널을 갖는 제 1 및 제 2 박막 트랜지스터(120a, 120b)를 형성한다.

[0101] 여기서, 제 3 감광막 마스크 패턴을 제거하지 않고 오믹 접촉층(126a, 126b)을 제거하여 소스 전극(127a, 127b)과 드레인 전극(128a, 128b) 사이의 활성층(126a, 126b)을 노출시킬 수도 있고, 제 3 감광막 마스크 패턴을 제거한 다음 오믹 접촉층(126a, 126b)을 제거할 수도 있다. 이때, 식각 공정은 먼저 습식 식각을 실시하여 제 3 감광막 마스크 패턴이 형성되지 않은 영역의 제 2 도전성막을 제거하고, 건식 식각 공정을 실시하여 오믹 접촉층(126a, 126b)을 제거한다. 또한 습식 식각과 건식 식각 사이에 O<sub>2</sub> 플라즈마를 이용한 애칭 공정을 실시하여 제 3 감광막 패턴을 제거할 수도 있다.

[0102] 도 12 및 도 13을 참조하면, 게이트 라인(110), 제 1 및 제 2 데이터 라인(130a, 130b), 제 1 및 제 2 접속 패드(128a-2, 128b-2), 제 1 및 제 2 박막 트랜지스터(120a, 120b) 및 리페어 전극(162)이 형성된 투명 절연 기판(100) 상에 보호막(129)을 형성하고, 제 4 감광막 마스크 패턴을 이용한 식각공정을 통해 보호막(129)의 일부를 제거하여 제 1 및 제 2 접속 패드(128a-2, 128b-2)를 노출하는 콘택홀을 형성한다.

[0103] 상기 콘택홀이 형성된 보호막(129) 상에 제 3 도전성막을 형성한 다음, 제 5 감광막 마스크 패턴(미도시)을 이용하여 제 3 도전성막을 패터닝하여 콘택홀을 통해 제 1 및 제 2 접속 패드(128a-2, 128b-2)와 각기 접속하는 제 1 및 제 2 콘택 플러그(141a, 141b)를 형성하고, 상기 제 1 콘택 플러그(141a)에 접속하는 제 1 화소 패턴(140a)과, 제 2 콘택 플러그(141b)에 접속하는 제 2 화소 패턴(140b)을 형성하고, 상기 제 1 화소 패턴(140a)에 복수의 절개 패턴(142a, 143a, 144a)을 형성한다. 여기서, 제 3 도전성막은 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 인듐 아연 산화물(Indium Zinc Oxide : IZO)을 포함하는 투명 도전막을 사용하는 것이 바람직하다. 상술한 공정을 통해 게이트 라인과 제 1 및 제 2 데이터 라인으로 정의된 단위 화소 영역에 각기 전기적으로 절연된 화소 패턴을 포함하는 두개의 서브 화소가 마련된다.

[0104] 상기와 같이 제 1 및 제 2 화소 패턴(140a, 140b)을 형성한 다음 전체 구조 상에 제 1 배향막(미도시)을 형성한다. 이로써, 하부 기판 즉, 박막 트랜지스터 기판이 제작된다.

[0105] 한편, 공통 전극 기판(2000)은 제 2 투명 절연기판(200) 상에 블랙 매트릭스(210), 컬러 필터(220), 오버코트막(230), 돌기 패턴(241, 242, 243, 244, 245), 투명 공통 전극(240) 및 제 2 배향막(미도시)을 순차적으로 형성하여 제작한다.

[0106] 이후 상기와 같이 제조된 박막 트랜지스터 기판(1000)과 공통 전극 기판(2000) 사이에 스페이서(미도시)를 개재

하여 이들 기판을 서로 접합한다. 이어서, 진공 주입 방법을 이용하여 스페이서에 의해 형성된 소정의 공간에 액정물질을 주입하여 액정층을 형성함으로써 본 실시예에 따른 액정표시장치를 제작한다.

[0107] 상술한 실시예의 박막 트랜지스터 기판(1000)은 5매 마스크 공정으로 형성되었지만, 이에 한정되지 않고, 5매 이상의 마스크 공정 또는 5매 이하의 마스크 공정을 통해서도 형성될 수 있다.

[0108] 하기에서는 상술한 바와 같이 제조된 본 실시예의 액정 표시 장치의 리페어에 관해 설명한다.

[0109] 박막 트랜지스터 기판을 바탕으로 제 1 및 제 2 서브 화소의 리페어에 관해 설명한다. 제 1 서브 화소는 제 1 박막 트랜지스터(120a)와 제 1 화소 패턴(140a)을 포함한다. 제 1 데이터 라인(130a)의 제 1 계조 전압이 제 1 박막 트랜지스터(120a)를 통해 제 1 화소 패턴(140a)에 인가되고 이와 대응하는 공통 전극(240)과의 사이에 전압차가 발생하고, 이로인해 제 1 화소 패턴(140a) 상의 액정을 구동한다. 제 2 서브 화소는 제 2 박막 트랜지스터(120b)와 제 2 화소 패턴(140b)을 포함한다. 제 2 데이터 라인(130b)의 제 2 계조 전압이 제 2 박막 트랜지스터(120b)를 통해 제 2 화소 패턴(140b)에 인가되고 이와 대응하는 공통 전극(240)과의 사이에 전압차가 발생하게 되어 제 2 화소 패턴(140b) 상의 액정을 구동한다.

[0110] 여기서, 상기 제 1 데이터 라인(130a)에 인가되는 제 1 계조 전압의 피크값이 상기 제 2 데이터 라인(130b)에 인가되는 제 2 계조 전압이 피크값과 같거나 작은 것이 바람직하다. 이를 통해 상기 제 1 화소 패턴(140a)에는 낮은 데이터 신호 즉, 낮은 계조 전압이 인가되고, 제 2 화소 패턴(140b)에는 높은 데이터 신호 즉, 높은 계조 전압이 인가된다.

[0111] 본 실시예에서는 제 1 및 제 2 박막 트랜지스터(120a, 120b)와 제 1 및 제 2 화소 패턴(140a, 140b) 간을 각기 연결하는 드레인 전극(128a, 128b)의 연장선(128a-1, 128a-2)인 두 라인과 그 일부가 중첩하는 리페어 라인(161)을 마련하고, 그 일부가 리페어 라인(161)과 중첩되고 제 1 및 제 2 화소 패턴(140a, 140b) 중 어느 하나와 중첩하는 리페어 전극(162)을 포함하는 리페어부(160)를 마련한다. 따라서, 단위 화소 내의 일 서브 화소가 불량이 발생하였을 경우에는 불량이 발생한 서브 화소의 박막 트랜지스터와 화소 패턴간의 연결을 끊고, 상기 드레인 전극(128a, 128b)의 연장선(128a-1, 128b-1)과 리페어 라인(161)이 중첩되는 영역과, 리페어 전극(162)과 리페어 라인(161)이 중첩되는 영역 중 적어도 일부에 레이저 빔을 조사하여 중첩 영역 상하의 라인 또는 전극을 도통시켜 상기 제 1 및 제 2 서브 화소를 리페어 하는 것이 바람직하다.

[0112] 하기에서는 먼저 도면을 참조하여 낮은 데이터 신호가 인가되는 서브 화소 영역에 불량이 발생하였을 때의 리페어에 관해 설명한다. 즉, 제 1 서브 화소의 제 1 박막 트랜지스터(120a)에 채널 쇼트로 인해 불량이 발생하였을 경우에 관해 설명한다.

[0113] 도 14는 본 발명의 일 실시예에 따른 일 서브 화소의 리페어 방법을 설명하기 위한 액정 표시 장치의 평면도이고, 도 15는 도 14의 액정 표시 장치를 V-V선, W-W선, X-X선, Y-Y선 및 Z-Z선에 대해 다른 단면도이다. 도 16은 리페어후의 액정 표시 장치의 등가 회로도이다.

[0114] 도 14 내지 도 16을 참조하면, 낮은 데이터 신호 즉, 낮은 계조 전압이 인가되는 제 1 서브 화소의 제 1 박막 트랜지스터(120a)의 불량으로 인해 단위 화소에 결합이 발생하였을 경우에는 제 1 박막 트랜지스터(120a)와 제 1 화소 패턴(140a) 사이를 단선(open)시킨다. 본 실시예에서는 제 1 접속 패드(128a-2)를 통해 제 1 화소 패턴(140a)과 접속되는 제 1 박막 트랜지스터(120a)의 제 1 드레인 전극(128a)의 연장선(128a-1)의 일부를 제 1 레이저 리페어 공정을 통해 절단하는 것이 바람직하다(도 14 및 도 15의 H영역 참조). 연장선(128a-1)이 절단되는 영역은 상기 제 1 및 제 2 화소 패턴(140a, 140b)이 형성되지 않는 영역(예를 들어 절개 패턴 영역 및 제 1 및 제 2 화소 패턴 사이 영역)에 마련되는 것이 바람직하다. 이를 통해 레이저 조사시 연장선 상측의 제 1 및 제 2 화소 패턴(140a, 140b) 내에 흄이 형성되거나, 연장선과 화소 패턴 간이 도통하는 문제를 해결할 수 있다. 물론 이에 한정되지 않고, 연장선의 어느 부분을 절단할 수 있다.

[0115] 이후, 제 2 박막 트랜지스터(120b)의 제 2 드레인 전극(128b)과 리페어 라인(161)간을 도통시키고, 리페어 전극(162)과 리페어 라인(161)간을 도통시킨다. 본 실시예에서는 제 2 박막 트랜지스터(120b)의 제 2 드레인 전극(128b)의 연장선(128b-1)과 상기 리페어 라인(161)간이 중첩되는 영역에 레이저 빔을 조사하여 제 2 드레인 전극(128b)의 연장선(128b-1)과 리페어 라인(161)을 도통시키는 제 2 레이저 리페어 공정을 실시하고(도 14 및 도 15의 I영역 참조), 리페어 전극(162)과 리페어 라인(161)간이 중첩되는 영역에 레이저 빔을 조사하여 리페어 전극(162)과 리페어 라인(161)간을 도통시키는 제 3 레이저 리페어 공정을 실시한다(도 14 및 도 15의 J영역 참조).

[0116] 상술한 설명에서는 레이저 리페어 장치를 박막 트랜지스터 기판(1000) 상측에 배치하여, 박막 트랜지스터 기판

(1000) 상부에서 레이저 빔 조사를 실시하여 리페어 공정을 수행함에 관해 설명하였다. 하지만 본 발명은 공통 전극 기판(2000)과 박막 트랜지스터 기판(1000)이 결합된 후, 박막 트랜지스터 기판(1000) 하부에서 레이저 빔을 조사하여 리페어 공정을 수행할 수도 있다. 즉, 박막 트랜지스터 기판(1000)의 하측에서 레이저 빔을 조사하여 제 1 박막 트랜지스터(120a)의 제 1 드레인 전극(128a)의 연장선의 일부를 절단하고, 제 2 드레인 전극(128b)과 리페어 라인(161)간을 연결하고, 리페어 라인(161)과 리페어 전극(162)간을 연결할 수 있다.

[0117] 상술한 바와 같이 본 실시예에서는 3번의 레이저 리페어 공정을 통해 리페어를 실시하여 종래의 6번의 레이저 리페어 공정에 비하여 3번의 공정 감소로 인해 50%의 생산성 향상 효과를 가질 수 있다. 또한, 리페어를 통해 단위 화소 전체를 오프 화소로 만들지 않고, 제 1 서브 화소에 제 2 서브 화소 보다 낮은 전압이 인가되도록 할 수 있다.

[0118] 본 발명에 따른 제 1 및 제 2 서브 화소는 각기 제 1 및 제 2 화소 패턴(140a, 140b)과 공통 전극(240) 사이에 마련된 화소 커패시터(Cl<sub>c</sub>)와, 제 1 및 제 2 화소 패턴(140a, 140b)과 유지 전극(150) 사이에 마련된 유지 커패시터(C<sub>st</sub>)를 포함한다. 하지만, 낮은 계조 전압이 인가되는 제 1 서브 화소에 불량이 발생하여 앞서 설명한 바와 같이 리페어를 실시하게 되면 제 1 화소 패턴(140a)을 플로팅 되고, 제 2 박막 트랜지스터(120b)의 제 2 드레인 전극(128b)은 리페어 라인(161)을 통해 리페어 전극(162)과 접속된다.

[0119] 이를 통해 리페어된 제 1 서브 화소에는 리페어 전극(162)과 플로팅된 제 1 화소 패턴(140a) 사이와, 플로팅된 제 1 화소 패턴(140a)과 공통 전극(240) 사이에 리페어 보상 커패시터(C<sub>cpr</sub>)와 리페어 화소 커패시터(Cl<sub>cr</sub>)가 마련되고, 리페어 전극(162)과 유지 전극(150) 사이에 유지 커패시터(C<sub>st</sub>)가 마련된다. 상기 리페어 보상 커패시터(C<sub>cpr</sub>)와 리페어 화소 커패시터(Cl<sub>cr</sub>)는 직렬 접속되어 있고, 그 일단은 제 2 서브 화소의 제 2 드레인 전극(128b)에 접속된다.

[0120] 따라서, 제 2 박막 트랜지스터(120b)가 턴온되면 제 2 데이터 라인(130b)의 높은 계조 전압은 제 2 드레인 단자(128b)를 통해 제 2 화소 패턴(140b)에 인가되고, 동시에 리페어 전극(162)에 인가된다. 제 2 화소 패턴(140b)에 인가된 높은 계조 전압은 액정 커패시터(Cl<sub>c</sub>)에 인가되어 제 2 서브 화소가 높은 계조 전압 하에서 동작하게 된다. 한편, 리페어 전극(162)에 인가된 높은 계조 전압은 리페어 보상 커패시터(C<sub>cpr</sub>)에 의해 그 전압이 낮아지고, 낮아진 계조 전압이 리페어 화소 커패시터(Cl<sub>cr</sub>)에 인가된다. 이로인해 제 1 서브 화소는 제 2 서브 화소에 인가되는 높은 계조 전압 보다 낮은 계조 전압 하에서 동작할 수 있게 되어 된다. 이를 통해 시인성 개선 효과를 동일하게 유지할 수 있고, 불량이 발생한 제 1 서브 화소를 전체 그레이(Gray)에서 동작이 가능하도록 할 수 있다. 이때, 상기 제 1 화소 패턴(140a)과 중첩되는 리페어 전극(162)의 면적을 조절하여 상기 리페어 보상 커패시터(C<sub>cpr</sub>)와 리페어 화소 커패시터(Cl<sub>cr</sub>)의 양단에 걸리는 전압값을 자유롭게 조절할 수 있다. 따라서, 본 실시예에서는 단위 화소의 시인성 지수가 가장 좋게 되도록 상기 리페어 전극(162)의 크기를 조절한다.

[0121] 다음으로, 도면을 참조하여 높은 데이터 신호가 인가되는 서브 화소 영역에 불량이 발생하였을 때의 리페어에 관해 설명한다. 즉, 제 2 서브 화소의 제 2 박막 트랜지스터(120b)의 채널 쇼트로 인해 불량이 발생하였을 경우에 관해 설명한다.

[0122] 도 17은 본 발명의 일 실시예에 따른 일 서브 화소의 다른 리페어 방법을 설명하기 위한 액정 표시 장치의 평면도이고, 도 18은 도 17의 액정 표시 장치를 V-V선, W-W선, X-X선, Y-Y선 및 Z-Z선에 대해 자른 단면도이다. 도 19는 리페어후의 액정 표시 장치의 등가 회로도이다.

[0123] 도 17 내지 도 19을 참조하면, 높은 데이터 신호 즉, 높은 계조 전압이 인가되는 제 2 서브 화소의 제 2 박막 트랜지스터(120b)의 불량으로 인해 단위 화소에 결합이 발생하였을 경우에는 제 2 박막 트랜지스터(120b)와 제 2 화소 패턴(140b) 사이를 단선(open)시킨다. 본 실시예에서는 제 2 접속 패드(128b-2)를 통해 제 2 화소 패턴(140b)과 접속되는 제 2 박막 트랜지스터(120b)의 제 2 드레인 전극(128b)의 연장선(128b-1)의 일부를 제 1 레이저 리페어 공정을 통해 절단하는 것이 바람직하다(도 17 및 도 18의 K영역 참조).

[0124] 이후, 제 2 화소 패턴(140b)과 리페어 라인(161)간을 도통시키고, 제 1 박막 트랜지스터(120a)의 제 1 드레인 전극(128a)과 리페어 라인(161)간을 도통시킨다.

[0125] 본 실시예에서는 제 2 화소 패턴(140b)이 제 2 접속 패드(128b-2)와 접속되고, 제 2 접속 패드(128b-2)는 제 2 드레인 전극(128b)의 연장선(128b-1)과 접속된다. 따라서, 상기 제 2 접속 패드(128b-2)와 접속된 상기 연장선(128b-1)과 상기 리페어 라인(161)이 중첩되는 영역에 레이저 빔을 조사하여 상기 연장선(128b-1)과 리페어 라인(161)간을 도통시키는 제 2 리페어 공정을 실시한다(도 17 및 도 18의 L영역 참조). 이를 통해 리페어 라인(161)은 연장선(128b-1)과 제 2 접속 패드(128b-2)를 통해 제 2 화소 패턴(140b)과 접속된다. 그리고, 제 1

박막 트랜지스터(120a)의 제 1 드레인 전극(128a)의 연장선(128a-1)과 상기 리페어 라인(161)간이 중첩되는 영역에 레이저 범을 조사하여 제 1 드레인 전극(128a)의 연장선(128a-1)과 리페어 라인(161)을 도통시키는 제 3 레이저 리페어 공정을 실시한다(도 17 및 도 18의 M영역 참조).

[0126] 상술한 바와 같이 높은 계조 전압이 인가되는 제 2 서브 화소에 불량이 발생하여 앞서 설명한 바와 같이 리페어를 실시하게 되면 제 1 및 제 2 화소 패턴(140a, 140b)은 모두 제 1 박막 트랜지스터(120a)의 제 1 드레인 전극(128a)과 접속된다. 이를 통해 도 19에 도시된 바와 같이 제 1 서브 화소의 유지 커페시터(Cst)와 화소 커페시터(ClC) 그리고, 제 2 서브 화소의 리페어 유지 커페시터(Cstr)와 리페어 화소 커페시터(Clcr)가 동일한 전압 레벨에서 구동하게 된다. 즉, 제 1 및 제 2 서브 화소가 모두 낮은 계조 전압에서 동작하게 된다. 기존의 경우에는 서브 화소간의 휘도차가 커서 단위 화소 전체가 오프 되도록 리페어 하였다. 그러나 본 실시예와 같이 제 1 및 제 2 서브 화소를 포함하는 단위 화소를 낮은 계조 전압에 의해 구동 될 경우, 중간 그레이 이상에서는 휘도차가 거의 나지 않아 정상 작동에는 큰 문제가 없게 된다. 즉, 종래의 경우, 그레이에 상관없이 불량이 발생한 단위 화소 전체가 오프 되어 있기 때문에 폴 화이트 일때는 불량 화소가 검은 점으로 나타나게 된다. 이에 반하여 본 발명에 따라 리페어된 단위 화소는 밝기가 어두운 낮은 그레이에서는 화소가 오프되어 주변의 낮은 그레이들과의 휘도차가 크게 발생하지 않게 된다. 그리고, 높은 그레이 예를 들어 폴 화이트인 경우 상기 리페어된 화소는 정상 동작을 하여 폴 화이트를 발하게 되어 휘도차가 나타나지 않게 된다.

[0127] 따라서 본 발명은 상술한 바와 같이 단위 화소를 구성하는 내부 서브 화소에 불량이 발생하였을 경우 이를 리페어 하여 사용할 수 있게 된다.

### 발명의 효과

[0128] 상술한 바와 같이, 본 발명은 다른 전압 범위에서 구동하는 복수의 서브 화소를 포함하는 단위 화소 중 어느 하나의 서브 화소 불량을 리페어 하여 단위 화소의 정상 동작이 가능하도록 할 수 있다.

[0129] 또한, 낮은 전압 범위에서 구동하는 서브 화소의 불량 발생시, 높은 전압 범위에서 구동하는 서브 화소와 낮은 전압 범위에서 구동하는 서브 화소간을 연결하고, 낮은 전압 범위에서 구동하는 서브 화소와 중첩하는 전압 조절용 리페어 전극을 통해 낮은 전압 범위에서 구동하는 서브 화소에 인가되는 높은 전압을 가변시켜 낮은 전압으로 공급할 수 있다.

[0130] 또한, 높은 전압 범위에서 구동하는 서브 화소의 불량 발생시, 낮은 전압 범위에서 구동하는 서브 화소와 높은 전압 범위에서 구동하는 서브 화소 간을 연결하여 하나의 낮은 전압 범위에서 구동하는 화소를 마련하여 중간 그레이 이상에서 정상 동작이 가능할 수 있다.

[0131] 또한, 다른 전압 범위에서 구동하는 복수의 서브 화소간을 리페어 하기 위한 리페어 배선과 리페어 전극을 유지 전극 상부 및 이와 인접 영역에 형성하여 개구율 감소를 최소화할 수 있다.

[0132] 또한, 화소의 리페어시 레이저 리페어 공정 회수를 감소시켜 생산성을 향상시킬 수 있다.

[0133] 또한, 복수의 인접한 단위 화소의 리페어가 가능하다.

[0134] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

[0001] 도 1은 종래의 액정 표시 장치의 리페어 방법의 문제를 설명하기 위한 평면도.

[0002] 도 2는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 평면도.

[0003] 도 3은 본 발명의 일 실시예에 따른 컬러 필터 기판의 평면도.

[0004] 도 4는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판과 컬러 필터 기판이 결합된 액정 표시 장치의

평면도.

[0005] 도 5는 도 4의 액정 표시 장치의 V-V선, W-W선, X-X선, Y-Y선 및 Z-Z선에 대해 자른 단면도.

[0006] 도 6 내지 도 13은 본 발명의 일 실시예에 따른 박막 트랜지스터 기판을 제조하는 공정을 순서대로 나타낸 도면.

[0007] 도 14는 본 발명의 일 실시예에 따른 일 서브 화소의 리페어 방법을 설명하기 위한 액정 표시 장치의 평면도.

[0008] 도 15는 도 14의 액정 표시 장치를 V-V선, W-W선, X-X선, Y-Y선 및 Z-Z선에 대해 자른 단면도.

[0009] 도 16은 리페어후의 액정 표시 장치의 등가 회로도.

[0010] 도 17은 본 발명의 일 실시예에 따른 일 서브 화소의 다른 리페어 방법을 설명하기 위한 액정 표시 장치의 평면도.

[0011] 도 18은 도 17의 액정 표시 장치를 V-V선, W-W선, X-X선, Y-Y선 및 Z-Z선에 대해 자른 단면도.

[0012] 도 19는 리페어후의 액정 표시 장치의 등가 회로도.

[0013] <도면의 주요 부분에 대한 부호의 설명>

[0014] 10, 110 : 게이트 라인 31, 32, 130a, 130b : 데이터 라인

[0015] 21, 22, 120a, 120b : 박막 트랜지스터

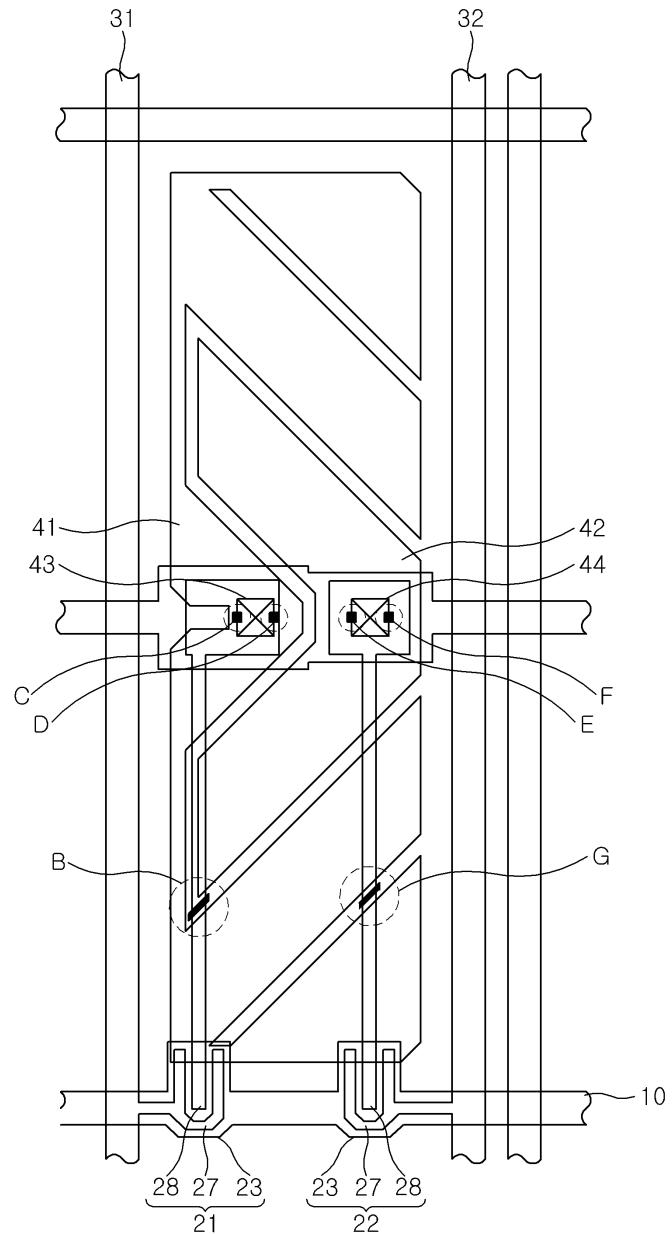
[0016] 41, 42, 140a, 140b : 화소 패턴

[0017] 150 : 유지 전극 라인 161 : 리페어 라인

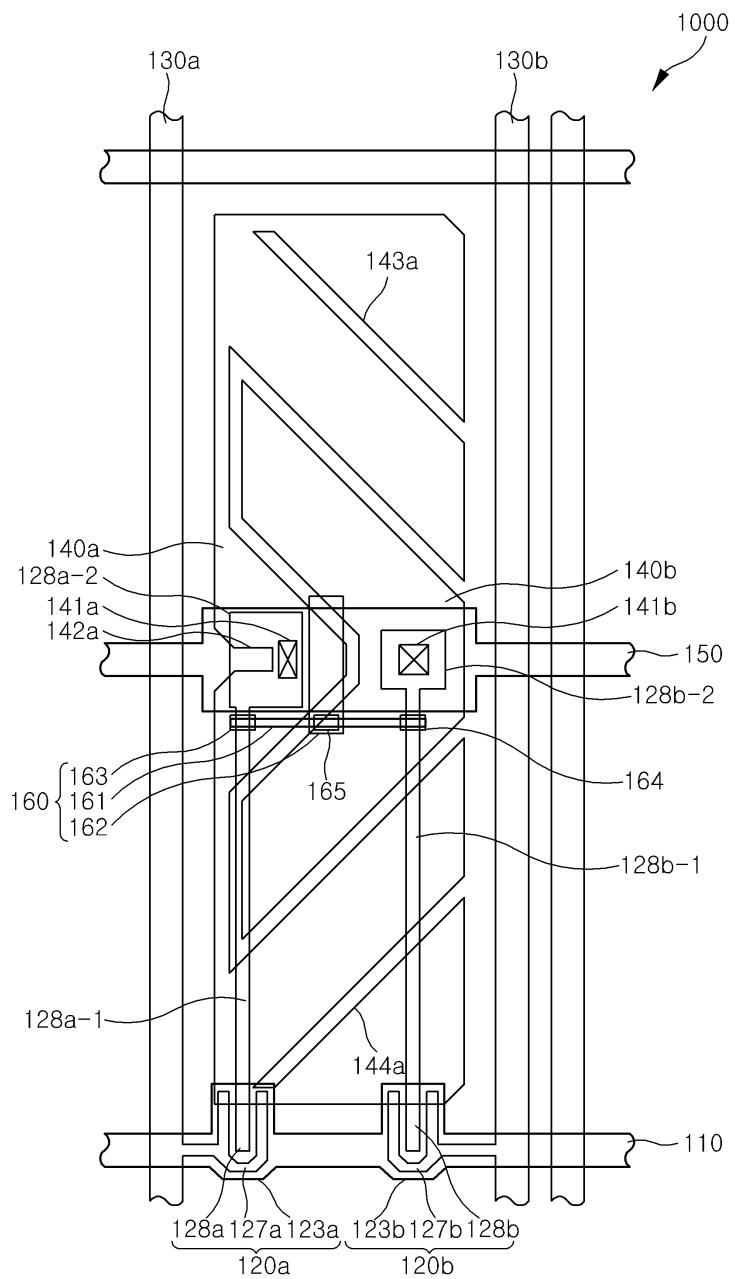
[0018] 162 : 리페어 전극 163, 164, 165 : 리페어 패드

도면

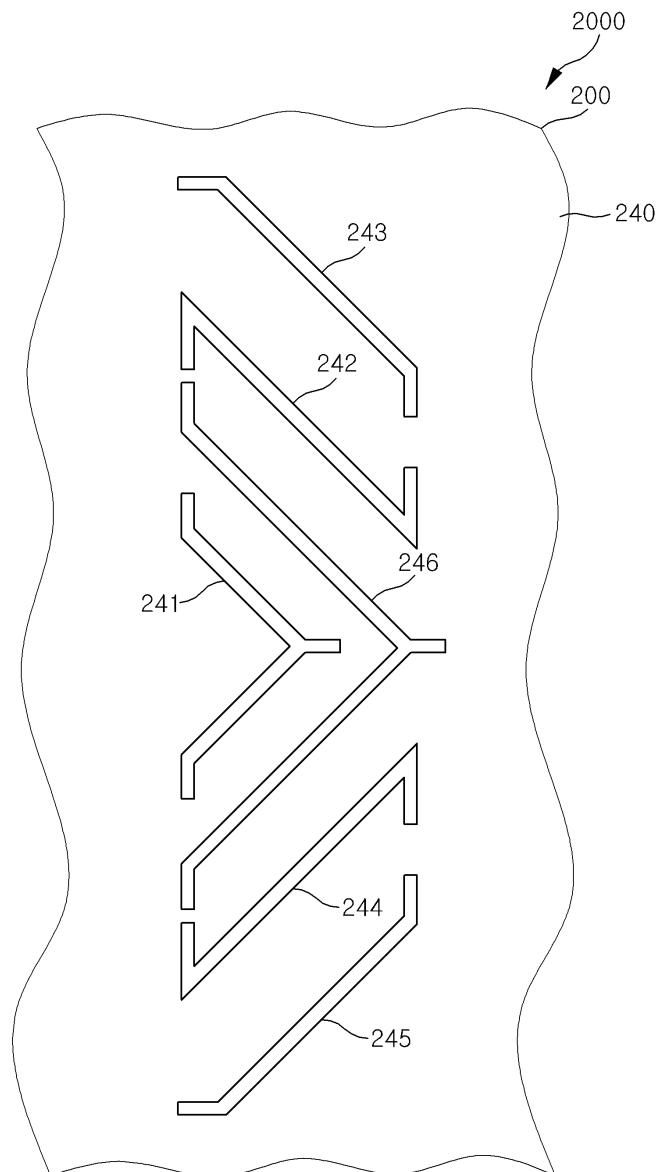
도면1



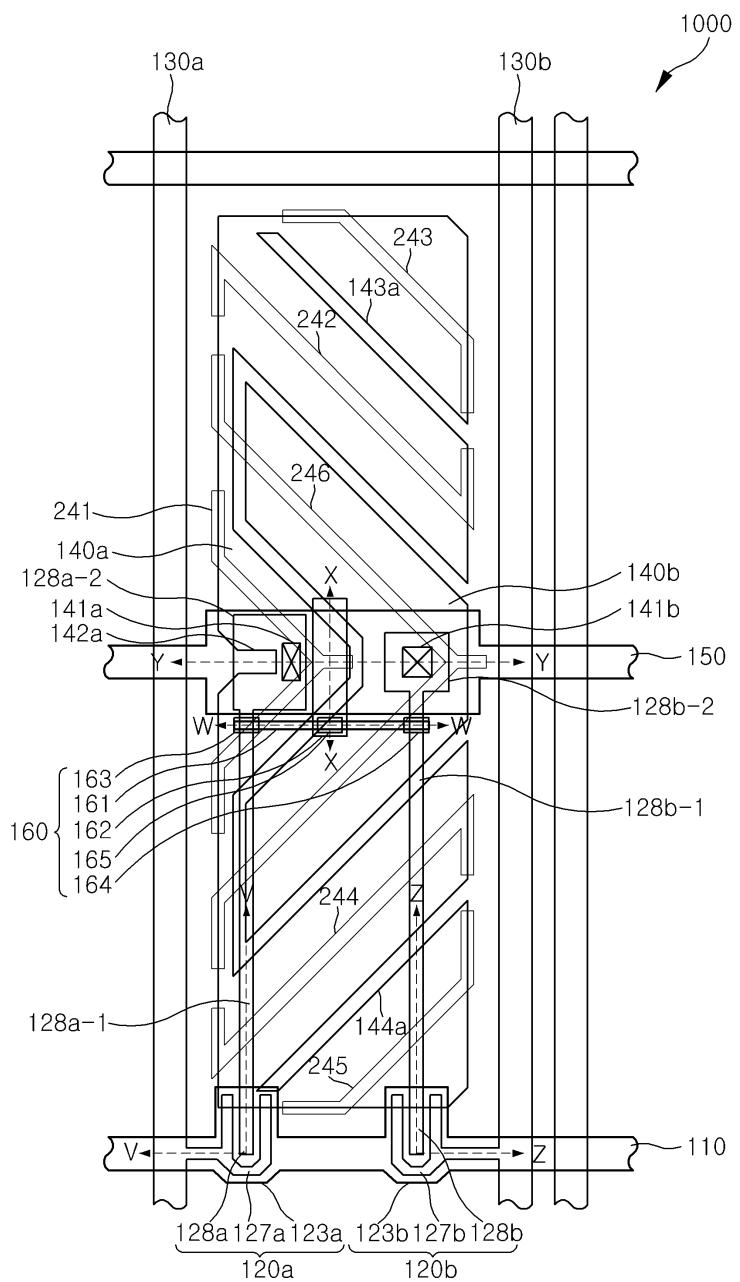
## 도면2



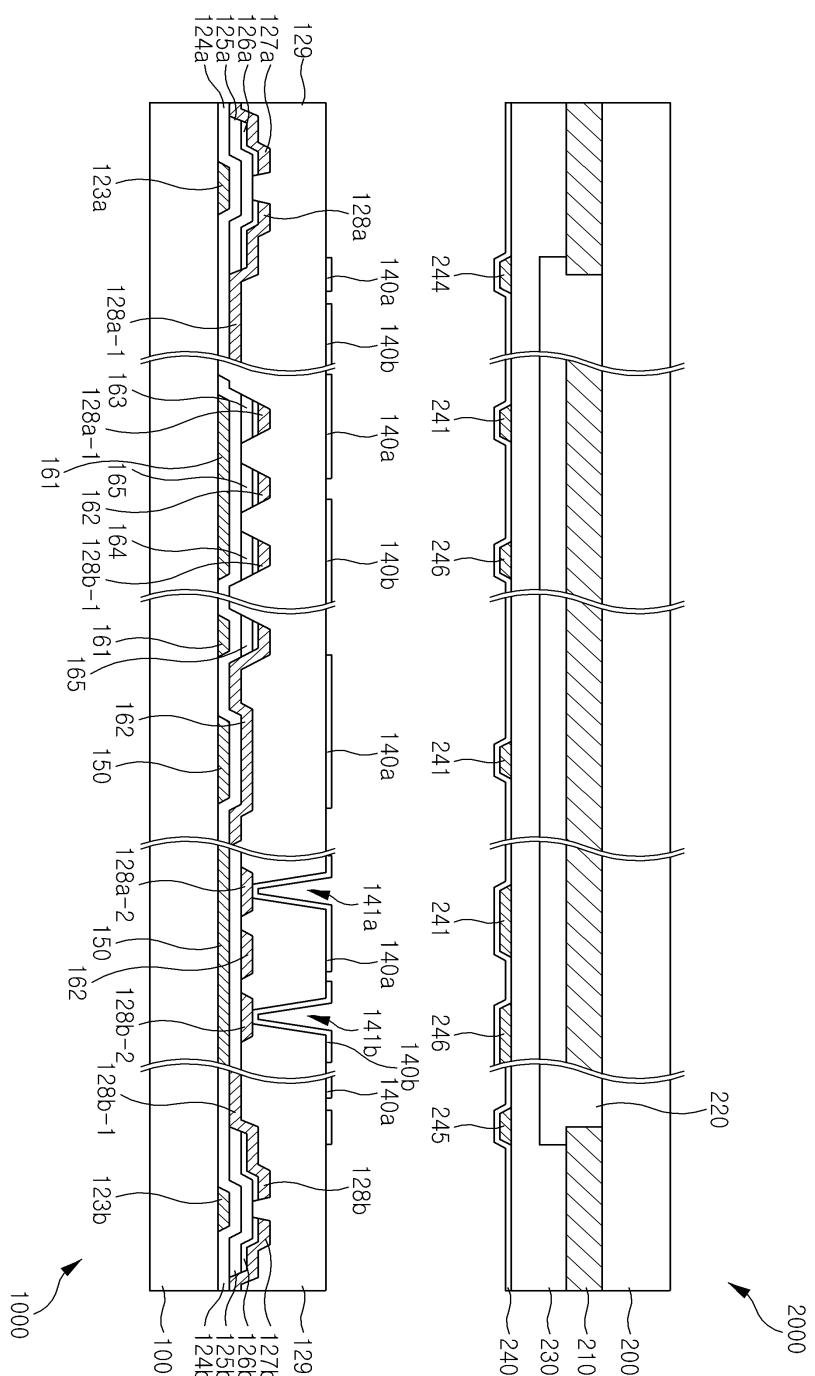
도면3



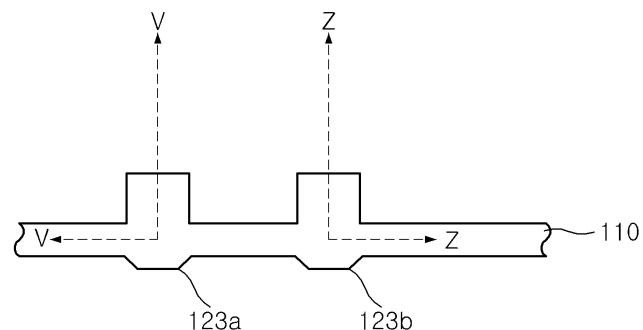
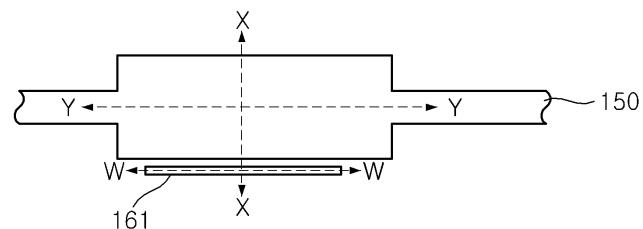
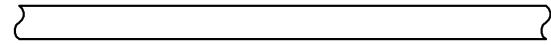
## 도면4



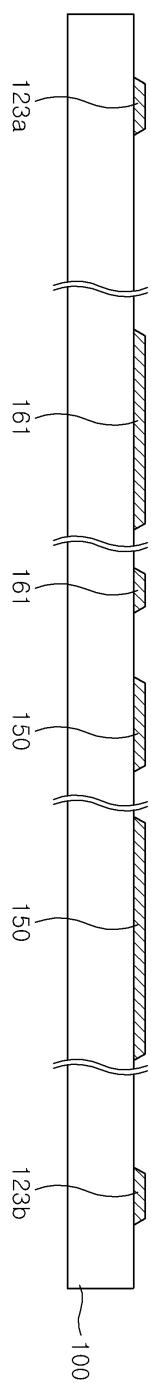
## 도면5



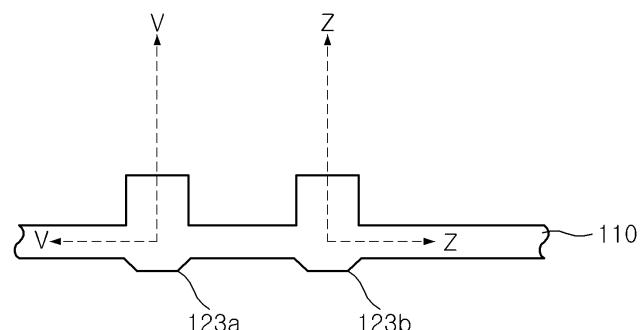
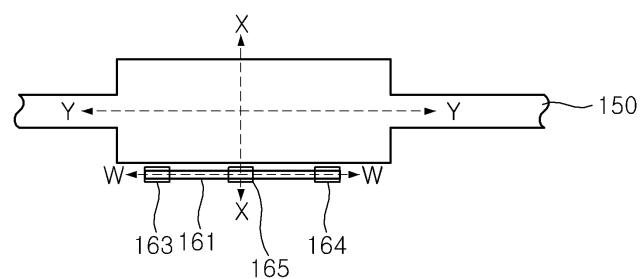
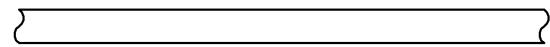
도면6



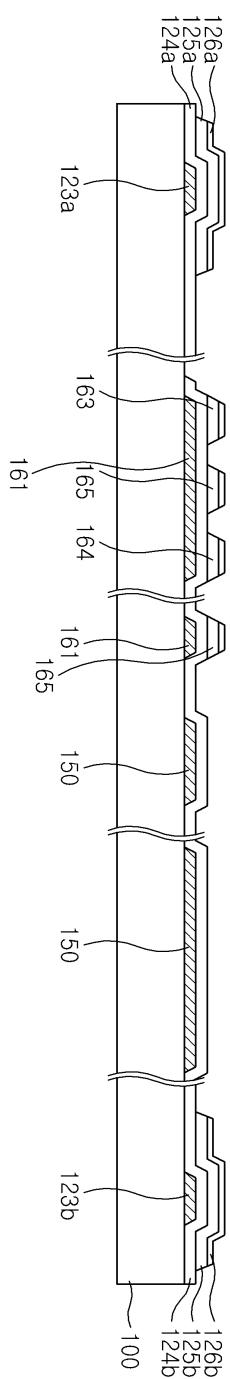
도면7



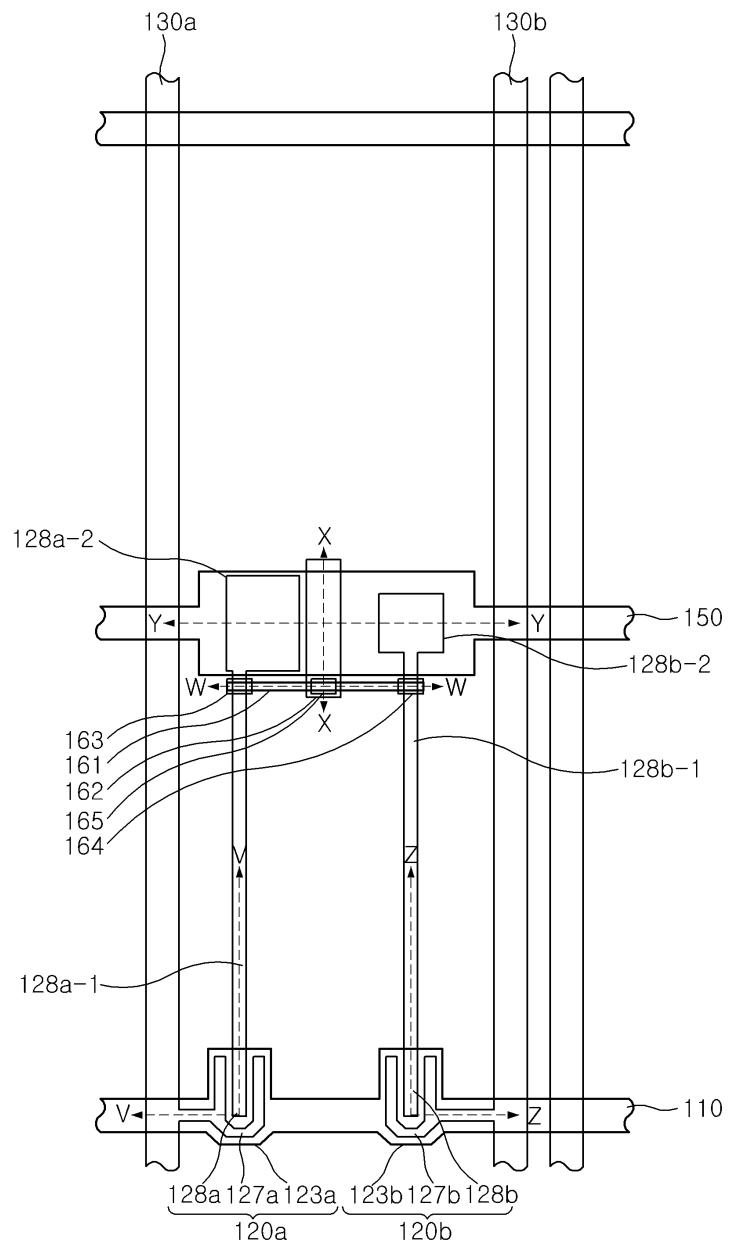
도면8



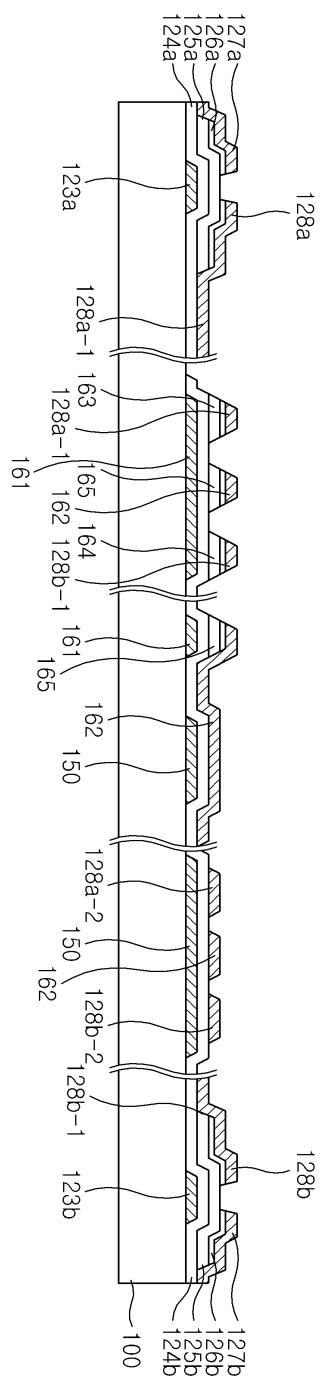
도면9



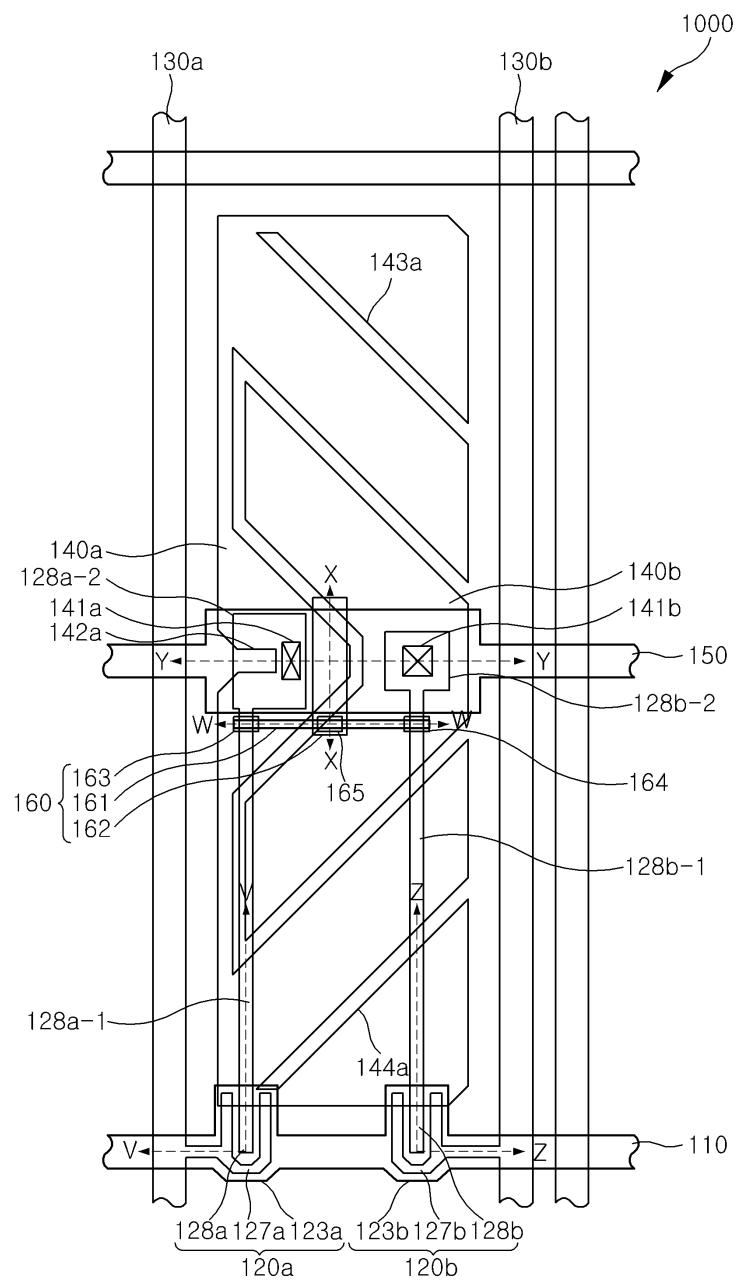
## 도면10



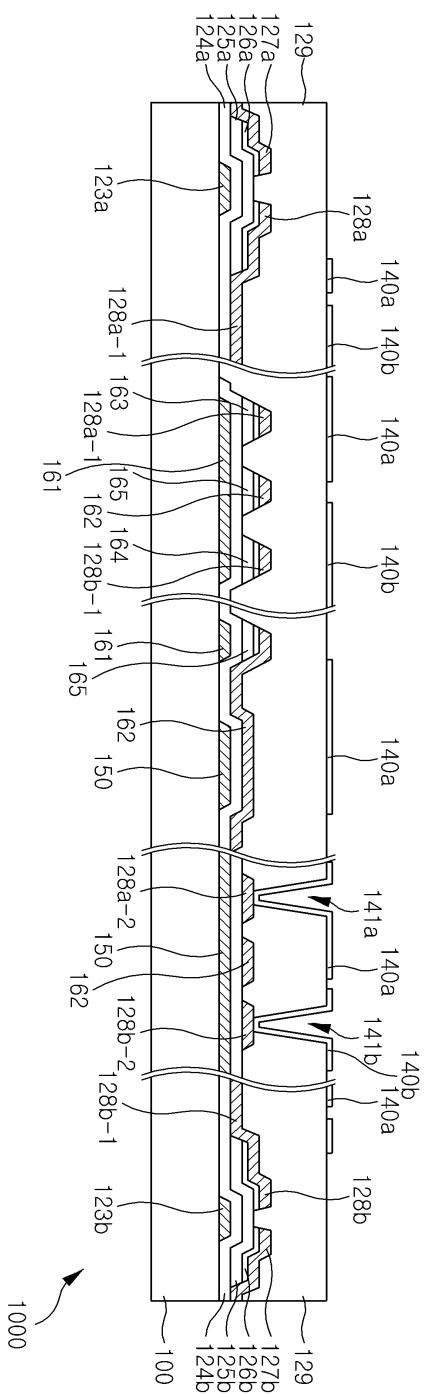
도면11



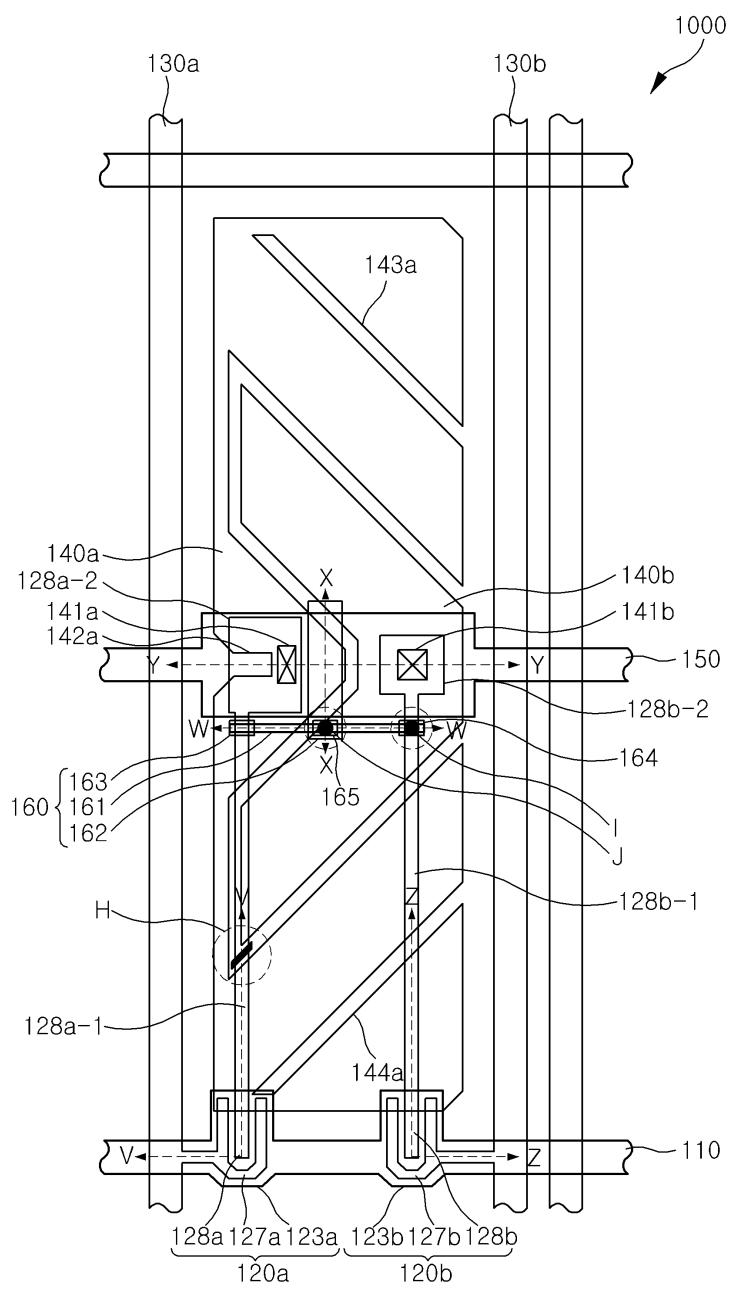
도면12



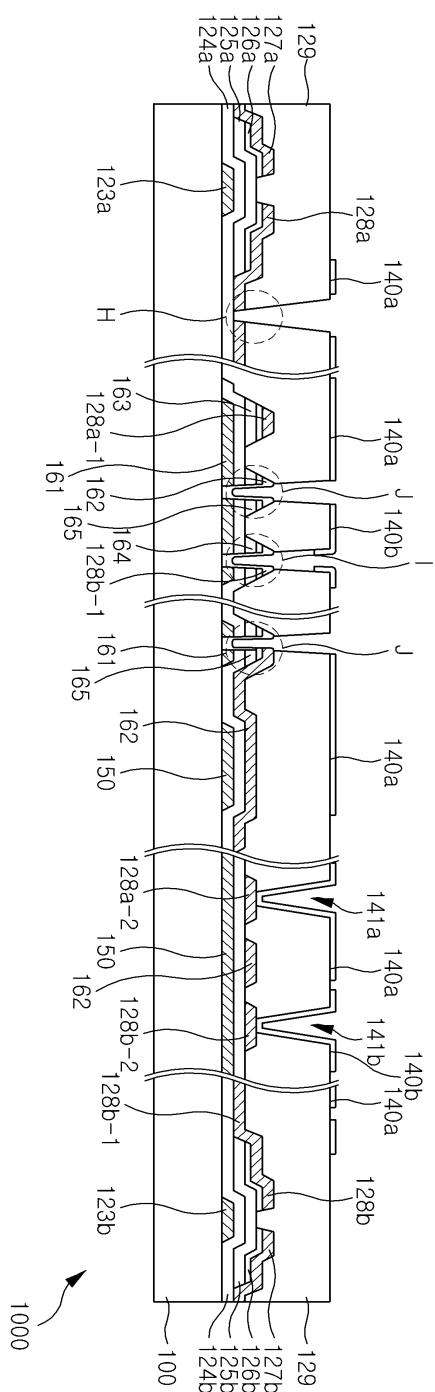
### 도면13



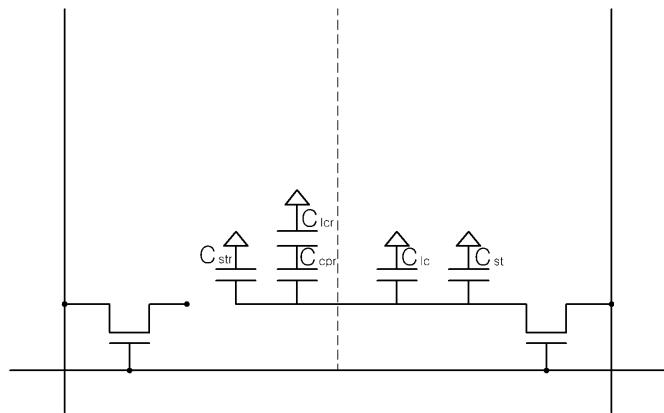
도면14



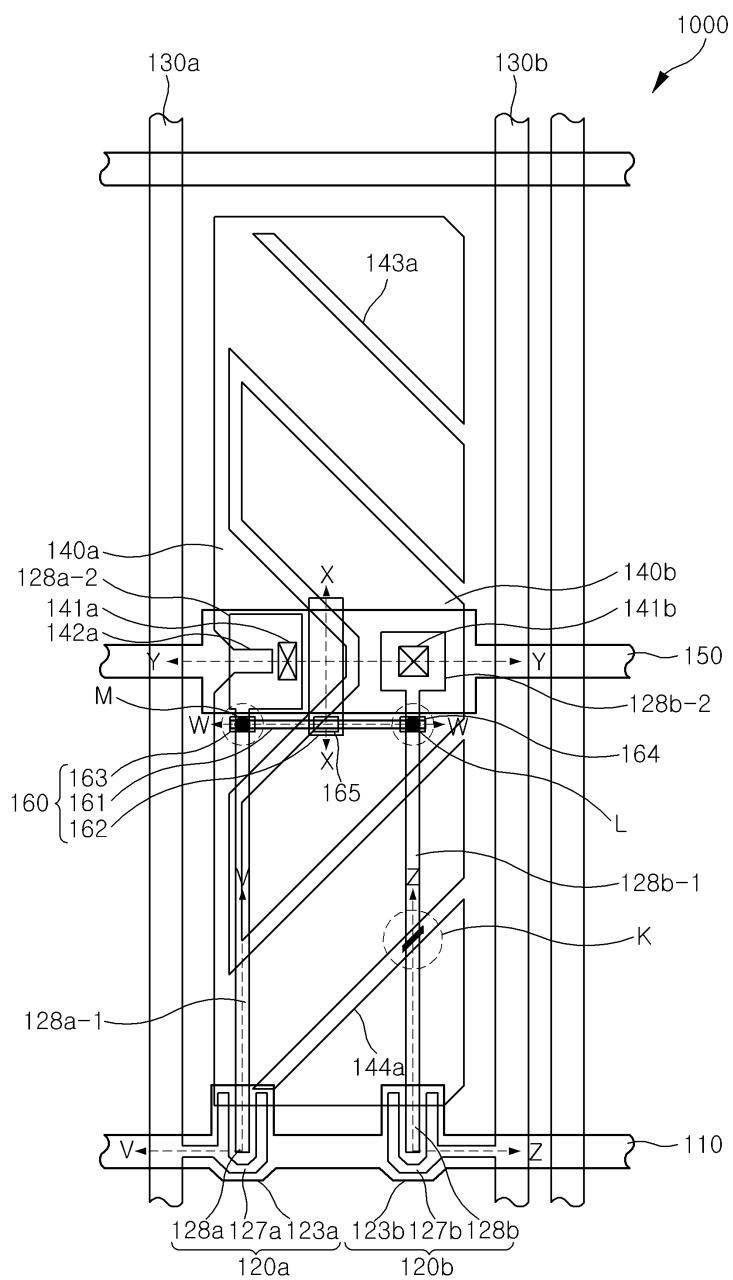
도면15



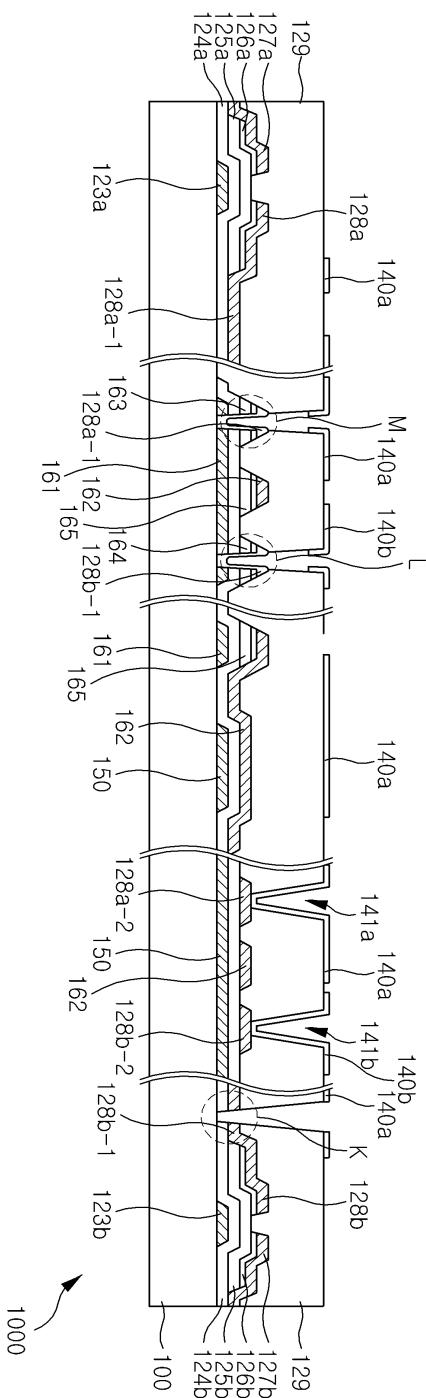
도면16



도면17



### 도면18



도면19

