



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I575455 B

(45)公告日：中華民國 106 (2017) 年 03 月 21 日

(21)申請案號：104117444

(22)申請日：中華民國 99 (2010) 年 11 月 08 日

(51)Int. Cl. : G06F9/305 (2006.01)

G06F9/315 (2006.01)

(30)優先權：2009/12/17 美國

12/653,704

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：哥帕 維諾德 GOPAL, VINODH (IN)；吉佛德 詹姆斯 GUILFORD, JAMES D.

(US)；奧茲土克 耳汀 OZTURK, ERDINC (TR)；裴嘉利 瓦伊第 FEGHALI,

WAJDI K. (CA)；渥里奇 吉爾伯 WOLRICH, GILBERT M. (US)；迪克森 馬汀

DIXON, MARTIN G. (US)

(74)代理人：林志剛

(56)參考文獻：

TW I261968

US 7395294B1

US 2007/0013704A1

US 2008/0077773A1

Kim, Sung Dae et al. "Novel Bit Manipulation Unit for Communication Digital Signal Processors," Proceedings ISCAS 2004, Vancouver, BC, IEEE 2004, 4 pages.

審查人員：林琮烈

申請專利範圍項數：23 項 圖式數：5 共 46 頁

(54)名稱

用以在單一指令內執行移位及互斥或運算之方法及裝置 (二)

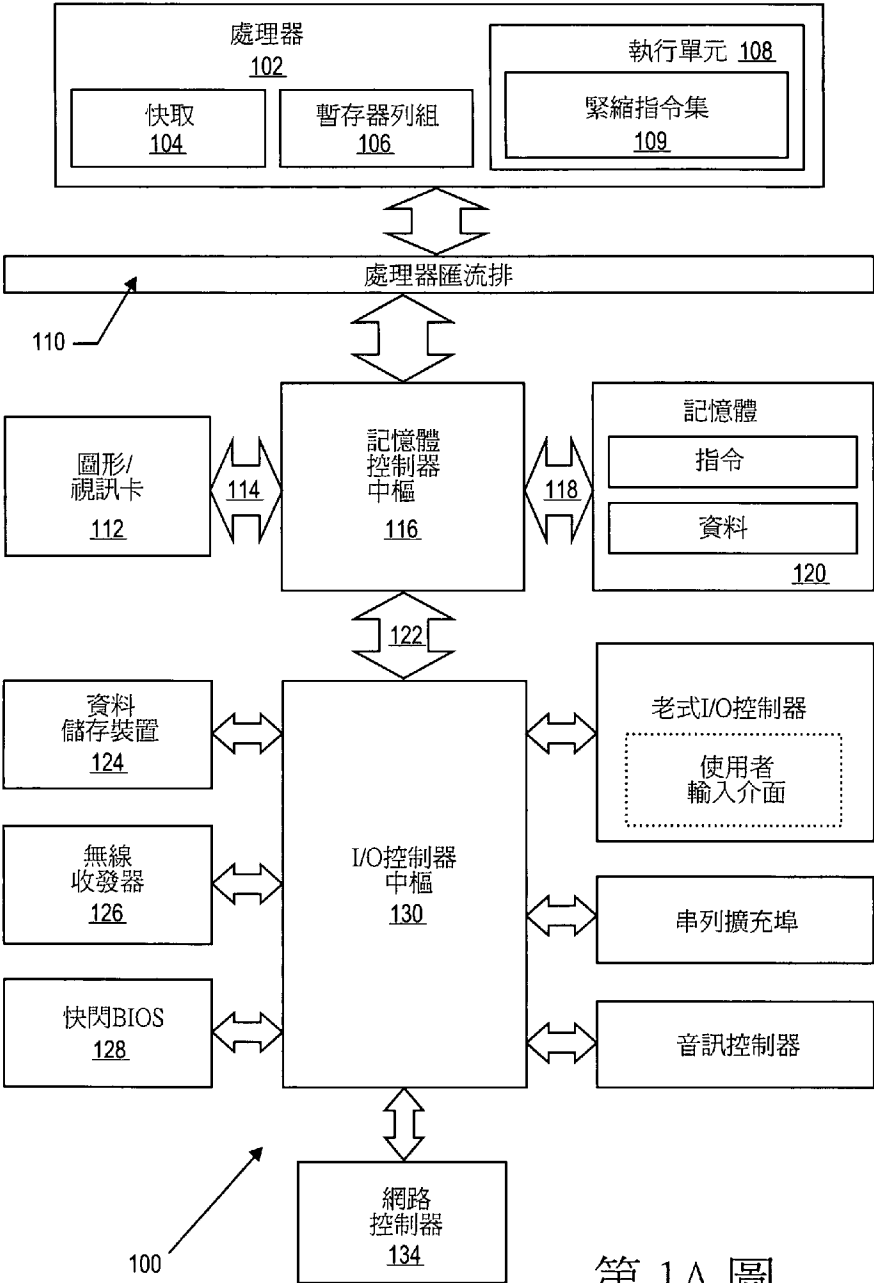
METHOD AND APPARATUS FOR PERFORMING A SHIFT AND EXCLUSIVE OR OPERATION IN A SINGLE INSTRUCTION

(57)摘要

用以執行移位及互斥或(XOR)運算之方法及裝置。於一個實施例，一種裝置包括用來執行第一指令之執行資源。回應於該第一指令，該等執行資源對至少一值執行移位及互斥或運算。

Method and apparatus for performing a shift and XOR operation. In one embodiment, an apparatus includes execution resources to execute a first instruction. In response to the first instruction, said execution resources perform a shift and XOR on at least one value.

指定代表圖：



第 1A 圖

符號簡單說明：

- 100 . . . 系統
- 102 . . . 處理器
- 104 . . . 第一階(L1)內部快取記憶體
- 106 . . . 暫存器列組
- 108 . . . 執行單元
- 109 . . . 緊縮指令集
- 110 . . . 處理器匯流排
- 112 . . . 圖形控制器
- 114 . . . 加速圖形埠(AGP)互連線路
- 116 . . . 系統邏輯晶片、記憶體控制器中樞(MCH)
- 118 . . . 高頻寬記憶體路徑
- 120 . . . 記憶體
- 122 . . . 專屬中樞介面匯流排
- 124 . . . 資料儲存裝置
- 126 . . . 無線收發器
- 128 . . . 韌體中樞(快閃 BIOS)
- 130 . . . I/O 控制器中樞(ICH)
- 134 . . . 網路控制器

發明摘要

※ 申請案號：

104117444 (由99138315分割)

※ 申請日：

99.11.8

※IPC 分類：G06F 9/305 (2006.01)

G06F 9/315 (2006.01)

【發明名稱】(中文/英文)

用以在單一指令內執行移位及互斥或運算之方法及裝置(二) /
METHOD AND APPARATUS FOR PERFORMING A SHIFT AND
EXCLUSIVE OR OPERATION IN A SINGLE INSTRUCTION

【中文】

用以執行移位及互斥或(XOR)運算之方法及裝置。於一個實施例，一種裝置包括用來執行第一指令之執行資源。回應於該第一指令，該等執行資源對至少一值執行移位及互斥或運算。

【英文】

Method and apparatus for performing a shift and XOR operation. In one embodiment, an apparatus includes execution resources to execute a first instruction. In response to the first instruction, said execution resources perform a shift and XOR on at least one value.

【代表圖】

【本案指定代表圖】：第（ 1A ）圖。

【本代表圖之符號簡單說明】：

100...系統	116...系統邏輯晶片、記憶體控制器中樞
102...處理器	(MCH)
104...第一階(L1)內部快取記憶體	118...高頻寬記憶體路徑
106...暫存器列組	120...記憶體
108...執行單元	122...專屬中樞介面匯流排
109...緊縮指令集	124...資料儲存裝置
110...處理器匯流排	126...無線收發器
112...圖形控制器	128...韌體中樞(快閃BIOS)
114...加速圖形埠(AGP)互連線路	130...I/O控制器中樞(ICH)
	134...網路控制器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用以在單一指令內執行移位及互斥或運算之方法及裝置
(二) / METHOD AND APPARATUS FOR PERFORMING
A SHIFT AND EXCLUSIVE OR OPERATION IN A
SINGLE INSTRUCTION

【技術領域】

發明領域

[0001]本揭示係有關電腦處理領域。更明確言之，實施例係有關一種執行移位及互斥或(XOR)運算之指令。

【先前技術】

發明背景

[0002]單一指令多重資料(SIMD)指令可用於多項應用用以並列處理眾多資料元(緊縮資料)。串列執行運算，諸如移位運算及互斥或(XOR)運算可能減低效能。

【發明內容】

[0003]依據本發明之一實施例，係特地提出一種系統，其包含：一顯示器控制裝置；一記憶體介面；及一處理器，該處理器包含：包括第一階(L1)快取記憶體的複數個快取記憶體之階層；複數個整數暫存器；複數個浮點暫存器，於其中用以儲存包括128位元緊縮雙運算元之浮點資料元，其係要具有兩個64位元雙浮點資料元；複數個狀態暫存器；一指令指標暫存器；一指令預提取器，用以提取指令；一解碼器，用以解碼該等提取指令，包括一個用以執

行移位及互斥或(XOR)操作之指令，其中該用以執行移位及 XOR 操作之指令具有一第一來源運算元識別符用以識別一第一來源運算元、一第二來源運算元識別符用以識別一第二來源運算元、一立即欄位用以指定一移位量、及一欄位用以將該等第一與第二來源運算元識別為一32位元來源運算元與一64位元來源運算元中之一者；以及一執行單元耦接至該解碼器，使得該處理器係回應於該指令而執行該移位及 XOR 操作用以：移位該第一來源運算元達由該立即欄位所指定的該移位量，其中該第一來源運算元係一純量值，將經移位的該第一來源運算元與該第二來源運算元進行 XOR 運算，及將經移位和 XOR 運算值之一結果儲存於一目的地暫存器中，其中該目的地暫存器係一純量暫存器；及一浮點單元，用以於浮點資料元上做運算。

【圖式簡單說明】

[0004] 本發明係藉附圖中之各圖舉例說明但非限制性。

第1A圖為依據本發明之一個實施例使用一種處理器其包括執行單元來執行移位及互斥或運算指令之一電腦系統之方塊圖；

第1B圖為根據本發明之另一個實施例之另一電腦系統實例之方塊圖；

第1C圖為根據本發明之又另一個實施例之又另一電腦系統實例之方塊圖；

第2圖為依據本發明之一個實施例用於包括邏輯電路來執行移位及互斥或運算之一種處理器之顯微架構之方塊

圖；

第3A圖顯示依據本發明之一個實施例於多媒體暫存器之多種緊縮資料類型表示型態；

第3B圖顯示依據另一個實施例之緊縮資料類型；

第3C圖顯示依據本發明之一個實施例於多媒體暫存器中之多種標符號的及未標符號的緊縮資料類型表示型態；

第3D圖顯示運算編碼(opcode)格式之一個實施例；

第3E圖顯示另一個運算編碼格式；

第3F圖顯示又另一個運算編碼格式；

第4圖為依據本發明執行指令之邏輯電路之一個實施例之方塊圖。

第5圖為欲結合一個實施例執行之運算之流程圖。

【實施方式】

較佳實施例之詳細說明

[0005]後文說明描述一種在處理裝置、電腦系統、或軟體程式內部執行移位及互斥或運算之技術。於後文說明，列舉眾多特定細節諸如處理器類型、顯微架構狀況、事件、許可機制等來提供更完整瞭解本發明。但熟諳技藝人士須瞭解可不含此等特定細節而實施本發明之實施例。另外，若干眾所周知之結構、電路等並未顯示其細節來避免不必要的遮掩本發明之實施例。

[0006]雖然後文實施例係參考處理器做說明，但其它實施例可應用於其它類型之積體電路及邏輯裝置。本發明之相同技術及教示容易應用於可自較高管線產出量及改良效

能而獲益的電路或半導體元件類型。本發明之教示可應用於執行資料運算之任一種處理器或機器。但本發明之實施例並未限於執行256位元、128位元、64位元、32位元、或16位元資料運算之處理器或機器，而可應用於其中需要運算緊縮資料之任一種處理器及機器。

[0007]雖然後文實例描述於執行單元及邏輯電路上下文之處理運算及分布，但本發明之其它實施例可藉儲存於實體媒體之軟體達成。於一個實施例中，本發明方法係於機器可執行指令具體實施。指令可用來造成通用目的處理器或特殊目的處理器其係以指令程式規劃來執行本發明之步驟。本發明之實施例可提供電腦程式產品或軟體其包括機器或電腦可讀取媒體，其上儲存有指令而可用來程式規劃電腦(或其它電子裝置)來執行依據本發明之方法。另外，本發明之步驟可藉含有有線邏輯電路之特定硬體組件執行來執行各步驟，或藉已程式規劃電腦組件及客製化硬體組件之任一種組合。此等軟體可儲存於系統之記憶體。同理，代碼可透過網路或藉任何其它電腦可讀取媒體分布。

[0008]如此電腦可讀取媒體可包括可藉機器(例如電腦)可讀取形式而儲存或傳輸資訊之任一種機制，該形式包括但非限於軟碟、光碟、雷射光碟、光碟唯讀記憶體(CD-ROM)、及磁光碟、唯讀記憶體(ROM)、隨機存取記憶體(RAM)、可抹除可程式唯讀記憶體(EPROM)、電性可抹除可程式唯讀記憶體(EEPROM)、磁卡或光卡、快閃記憶體、透過網際網路傳輸、傳播信號(例如載波、紅外線信號、

數位信號等)之電形式、光形式、聲形式或其它形式等。如此，電腦可讀取媒體包括適合用來以機器(例如電腦)可讀取形式儲存或傳輸電子指令或資訊之任何類型媒體/機器可讀取媒體。此外，本發明也可下載為電腦程式產品。如此，程式可自遠端電腦(例如伺服器)移轉至發出請求的電腦(例如客戶端)。程式的移轉可透過通訊鏈路(例如數據機、網路連結等)於載波或其它傳播媒體具體實施的電、光、聲或其它資料信號形式進行。

[0009]設計可通過多個階段自形成模擬至製造。表示設計的資料可表示以多種方式設計。首先，如同可用於模擬，硬體可藉硬體描述語言或其它功能描述語言表示。此外，帶有邏輯閘及/或電晶體閘之電路位準模型可於設計過程的某個階段製造。此外，於某些階段，大部分設計達到可在硬體模型中表示各種裝置之實體位置的資料位準。於使用習知半導體製造技術之情況下，表示硬體模型之資料可為對用來製造積體電路之遮罩於不同遮罩層所存在的各項結構特徵的資料。於該設計之任一種表示型態，資料可以機器可讀取媒體形式儲存。經調變的或以其它方式產生來傳輸此等資訊之電波或光波、記憶體或磁性或光學儲存裝置諸如碟片可為機器可讀取媒體。任一種此等媒體皆可「攜載」或「指示」設計或軟體資訊。當指示或攜載碼或設計的電載波係傳輸至電氣信號執行拷貝、緩衝、或再傳輸時做出新穎拷貝。如此，通訊服務提供業者或網路服務提供業者可具體實施本發明之技術做出物件(載波)之拷貝。

[0010]於新穎處理器，使用多種不同執行單元來處理及執行多種碼及指令。並非全部指令的形成皆為相等，某些指令較快速完成，而其它指令需要大量的時鐘週期來完成。指令之輸出量愈快速，則處理器之總體效能愈佳。可優異地儘可能快速執行多項指令。此外，有某些指令其具有較大複雜度，而就執行時間及處理器資源而言需要更大量。舉例言之，有浮點指令、載入/儲存運算、資料移動等。

[0011]隨著愈來愈多電腦系統用於網際網路及多媒體應用，隨著時間的經過已經導入額外處理器支援。舉例言之，單一指令、多資料(SIMD)整數/浮點指令及串流SIMD擴充(SSE)為減少執行特定程式工作所需指令總數的指令，而其又可減低功率消耗。藉由於多個資料元並列運算，此等指令可加速軟體效能。結果，於包括視訊、語音、及影像/照片處理之寬廣應用範圍可達成效能增益。SIMD指令於微處理器及類似類型之邏輯電路的實施通常涉及多項議題。此外，SIMD運算的複雜度經常導致需要額外電路來正確處理及運算資料。

[0012]目前無法利用SIMD移位及互斥或(XOR)指令。依據本發明之實施例，不存在有SIMD移位及XOR指令，可能需要大量指令及資料暫存器來於諸如音訊/視訊/圖形壓縮、處理及操控等應用上達成相同結果。如此，依據本發明實施例之至少一種移位及XOR指令可減少代碼額外運算資料負載及資源需求。本發明之實施例提供一種將移位及XOR運算實施為使用SIMD相關硬體之演繹法則。目前於

SIMD暫存器中對資料執行移位及XOR運算略微困難及繁瑣。某些演繹法則需要比較執行此等運算所需的實際指令數目更多的指令來安排資料用於算術運算。經由依據本發明之實施例執行移位及XOR運算實施例，達成移位及XOR處理所需的指令數目大減。

[0013]本發明之實施例涉及執行移位及XOR運算之指令。一個實施例中，移位及XOR運算...

[0014]根據一個實施例應用至資料元之移位及XOR運算可以通式表示為：

[0015] $DEST1 \leftarrow SRC1 [SRC2]$ ；

[0016]一個實施例中，SRC1儲存具有多個資料元之第一運算元，及SRC2含有表示欲藉移位及XOR指令移位數值之一值。於其它實施例中，移位及XOR值指示器可儲存於立即欄位(immediate field)。

[0017]如上流程圖中，「DEST」及「SRC」為通稱來表示相對應資料或運算的來源及目的地。於若干實施例中，可藉暫存器、記憶體、或其它儲存裝置具有比較所述名稱或功能以外之其它名稱或功能。舉例言之，於一個實施例中，DEST1及DEST2具有第一及第二暫存區(例如「TEMP1」及「TEMP2」暫存器)，SRC1及SRC3可為第一及第二目的地儲存區(例如「DEST1」及「DEST2」暫存器)等。於其它實施例中，SRC及DEST儲存區中之二者及多者可與相同儲存區(例如SIMD暫存器)內部的不同資料儲存元件相對應。

[0018]第1A圖為依據本發明之一個實施例形成有一處

理器，其包括執行單元來執行移位及XOR運算指令之電腦系統實例之方塊圖。系統100包括一組件，諸如處理器102來採用包括邏輯組件之執行單元而執行依據本發明之處理資料的演繹法則，諸如此處所述實施例。系統100為基於得自加州聖塔卡拉英特爾公司(Intel Corporation)之奔騰(PENTIUM) III、奔騰4、吉昂(Xeon)、伊塔寧(Itanium)、愛司凱爾(XScale)及/或史崇盎(StrongARM)等處理系統之代表，但也可使用其它系統(包括具有其它微處理器、工程工作站、機上盒等之個人電腦(PC))。一個實施例中，樣本系統100可執行得自華盛頓州李德蒙微軟公司(Microsoft Corporation)之視窗(WINDOWS)作業系統版本，但也可使用其它作業系統(UNIX及Linux，舉例)、嵌入式軟體、及/或圖形使用者介面。如此，本發明之實施例並非限於任何特定硬體電路及軟體之任一種特異性組合。

[0019]實施例並未限於電腦系統。本發明之其它實施例可用於其它裝置諸如手持式裝置及嵌入式應用。若干手持式裝置之實施例包括行動電話、網際網路協定裝置、數位相機、個人數位助理器(PDA)、及掌上型個人電腦。嵌入式應用可包括微控制器、數位信號處理器(DSP)、單晶片系統、網路電腦(NetPC)、機上盒、網路集線器、廣域網路(WAN)切換器、或任何其它執行運算元之移位及XOR運算的系統。此外，已經實施某些架構來允許指令同時於若干資料運算而改良多媒體應用的效率。隨著資料類型及體積的增加，電腦及其處理器必須加強來以更有效率的方法操控資

料。

[0020]第1A圖為依據本發明之一個實施例形成有一處理器102之一種電腦系統100之方塊圖，該處理器102包括一個或多個執行單元108來執行移位及XOR多個資料元之演繹法則。一個實施例可於單一處理器桌上型系統或伺服器系統之上下文描述，但其它實施例可含括於多處理器系統。系統100為中樞架構之實例。電腦系統100包括處理資料信號之處理器102。處理器102例如可為複合指令集電腦(CISC)微處理器、精簡指令集運算(RISC)微處理器、極長指令字組(VLIW)微處理器、執行指令集組合之處理器或任何其它處理器裝置，諸如數位信號處理器。處理器102係耦接至處理器匯流排110，處理器匯流排110可在系統100的處理器102与其它組件間傳輸資料信號。系統100之元件執行熟諳技藝人士眾所周知之習知功能。

[0021]一個實施例中，處理器102包括第一階(L1)內部快取記憶體104。依據該架構，處理器102具有單一內部快取或多階內部快取。另外，於另一個實施例，快取記憶體可駐在處理器102之外部。其它實施例依據特定實施及需求而定，可包括內部快取及外部快取的組合。暫存器列組106可儲存不同類型資料於各種暫存器包括整數暫存器、浮點暫存器、狀態暫存器、及指令指標器暫存器。

[0022]執行單元108包括執行整數運算及浮點運算之邏輯組件也係駐在處理器102。處理器102也包括儲存用於某些巨集指令之微碼之微碼(ucode) ROM。用於本實施例，執

行單元108包括處理緊縮指令集109之邏輯組件。於一個實施例中，緊縮指令集109包括以多個運算元用以執行移位及XOR之緊縮移位及XOR指令。經由含括緊縮指令集109於通用目的處理器102之指令集連同相關聯的執行指令之鏈路，由多種多媒體應用所使用的運算可於通用目的處理器102使用緊縮資料執行。如此，經由使用處理器的資料匯流排之全寬度用來執行緊縮資料的運算，可更有效地加速及執行多項多媒體應用。如此可免除跨處理器的資料匯流排傳輸較小資料單位來一次對一個資料元執行一項或多項運算的需要。

[0023]執行單元108之其它實施例也可用於微控制器、嵌入式處理器、圖形裝置、DSP、及其它類型邏輯電路。系統100包括記憶體120。記憶體120可為動態隨機存取記憶體(DRAM)元件、靜態隨機存取記憶體(SRAM)元件、快閃記憶體元件、或其它記憶體元件。記憶體120可儲存由可藉處理器102所執行之資料信號表示之指令及/或資料。

[0024]系統邏輯晶片116係耦接至處理器匯流排110及記憶體120。於所示實施例中，系統邏輯晶片116為記憶體控制器中樞(MCH)。處理器102可與MCH 116透過處理器匯流排110通訊。MCH 116提供高頻寬記憶體路徑118至記憶體120用於指令及資料的儲存以及用於圖形指令、資料及特徵結構的儲存。MCH 116係在系統100內部導引處理器102、記憶體120及其它組件間之資料信號，以及在處理器匯流排110、記憶體120、及系統I/O 122間橋接該等資料信

號。於若干實施例中，系統邏輯晶片116可提供圖形埠用來耦接至圖形控制器112。MCH 116係經由記憶體介面118而耦接至記憶體120。圖形卡112係經由加速圖形埠(AGP)互連線路114而耦接至MCH 116。

[0025]系統100使用專屬的中樞介面匯流排122來將MCH 116耦接至I/O控制器中樞(ICH) 130。ICH 130提供透過局部I/O匯流排而直接連結至若干I/O元件。局部I/O匯流排為連結周邊至記憶體120、晶片組、及處理器102之高速I/O匯流排。若干實例為音訊控制器、韌體中樞(快閃BIOS) 128、無線收發器126、資料儲存裝置124、含有使用者輸入裝置及鍵盤介面之舊式I/O控制器、串列擴充埠諸如通用串列匯流排(USB)、及網路控制器134。資料儲存裝置124可包含硬碟機、軟碟機、CD-ROM裝置、快閃記憶體裝置、或其它大容量儲存裝置。

[0026]用於系統之另一個實施例，使用移位及XOR指令來執行演繹法則之執行單元可用於單晶片系統。單晶片系統之一個實施例包含一處理器及一記憶體。此種系統之記憶體可為快閃記憶體。快閃記憶體可位在於處理器及其它系統組件的同一個晶粒上。此外，作為記憶體控制器或圖形控制器之其它邏輯區塊也可位在於單晶片系統上。

[0027]第1B圖顯示實施本發明之一個實施例之原理的一種資料處理系統140。熟諳技藝人士方便瞭解可未悖離本發明之範圍，此處所述實施例可用於其它處理系統。

[0028]電腦系統140包含可執行SIMD運算包括移位及

XOR運算之一個處理核心159。對一個實施例，處理核心159表示任何類型架構之處理單元，包括但非限於CISC、RISC或VLIW型架構。處理核心159也適合用於一項或多項處理技術的製造，可以充分細節表示於機器可讀取媒體上，適合用於協助該項製造。

[0029]處理核心159包含一執行單元142、一暫存器列組145集合、及一解碼器144。處理核心159也包括無需瞭解本發明之額外電路(圖中未顯示)。執行單元142用於執行由處理核心159所接收的指令。除了識別典型處理器指令之外，執行單元142可辨識於緊縮指令集143用以執行緊縮資料格式之運算的指令。緊縮指令集143包括支援移位及XOR運算之指令，及也包括其它緊縮指令。執行單元142係藉內部匯流排而耦接至暫存器列組145。暫存器列組145表示處理核心159上的一個儲存區用來儲存資訊包括資料。如前述，須瞭解用來儲存緊縮資料之儲存區並無特殊限制。執行單元142係耦接至解碼器144。解碼器144係用以將由處理核心159所接收的指令解碼成為控制信號及/或微碼載入點。回應於此等控制信號及/或微碼載入點，執行單元142執行適當運算。

[0030]處理核心159係耦接至匯流排141用來與多種其它系統元件通訊，該等系統元件包括但非限於例如同步動態隨機存取記憶體(SDRAM)控制裝置146、靜態隨機存取記憶體(SDRAM)控制裝置147、叢發快閃記憶體介面148、個人電腦記憶卡國際協會(PCMCIA)/大容量快閃(CF)卡控制

裝置149、液晶顯示器(LCD)控制裝置150、直接記憶體存取(DMA)控制器151、及選替匯流排主介面152。於一個實施例中，資料處理系統140可包含用來透過I/O匯流排153而與多種I/O元件通訊之I/O橋接器154。此種I/O元件包括但非限於例如通用異步接收器/發送器(UART) 155、通用串列匯流排(USB) 156、藍牙無線UART 157、及I/O擴充介面158。

[0031]資料處理系統140之一個實施例提供行動、網路及/或無線通訊，及可執行SIMD運算包括移位及XOR運算之處理核心159。處理核心159可規劃各種音訊、視訊、影像及通訊演繹法則，包括離散變換諸如沃許-哈達瑪(Walsh-Hadamard)變換、快速傅利葉變換(FFT)、離散餘弦變換(DCT)、及其個別反向變換；壓縮/解壓縮技術諸如色彩空間變換、視訊編碼移動估算或視訊解碼移動補償；及調變/解調(MODEM)功能諸如脈衝編碼調變(PCM)。本發明之若干實施例也可應用至圖形應用諸如三維(「3D」)模型、演色、物件碰撞檢測、3D物件變換及點亮等。

[0032]第1C圖顯示可執行SIMD移位及XOR運算之資料處理系統之又另一個實施例。依據一個替代實施例，資料處理系統160可包括一主處理器166、一SIMD共處理器161、一快取記憶體167、及一輸入/輸出系統168。輸入/輸出系統168可選擇性地耦接至無線介面169。SIMD共處理器161可執行SIMD運算包括移位及XOR運算。處理核心170適合於一項或多項處理技術中製造且可以進一步細節表示於機器可讀取媒體上，適合協助資料處理系統160包括處理核

心170之全部或部分的製造。

[0033]用於一個實施例，SIMD共處理器161包含執行單元162及暫存器列組164集合。主處理器165之一個實施例包含一解碼器165用來辨識指令集163之各個指令，包括用以藉執行單元162所執行的SIMD移位及XOR計算指令。至於另一實施例，SIMD共處理器161也包含至少部分解碼器165B來解碼指令集163之指令。處理核心170也包括額外電路(圖中未顯示)，該等電路並非瞭解本發明之實施例所必要。

[0034]運算中，主處理器166執行資料處理指令串流，該串流控制一般類型資料處理運算，包括與快取記憶體167及輸入/輸出系統168的互動。嵌入於資料處理指令串流者為SIMD共處理器指令。主處理器166的解碼器165辨識此等SIMD共處理器指令為必須藉附接的SIMD共處理器161執行的類型。如此，主處理器166於共處理器匯流排166上發出此等SIMD共處理器指令(或表示SIMD共處理器指令之控制信號)，該等指令自該處被任一個附接的SIMD共處理器所接收。此等情況下，SIMD共處理器161將接收及執行意圖發送予該SIMD共處理器的任一種所接收的SIMD共處理器指令。

[0035]資料可透過無線介面169接收，用以藉SIMD共處理器指令處理。舉個實例，語音通訊可以數位信號形式接收，數位信號可藉SIMD共處理器指令處理來再生代表該語音通訊之數位音訊樣本。至於另一個實例，已壓縮之音訊

及/或視訊可以數位位元串流形式接收，該數位位元串流係藉SIMD共處理器指令處理來再生數位音訊樣本及/或移動視訊框。至於處理核心170之一個實例，主處理器166、及SIMD共處理器161整合成爲單一處理核心170包括一執行單元162、一暫存器列組164集合、及一解碼器165來辨識包括SIMD移位及XOR指令之指令集163之指令。

[0036]第2圖爲依據本發明之一個實例，一種包括邏輯電路來執行移位及XOR指令之處理器200之微架構之方塊圖。至於移位及XOR指令之一個實施例，指令可將浮點尾數值向右移位由該指數所指示之量，對已移位值藉一數值進行XOR運算，以及產生最終結果。一個實施例中，有序前端201爲處理器200之下述部分，處理器200提取欲執行的巨集指令，及準備指令後來於處理器管線使用之該部分。前端201可包括若干單元。於一個實施例中，指令預提取器226自記憶體提取巨集指令，且將巨集指令饋至指令解碼器228，其又轉而解碼成爲基元，基元爲機器可執行的微指令或微運算(也稱作爲微op或uop)。於一個實施例中，微量快取器230取已解碼之uop，且將該等uop組裝成程式有序序列或於uop佇列234之微量用於執行。當微量快取器230遭遇複雜的巨集指令時，微碼ROM 232提供所需uop來完成運算。

[0037]許多巨集指令被轉成單一微運算，而其它需要數次微運算才能完成完整運算。一個實施例中，若需要多於四次微運算來完成巨集指令，則解碼器228存取微碼ROM 232來進行巨集指令。用於一個實施例，緊縮的移位及XOR

指令可被解碼成少數微運算用來於指令解碼器228處理。於另一個實施例中，若需要多次微運算來完成運算，則緊縮移位及XOR演繹法則之指令可儲存於微碼ROM 232內部。微量快取器230係指載入點可程式邏輯陣列(PLA)來決定用於讀取微碼ROM 232中用以移位及XOR演繹法則之微碼序列之正確微指令指標器。於微碼ROM 232完成目前巨集指令之定序微運算後，機器前端201自微量快取器230恢復提取微運算。

[0038]若干SIMD及其它多媒體類型指令被視為複雜指令。大部分浮點相關指令也是複雜指令。如此，當指令解碼器228遭遇複雜巨集指令時，微碼ROM 232係於適當位置評估來擷取用於該巨集指令之該微碼序列。用以執行巨集指令所需之各項微運算係通訊至脫序執行引擎203用來於適當整數及浮點執行單元執行。

[0039]脫序執行引擎203為微指令準備執行的位置。脫序執行邏輯組件具有多個緩衝器來平順化且重新排序微指令流而最佳化其進入管線獲得執行排程的效能。分配器邏輯組件分配各個uop執行所需的機器緩衝器及資源。暫存器重新命名邏輯組件將暫存器列組中登錄項目上的邏輯暫存器重新命名。在下列指令排程器前方：記憶體排程器、快速排程器202、慢速/一般浮點排程器204、及簡單浮點排程器206，分配器也將各個uop之一個登錄項目分配於兩個uop佇列中之一者，一個佇列用於記憶體運算，及一個佇列用於非記憶體運算。uop排程器202、204、206判定何時uop準

備妥而基於其相依性輸入暫存器運算元來源的方便性執行，及判定uop完成及運算所需的執行資源的可利用性。本實施例之快速排程器202可在主時鐘週期之各半排程，而其它排程器只有每個主處理器時鐘週期排程一次。排程器仲裁調度埠來排程uops用於執行。

[0040]暫存器列組208、210係位在執行區塊211之排程器202、204、206與執行單元212、214、216、218、220、222、224間。有分開暫存器列組208、210分別用於整數運算及浮點運算。本實施例之各個暫存器列組208、210也包括旁路網路，其可將剛完成而尚未寫入暫存器列組的結果經由旁路發送或前傳至新的相干性uops。整數暫存器列組208及浮點暫存器列組210也可彼此通訊資料。對一個實施例，整數暫存器列組208係分割成為兩個分開的暫存器列組，一個暫存器列組用於低階32位元資料，及第二個暫存器列組用於高階32位元資料。一個具體實施例之浮點暫存器列組210具有128位元寬登錄項目，原因在於浮點指令典型地具有寬度64位元至128位元之運算元。

[0041]執行區塊211含有執行單元212、214、216、218、220、222、224，此處實際執行指令。此一區段包括暫存器列組208、210其儲存微指令執行所需的整數及浮點資料運算元值。本實施例之處理器200包含多個執行單元：位址產生單元(AGU) 212、AGU 214、快速ALU 216、快速ALU 218、緩慢ALU 220、浮點ALU 222、浮點移動單元224。用於本實施例，浮點執行區塊222、224執行浮點MMX、

SIMD、及SSE運算。本實施例之浮點ALU 222包括64位元x64位元浮點除法器來執行除法、平方根、及餘數微運算。用於本發明之實施例，任何涉及浮點值的動作皆係使用浮點硬體發生。舉例言之，整數格式與浮點格式間的變換涉及浮點暫存器列組。同理，浮點除法運算係發生在浮點除法器。另一方面，非浮點數目及整數型係使用整數硬體資源處理。簡單而極為流暢的ALU運算係進入高速ALU執行單元216、218。本實施例之快速ALU 216、218可執行快速運算，具有有效半時鐘週期的時間延遲。用於一個實施例，最複雜的整數運算進入緩慢ALU 220，原因在於緩慢ALU 220包括整數執行硬體用於長期延遲型運算，諸如乘法器、移位、旗標邏輯、及分支處理。記憶體載入/儲存運算係藉AGU 212、214執行。用於本實施例，整數ALU 216、218、220係於64位元資料運算元執行整數運算之上下文中描述。於替代實施例中，ALU 216、218、220可經實施來支援多種資料位元包括16、32、128、256等。同理，浮點單元222、224可經實施來支援具有各項寬度位元之運算元範圍。用於一個實施例，浮點單元222、224可聯合SIMD及多媒體指令而於128位元寬緊縮資料運算元上運算。

[0042]用於此處「暫存器」一詞係指於板上處理器儲存位置，其係用作為識別運算元的巨集指令之一部分。換言之，暫存器於此處係指由處理器外側(由程式規劃師的面向)目測可見的該等暫存器。但實施例之暫存器並非限於特定類型的電路。反而實施例之暫存器需要只可儲存及提供資

料，以及執行此處所述功能。此處所述暫存器可使用多項不同技術而在處理器內部藉電路實施，諸如專用實體暫存器，使用暫存器重新命名之動態分配實體暫存器、專用及動態分配實體暫存器等之組合。一個實施例中，整數暫存器儲存32位元整數資料。一個實施例之暫存器列組也含有16 XMM及通用目的暫存器、8多媒體(例如「EM64T」加法)多媒體SIMD暫存器用於緊縮資料。用於後文討論，須瞭解暫存器為設計用來保有緊縮資料之資料暫存器，諸如得自加州聖塔卡拉英特爾公司允許使用MMX技術之微處理器內的64位元寬MMX暫存器(於某些情況下也稱作為「mm」暫存器)。此等MMX暫存器可以整數形式及浮點形式二者取得，可使用緊縮資料元伴隨SIMD及SSE指令運算。同理，有關SSE2、SSE3、SSE4、或以上(通稱為「SSE_x」)的128位元寬XMM暫存器技術也可用來保有此等緊縮資料運算元。於本實施例中，於儲存緊縮資料及整數資料時，暫存器無需區別兩類型資料。於一個實施例中，其它暫存器或暫存器組合可用來儲存256位元或更多資料。

[0043]於下列各圖之實例中，描述多個資料運算元。第3A圖顯示根據本發明之一個實施例於多媒體暫存器中之多種緊縮資料類型表示型態。第3A圖顯示128位元寬運算元之一緊縮位元組310、一緊縮字組320、及一緊縮雙字組(dword)330之資料類型。本實例之緊縮位元組格式310長128位元及含有16緊縮位元組資料元。一個位元組於此處定義為8位元資料。各個位元組資料元之資訊對位元組0係儲存於位元7

至位元0，對位元組1係儲存於位元15至位元8，對位元組2係儲存於位元23至位元16，及最後對位元組15係儲存於位元120至位元127。如此，全部可用位元皆係用於暫存器。此種儲存配置增加處理器之儲存效率。又存取16資料元，現在可於16資料元並列執行一次運算。

[0044]大致上，資料元為個別資料塊，其係與具有相等長度的其它資料元儲存於單一暫存器或記憶體位置。於SSEx技術之相關緊縮資料序列中，儲存於XMM暫存器之資料元數目為128位元除以個別資料元之位元長度。同理，與MMX及SSE技術相關之緊縮資料序列中，儲存於MMX暫存器之資料元數目為64位元除以個別資料元之位元長度。雖然第3A圖所示資料類型長128位元，但本發明之實施例也可以64位元寬或其它尺寸運算元運算。本實例之緊縮字組格式320長128位元及含有8緊縮字組資料元。各個緊縮字組資料元含有16位元資訊。第3A圖之緊縮雙字組330長128位元及含有4緊縮雙字組資料元。各個緊縮雙字組資料元含有32位元資訊。一個緊縮四元字組長128位元且含有兩個緊縮四元字組資料元。

[0045]第3B圖顯示另一種暫存器內資料儲存格式。各個緊縮資料可包括多於一個獨立資料元。顯示三個緊縮資料元格式：緊縮對半341、緊縮單一342、及緊縮雙重343。緊縮對半341、緊縮單一342、及緊縮雙重343之一個實施例含有固定點資料元。至於替代例，緊縮對半341、緊縮單一342、及緊縮雙重343中之一者或多者可含有浮點資料元。

緊縮對半341之一個替代實施例為長128位元且含有8個16位元資料元。緊縮單一342之一個實施例為長128位元且含有4個32位元資料元。緊縮雙重343之一個實施例為長128位元且含有2個64位元資料元。須瞭解此種緊縮資料格式可進一步延伸至其它暫存器長度，例如延伸至96位元、160位元、192位元、224位元、256位元或以上。

[0046]第3C圖顯示依據本發明之一個實施例於多媒體暫存器中之多種標符號及未標符號之緊縮資料類型表示型態。未標符號之緊縮位元表示型態344顯示未標符號之緊縮位元組儲存於SIMD暫存器。各個位元組資料元之資訊對位元組0係儲存於位元7至位元0，對位元組1係儲存於位元15至位元8，對位元組2係儲存於位元32至位元16，及最後對位元組15係儲存於位元120至位元127。如此全部可用位元皆使用於暫存器。此種儲存排列可提高處理器之儲存效率。又存取16資料元，現在可以並列方式對16資料元執行一次運算。標符號之緊縮位元表示型態345顯示標符號之緊縮位元組之儲存。注意每個位元組資料元之第八個位元為符號指標。未標符號之緊縮字組表示型態346顯示字組7至字組0如何儲存於SIMD暫存器。標符號之緊縮字組表示型態347係類似於未標符號之緊縮字組表示型態346。注意各個字組資料元之第16位元為符號指標。未標符號之緊縮雙字組表示型態348顯示如何儲存雙字組資料元。標符號之緊縮雙字組表示型態349係類似於未標符號之緊縮雙字組表示型態348。注意所需符號位元為各個雙字組資料元之32位

元。

[0047]第3D圖為一種運算編碼(opcode)格式360之一個實施例，其具有32位元或以上，及暫存器/記憶體運算元定址模式係與美國加州聖塔卡拉英特爾公司於全球資訊網(www)於intel.com/design/litcentr可得自描述於「IA-32英特爾架構軟體發展者手冊第2集：指令集參考」所述之opcode格式類型相對應。一個實施例中，移位及XOR運算可藉欄位361及362中之一者編碼。每個指令至多兩個運算元位置可經識別，包括至多兩個來源運算元識別符364及365。對移位及XOR指令之一個實施例，目的地運算元識別符366係與來源運算元識別符364相同，而於其它實施例中二者不同。至於替代實施例，目的地運算元識別符366係與來源運算元識別符365相同，而於其它實施例中二者不同。於一個移位及XOR指令之實施例中，藉來源運算元識別符364及365識別之來源運算元中之一者係藉移位及XOR運算之結果覆寫，而於其它實施例中，識別符364係與來源暫存器元件相對應及識別符365係與目的地暫存器元件相對應。至於移位及XOR指令之一個實施例，運算元識別符364及365可用來識別32位元或64位元來源及目的地運算元。

[0048]第3E圖為具有40個位元或以上之另一種運算編碼(opcode)格式370之說明圖。opcode格式370係與opcode格式360相對應及包含選擇性之前綴位元組378。移位及XOR運算類型可藉欄位378、371及372中之一者或多者編碼。每個指令至多兩個運算元位置可藉來源運算元識別符374及

375識別及藉前綴位元組378識別。至於移位及XOR指令之一個實施例，前綴位元組378可用於識別32位元或64位元來源及目的地運算元。至於移位及XOR指令之一個實施例，目的地識別符376係與來源運算元識別符374相同，而於其它實施例中二者不同。至於替代實施例，目的地識別符376係與來源運算元識別符375相同，而於其它實施例中二者不同。一個實施例中，將由運算元識別符374及375所識別的運算元中之一者移位及XOR至由運算元識別符374及375所識別的另一個運算元之移位及XOR運算係被該移位及XOR運算結果所覆寫，而於其它實施例中，由識別符374及375所識別的運算元之移位及XOR係被寫至另一個暫存器之另一個資料元。opcode格式360及370允許暫存器至暫存器、記憶體至暫存器、暫存器藉記憶體、暫存器藉暫存器、暫存器藉立即、暫存器至部分藉MOD欄位363及373，及部分藉選擇性定標指數底數及位移位元組所載明的記憶體定址。

[0049]其次參考第3F圖，於若干替代實施例中，64位元單一指令多重資料(SIMD)算術運算可透過共處理器資料處理(CDP)指令執行。運算編碼(opcode)格式380說明具有CDP opcode欄位382及389之一種此種CDP指令。至於移位及XOR運算之其它實施例，CDP指令之類型可藉欄位383、384、387、及388中之一者或多者編碼。可識別每個指令至多三個運算元位置，包括至多兩個運算元識別符385及390及一個目的地運算元識別符386。共處理器之一個實施例可

於8、16、32及64位元值運算。對於一個實施例，移位及XOR運算係對浮點資料元執行。於若干實施例中，移位及XOR指令可使用選擇欄位381條件式執行。對某些移位及XOR指令，來源資料大小可藉欄位383編碼。於移位及XOR指令之若干實施例中，零(Z)、負(N)、進位(C)、及溢位(V)檢測可於SIMD欄位進行。對若干指令，飽和類型可藉欄位384編碼。

[0050]第4圖為依據本發明對緊縮資料運算元執行移位及XOR運算之邏輯組件之一個實施例的方塊圖。本發明之實施例可實施來使用各類型運算元諸如前述運算元類型發揮功能。簡言之，後文討論及下列實例係於移位及XOR指令上下文來處理資料元。一個實施例中，第一運算元401藉移位器410而移位達輸入信號405所載明的數量。一個實施例中為右移。但於其它實施例中，移位器執行左移運算。於若干實施例中，運算元為純量值，而於其它實施例中，運算元為具有不同可能的資料大小及類型(例如浮點、整數)之緊縮資料值。一個實施例中，移位計數值405為緊縮(或「向量」)值，各個資料元係與欲藉相對應移位計數元件所移位的緊縮運算元之一資料元相對應。於其它實施例中，移位計數施加至第一資料運算元的全部資料元。此外，於若干實施例中，移位計數係藉指令欄位諸如立即、r/m、或其它欄位所載明。於其它實施例中，移位計數係藉指令指示的暫存器所載明。

[0051]移位運算元然後藉邏輯組件420以值430進行

XOR運算，及XOR運算結果係儲存於目的地儲存位置(例如暫存器) 425。一個實施例中，XOR值430為緊縮(或「向量」)值，其各個資料元係與欲藉相對應XOR元件進行XOR運算之緊縮運算元之一資料元相對應。於其它實施例中，XOR值430係與該第一資料運算元之全部資料元相對應。此外，於若干實施例中，XOR值係藉指令中的一個欄位諸如立即、r/m或其它欄位所載明。於其它實施例中，XOR值係藉該指令所指示的暫存器所載明。

[0052]第5圖顯示根據本發明之一個實施例，一種移位及XOR指令之運算。於運算501，若接收移位及XOR指令，則第一運算元於運算505藉移位計數器所移位。於一個實施例中為右移。但於其它實施例中，移位器執行左移運算。於若干實施例中，運算元為純量值，而於其它實施例中，運算元為具有不同可能的資料大小及類型(例如浮點、整數)之緊縮資料值。一個實施例中，移位計數值405為緊縮(或「向量」)值，各個資料元係與欲藉相對應移位計數元件所移位的緊縮運算元之一資料元相對應。於其它實施例中，移位計數施加至第一資料運算元的全部資料元。此外，於若干實施例中，移位計數係藉指令欄位諸如立即、r/m、或其它欄位所載明。於其它實施例中，移位計數係藉指令指示的暫存器所載明。

[0053]於運算510，移位值係藉XOR值進行XOR運算。於一個實施例中，XOR值430為緊縮(或「向量」)值，其各個資料元係與欲藉相對應XOR元件進行XOR運算之緊縮運

算元之一資料元相對應。於其它實施例中，XOR值430係與該第一資料運算元之全部資料元相對應。此外，於若干實施例中，XOR值係藉指令中的一個欄位諸如立即、r/m或其它欄位所載明。於其它實施例中，XOR值係藉該指令所指示的暫存器所載明。

[0054]於運算515，已移位且已XOR值係儲存於一個位置。一個實施例中，該位置為純量暫存器。於另一個實施例中，該位置為緊縮資料暫存器。於另一個實施例中，目的地位置也用作為來源位置，諸如由指令所載明的緊縮資料暫存器。於其它實施例中，目的地位置為與儲存初運算元或其它值諸如移位計數值或XOR值的來源位置不同的位置。

[0055]一個實施例中，移位及XOR指令係用來於多項電腦應用中執行資料解複製。資料解複製嘗試找出檔案間共通的資料區塊來最佳化碟片的儲存容量及/或網路頻寬。一個實施例中，移位及XOR指令可用來改良使用運算於資料解複製運算中改良效能，該等運算諸如使用單一組塊(使用快速蘭波吉(Lempel-Ziv)方案)之滾動雜湊、雜湊消化(例如SHA1或MD5)找出組塊邊界。

[0056]例如，一種資料解複製演繹法則可藉下列虛擬碼顯示：

```
while (p < max) {
    v = (v >> 1) XOR scramble[(unsigned char)*p];
    if v has at least z trailing zeros {
        ret = 1;
        break;    }
```

```

    p++;
}

```

[0057]如上演繹法則中，拌碼表為隨機32位元常數之256登錄項目陣列，及v為滾動雜湊具有資料之過去32位元組的雜湊值。當找到組塊邊界時，該演繹法則返回ret=1及位置p表示組塊邊界。z值可為常數諸如12-15，導致良好組塊檢測且可為應用專一性。一個實施例中，移位及XOR指令可協助前述演繹法則以約2週期/位元組運算。於其它實施例中，移位及XOR指令協助演繹法則執行甚至更快或更慢，取決於用途而定。

[0058]至少一個其它使用移位及XOR指令之實施例可藉如下虛擬碼顯示：

```

while (p < max) {
    v = (v << 1) XOR brefl_scramble[(unsigned char)*p];
    if v has at least z leading zeros {
        ret = 1;
        break;    }
    p++;
}

```

[0059]於前述演繹法則中，brefl_scramble陣列之各個登錄項目含有於原先拌碼陣列之相對應登錄項目之位元反映版本。一個實施例中，前述演繹法則向左移位v而非向右移位，及v含有滾動雜湊之位元反映版本。一個實施例中，組塊邊界之檢查係藉檢查最少領先零數目進行。

[0060]於其它實施例中，移位及XOR指令可用於其它有用的電腦運算及演繹法則。此外，實施例協助改良徹底使用移位及XOR運算之眾多程式的效能。

[0061]如此，揭示用於執行移位及XOR指令之技術。雖然附圖中已經描述及顯示某些具體實施例，但須瞭解此等實施例僅供舉例說明而非限制本發明，本發明並未囿限於所顯示及所描述之特定組成及配置，原因在於熟諳技藝人士經由研讀本揭示將可瞭解其它修正。於諸如本技術領域，技術的成長快速，不容易預見未來的進一步發展，可未悖離本揭示之原理或隨附之申請專利範圍之範圍，借助於可行的技術發展而就排列及細節上方便對本揭示之實施例進行修正。

【符號說明】

100...系統	120...記憶體
102、200...處理器	122...專屬中樞介面匯流排
104...第一階(L1)內部快取記憶體	124...資料儲存裝置
106、145、164...暫存器列組	126...無線收發器
108、142、162...執行單元	128...韌體中樞(快閃BIOS)
109、143...緊縮指令集	130...I/O控制器中樞(ICH)
110...處理器匯流排	134...網路控制器
112...圖形控制器	140、160...資料處理系統
114...加速圖形埠(AGP)互連線路	141...匯流排
116...系統邏輯晶片、記憶體控制器中樞(MCH)	144、165、165B...解碼器
118...高頻寬記憶體路徑	146...同步動態隨機存取記憶體(SDRAM)控制裝置
	147...靜態隨機存取記憶體(SRAM)控制裝置

148...叢發脈衝快閃記憶體介面	201...有序前端
149...個人電腦記憶卡國際協會(PCMCIA)/大容量快閃(CF)卡控制裝置	202...快速排程器
150...液晶顯示器(LCD)控制裝置	203...脫序執行引擎
151...直接記憶體存取(DMA)控制器	204...慢速/一般浮點(FP)排程器
152...選替匯流排主介面	206...簡單浮點排程器
153...I/O匯流排	208...整數暫存器列組
154...I/O橋接器	210...浮點暫存器列組
155...通用異步接收器/發送器(UART)	211...執行方塊
156...通用串列匯流排(USB)	212、214...位址產生單元(AGU)
157...藍牙無線UART	216、218...快速位址產生單元
158...I/O擴充介面	220...慢速位址產生單元
159、170...處理核心	222...浮點執行方塊
161...SIMD共處理器	224...浮點移動、浮點執行單元
163...指令集	226...指令預提取器
166...主處理器	228...指令解碼器
167...快取記憶體	230...微量快取器
168...輸入/輸出系統	232...微碼ROM
169...無線介面	234...uop佇列
	310...緊縮位元組格式
	320...緊縮字組格式
	330...緊縮雙字組(dword)格式
	341...緊縮對半

342...緊縮單一	363、373...MOD欄位
343...緊縮雙重	364、365、374、375、385、390...
344...未標符號之緊縮位元表示型態	來源運算元識別符
345...標符號之緊縮位元表示型態	366、376、386...目的地識別符
346...未標符號之緊縮字組表示型態	378...前綴位元組
347...標符號之緊縮字組表示型態	381...選擇欄位
348...未標符號之緊縮雙字組表示型態	382、389...CDP opcode欄位
349...標符號之緊縮雙字組表示型態	401...第一運算元
360、370、380...運算編碼(opcode)格式	405...移位計數值
361、362、383、384、387、388...欄位	410...移位器
	420...邏輯組件
	425...暫存器
	430...XOR值
	501、505、510、515...運算

申請專利範圍

1. 一種用於執行指令的系統，其包含：

一顯示器控制裝置；

一記憶體介面；及

一處理器，該處理器包含：

包括第一階(L1)快取記憶體的複數個快取記憶體之階層；

複數個整數暫存器；

複數個浮點暫存器，於其中用以儲存包括 128 位元緊縮雙運算元之浮點資料元，其係要具有兩個 64 位元雙浮點資料元；

複數個狀態暫存器；

一指令指標暫存器；

一指令預提取器，用以提取指令；

一解碼器，用以解碼該等提取指令，包括一個用以執行移位及互斥或(XOR)操作之指令，其中該用以執行移位及 XOR 操作之指令具有一第一來源運算元識別符用以識別一第一來源運算元、一第二來源運算元識別符用以識別一第二來源運算元、一立即欄位用以指定一移位量、及一欄位用以將該等第一與第二來源運算元識別為一 32 位元來源運算元與一 64 位元來源運算元中之一者；以及

一執行單元耦接至該解碼器，使得該處理器係回應於該指令而執行該移位及 XOR 操作用以：

移位該第一來源運算元達將由該立即欄位所指定的該

移位量而不移位該第二來源運算元，其中該第一來源運算元係一純量值，

將經移位的該第一來源運算元與該第二來源運算元進行 XOR 運算，及

將經移位和 XOR 運算值之一結果儲存於一目的地暫存器中，其中該目的地暫存器係一純量暫存器；及

一浮點單元，用以於浮點資料元上做運算。

2. 如請求項 1 之系統，其中該處理器回應於該指令係用以向右移位該第一來源運算元達該移位量。

3. 如請求項 1 之系統，其中該處理器回應於該指令係用以向左移位該第一來源運算元達該移位量。

4. 如請求項 1 之系統，其中該處理器回應於該指令係用以邏輯式移位該第一來源運算元達該移位量。

5. 如請求項 1 之系統，其中該處理器回應於該指令係用以算術式移位該第一來源運算元達該移位量。

6. 如請求項 1 至 5 中任一項之系統，其中該指令係要具有一或多個欄位用以編碼該移位及 XOR 操作之一類型。

7. 如請求項 1 至 5 中任一項之系統，其中該浮點單元係用以執行一 64 位元 x64 位元浮點除法運算。

8. 如請求項 1 至 5 中任一項之系統，其中該處理器具有一精簡指令集運算(RISC)架構。

9. 如請求項 1 至 5 中任一項之系統，進一步包含一重排序緩衝器。

10. 如請求項 9 之系統，其中該重排序緩衝器係用以重排序將要由該執行單元所執行的微運算。

11. 如請求項 1 至 5 中任一項之系統，其中該第一來源運算元為一 64 位元的來源運算元，且其中經移位和 XOR 運算值之該結果為一 64 位元值。

12. 如請求項 1 至 5 中任一項之系統，其中該第一來源運算元具有與經移位和 XOR 運算值之該結果相同大小。

13. 如請求項 1 至 5 中任一項之系統，其中該第一來源運算元為一 64 位元的運算元，且其中該執行單元回應於該指令而執行 64 位元移位。

14. 如請求項 1 至 5 中任一項之系統，其中該第一來源運算元為一 32 位元的運算元，且其中該執行單元回應於該指令而執行 32 位元移位。

15. 如請求項 1 至 5 中任一項之系統，其中該處理器包含通用目的處理器，且更包含暫存器重新命名邏輯。

16. 一種用於執行指令的系統，其包含：

一顯示器控制裝置；

一記憶體介面；及

一處理器，該處理器包含：

包括第一階(L1)快取記憶體的複數個快取記憶體之階層；

複數個整數暫存器；

複數個浮點暫存器，於其中用以儲存包括 128 位元緊

縮雙運算元之浮點資料元，其係要具有兩個 64 位元雙浮點資料元；

複數個狀態暫存器；

一指令指標暫存器；

一指令預提取器，用以提取指令；

一解碼器，用以解碼該等提取指令，包括一個用以執行移位及互斥或(XOR)操作之指令，其中該用以執行移位及 XOR 操作之指令具有一第一來源運算元識別符用以識別一第一來源運算元、一第二來源運算元識別符用以識別一第二來源運算元、一立即欄位用以指定一移位量、及一欄位用以將該等第一與第二來源運算元識別為一 32 位元來源運算元與一 64 位元來源運算元中之一者；以及

一執行單元耦接至該解碼器，使得該處理器係回應於該指令而執行該移位及 XOR 操作用以：

向左移位該第一來源運算元達將由該立即欄位所指定的該移位量，其中該第一來源運算元係一純量值，

將經向左移位的該第一來源運算元與該第二來源運算元進行 XOR 運算，及

將經移位和 XOR 運算值之一結果儲存於一目的地暫存器中，其中該目的地暫存器係一純量暫存器；及

一浮點單元，用以於浮點資料元上做運算。

17. 如請求項 16 之系統，其中該處理器具有一精簡指令集運算(RISC)架構。

18. 如請求項 16 之系統，其中該處理器包含通用目

的處理器，且更包含暫存器重新命名邏輯。

19. 如請求項 16 至 18 中任一項之系統，其中該指令係要具有一或多個欄位用以編碼該移位及 XOR 操作之一類型。

20. 如請求項 16 至 18 中任一項之系統，其中該第一來源運算元具有與經移位和 XOR 運算值之該結果相同大小。

21. 如請求項 16 至 18 中任一項之系統，其中該第一來源運算元為一 64 位元的來源運算元，且其中經移位和 XOR 運算值之該結果為一 64 位元值。

22. 如請求項 16 至 18 中任一項之系統，其中該執行單元回應於該指令，而執行如該第一來源運算元之位元數相同位元之移位。

23. 一種用於執行指令的系統，其包含：

一顯示器控制裝置；

一記憶體介面；及

一處理器，其中該處理器具有一精簡指令集運算 (RISC) 架構，該處理器包含：

包括第一階 (L1) 快取記憶體的複數個快取記憶體之階層；

複數個整數暫存器；

複數個浮點暫存器，於其中用以儲存包括 128 位元緊縮雙運算元之浮點資料元，其係要具有兩個 64 位元雙浮點資料元；

複數個狀態暫存器；

一指令指標暫存器；

一指令預提取器，用以提取指令；

一解碼器，用以解碼該等提取指令，包括一個用以執行移位及互斥或(XOR)操作之指令，其中該用以執行移位及 XOR 操作之指令具有一第一來源運算元識別符用以識別一第一來源運算元、一第二來源運算元識別符用以識別一第二來源運算元、一立即欄位用以指定一移位量、及一欄位用以將該等第一與第二來源運算元識別為一 32 位元來源運算元與一 64 位元來源運算元中之一者，其中該第一來源運算元係要為一 64 位元運算元，且其中該指令係要具有一或多個欄位用以編碼該移位及 XOR 操作之一類型；以及

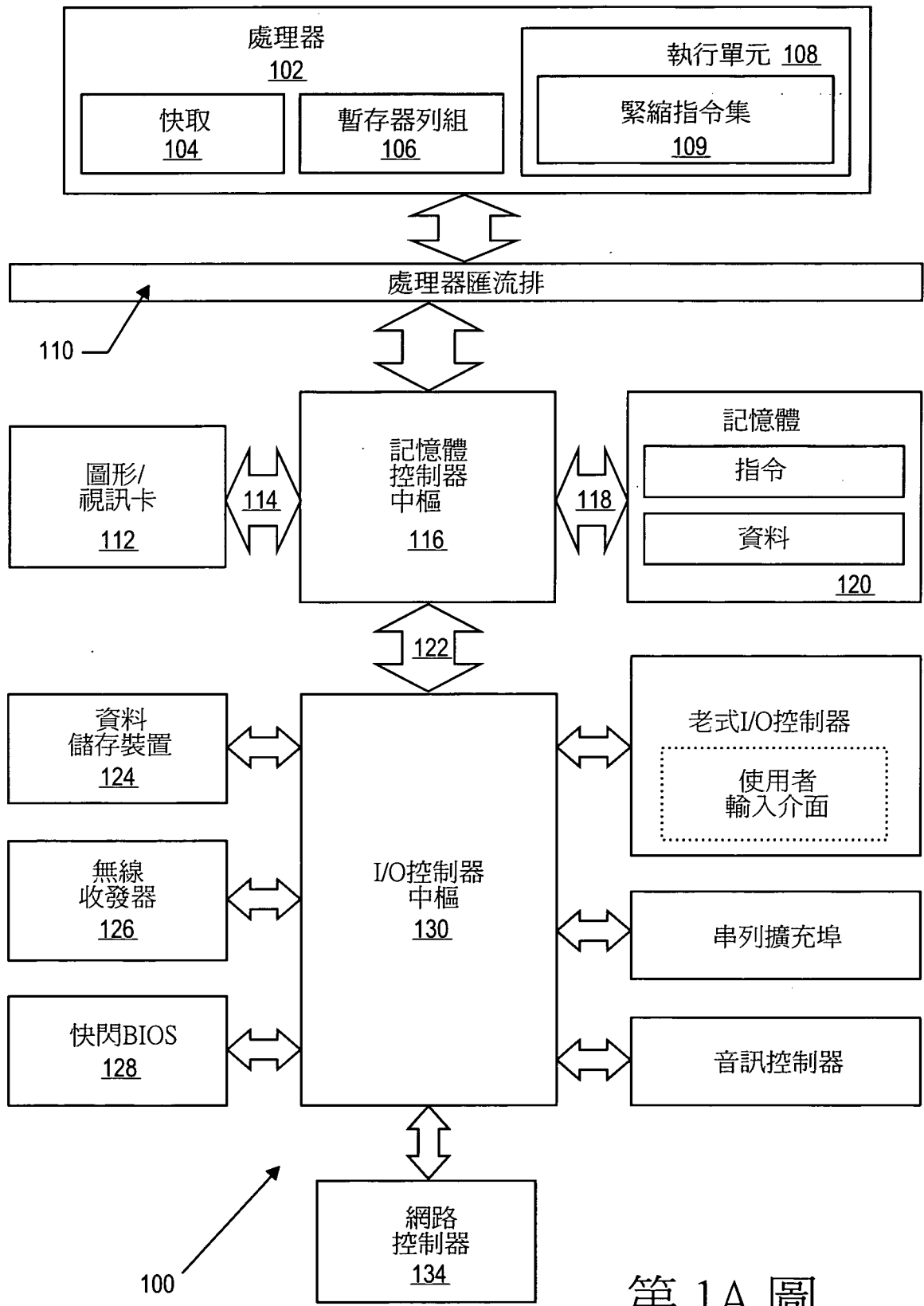
一執行單元耦接至該解碼器，使得該處理器係回應於該指令而執行該移位及 XOR 操作用以：

向左移位該第一來源運算元達將由該立即欄位所指定的該移位量，其中該第一來源運算元係一純量值，

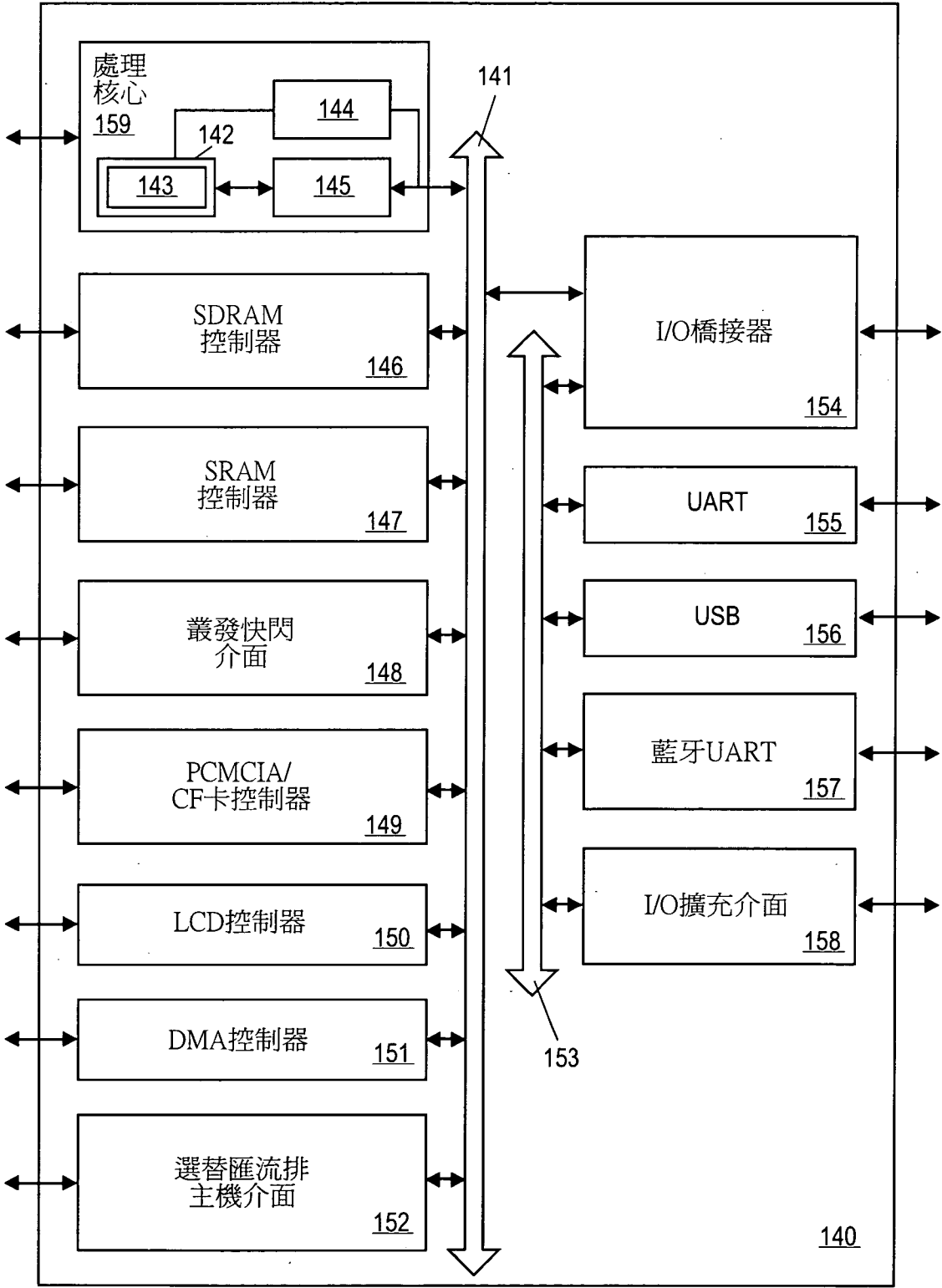
將經向左移位的該第一來源運算元與該第二來源運算元進行 XOR 運算，及

將經移位和 XOR 運算值之一結果儲存於一目的地暫存器中，其中該目的地暫存器係一純量暫存器，且其中一相同的 64 位元暫存器係被用於儲存該第一來源運算元及經移位和 XOR 運算值之該結果；及

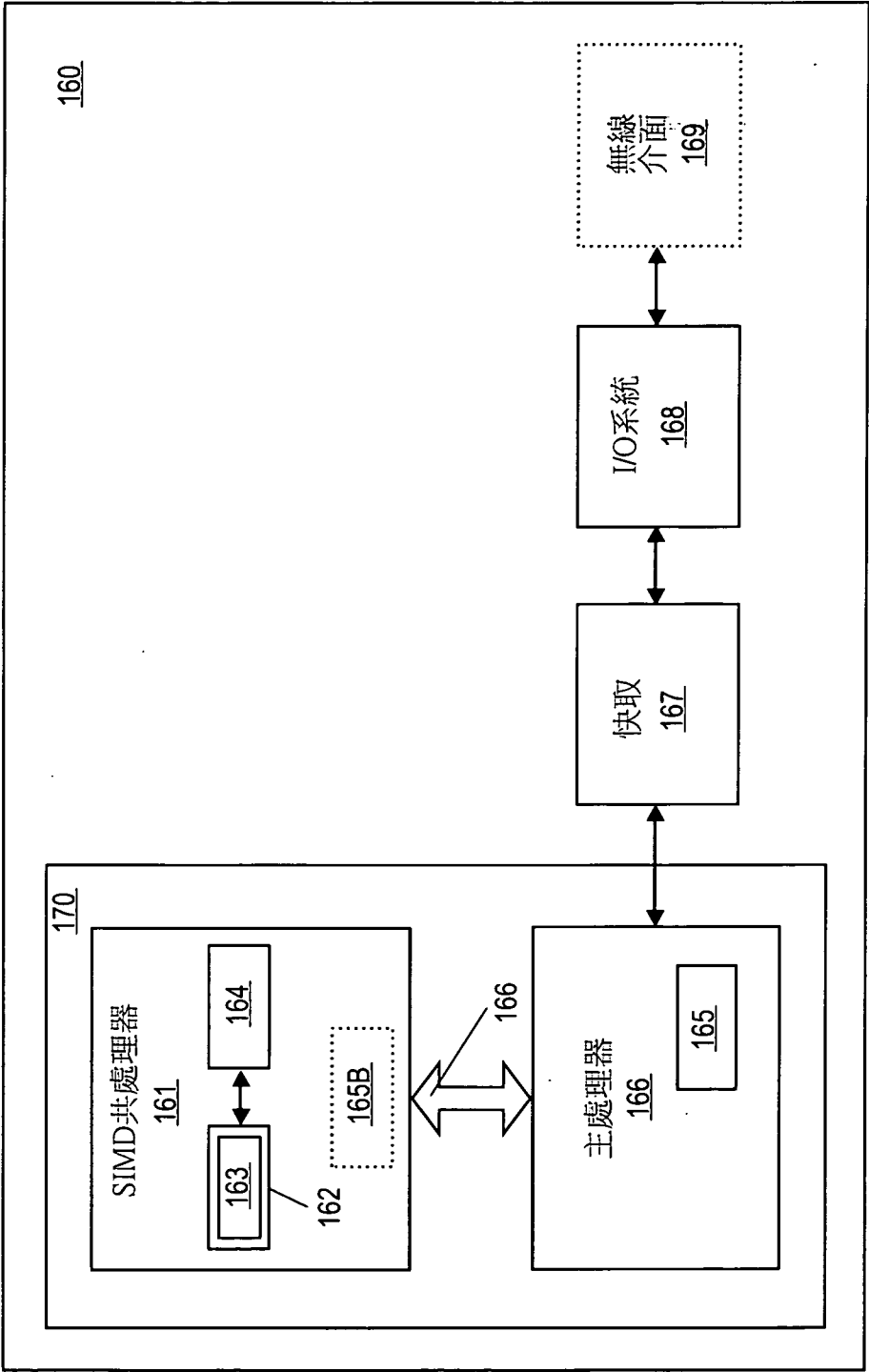
一浮點單元，用以於浮點資料元上做運算。



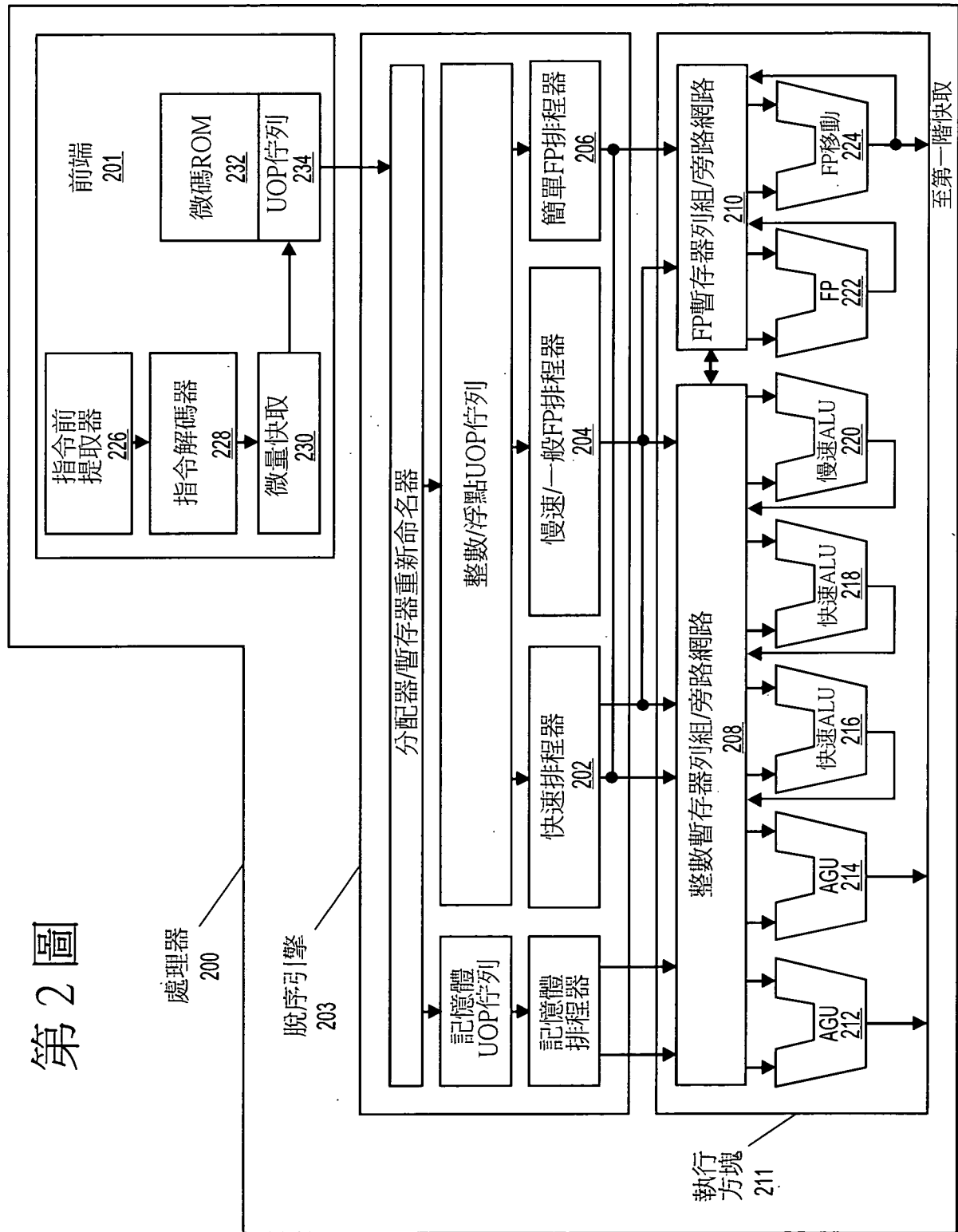
第 1A 圖

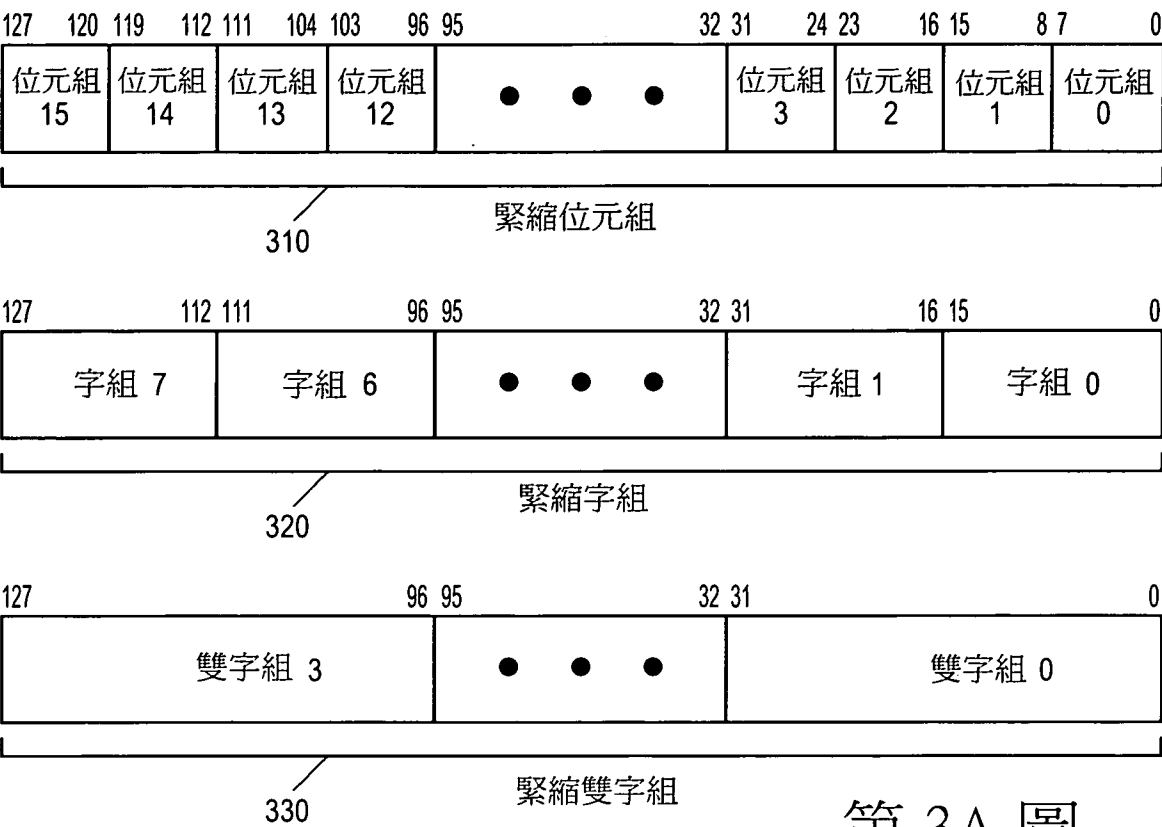


第 1B 圖

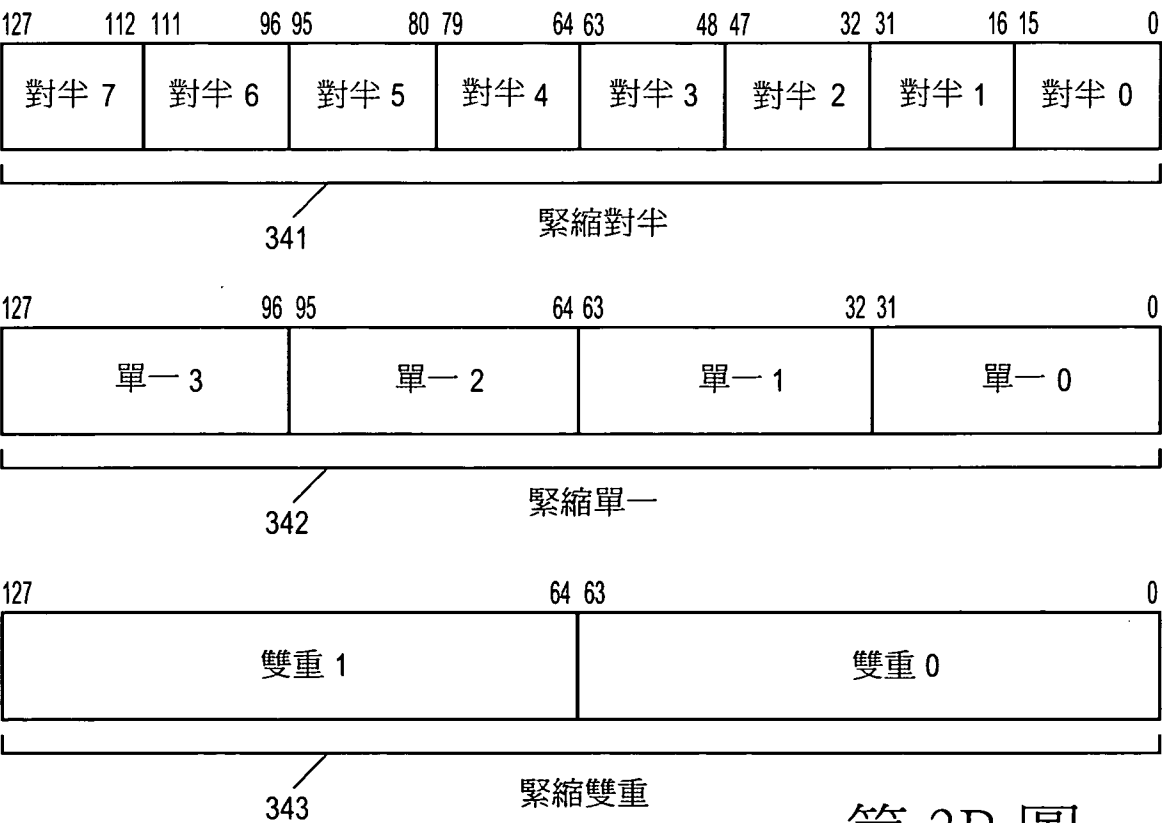


第1C圖

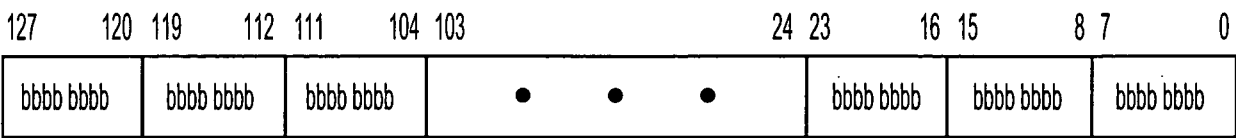
圖
2
錄



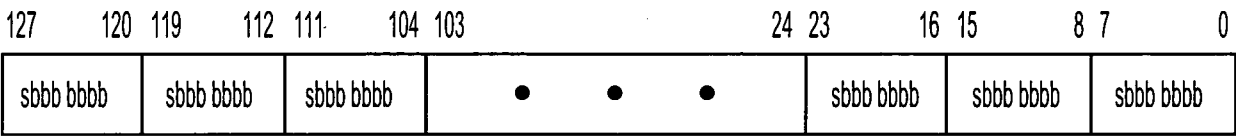
第 3A 圖



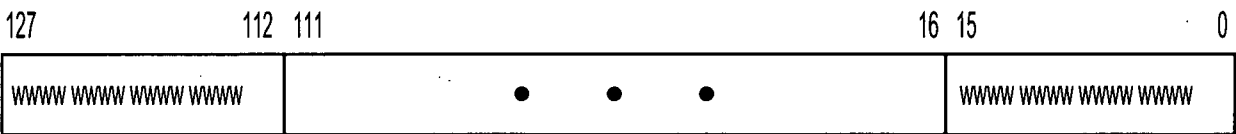
第 3B 圖



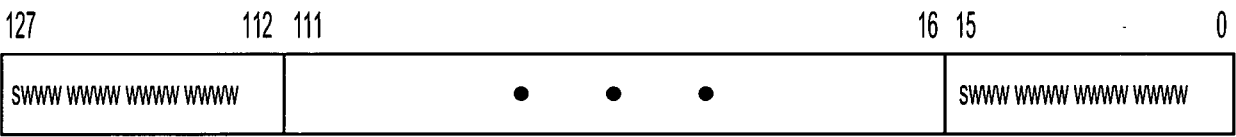
未標符號之緊縮位元表示型態 344



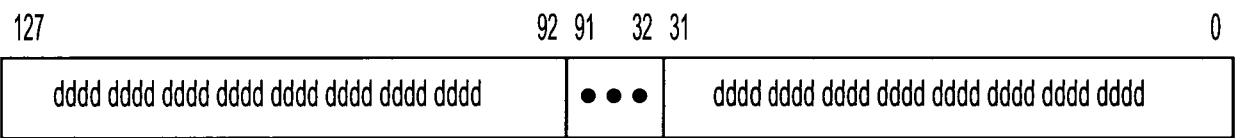
標符號之緊縮位元表示型態 345



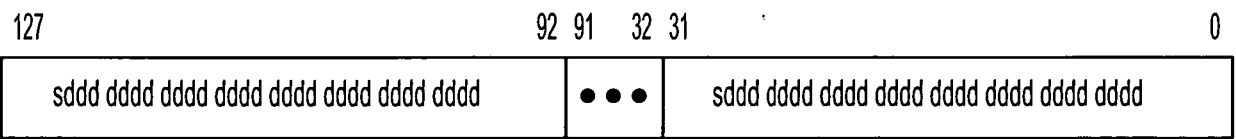
未標符號之緊縮字組表示型態 346



標符號之緊縮字組表示型態 347

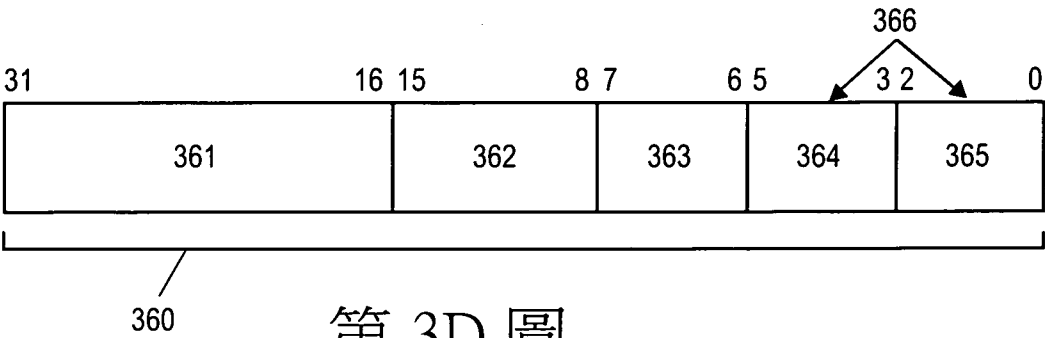


未標符號之緊縮雙字組表示型態 348

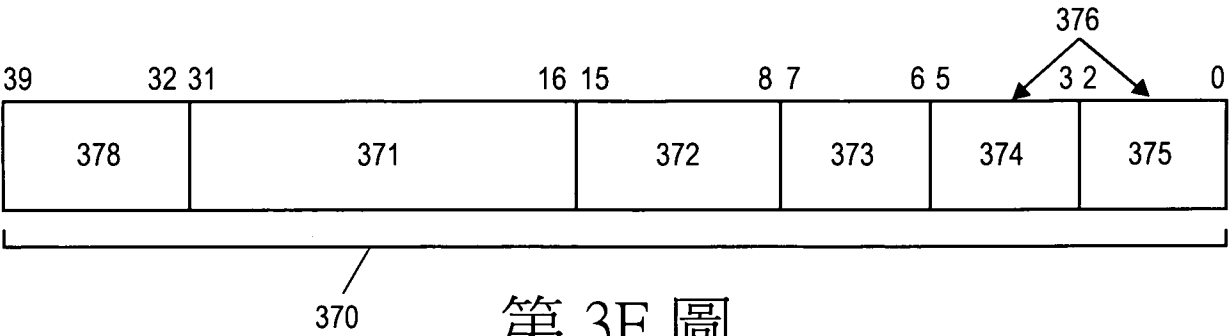


標符號之緊縮雙字組表示型態 349

第 3C 圖



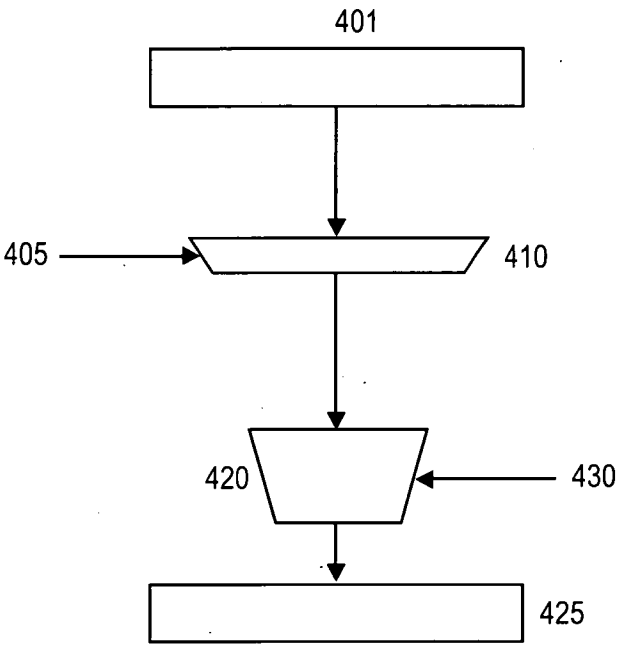
第 3D 圖



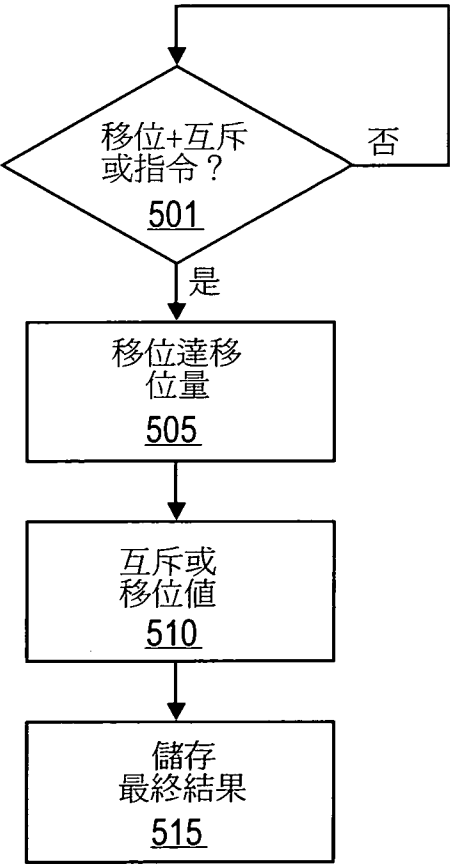
第 3E 圖



第 3F 圖



第 4 圖



第 5 圖