



(12)发明专利申请

(10)申请公布号 CN 107210263 A

(43)申请公布日 2017.09.26

(21)申请号 201680009910.3

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(22)申请日 2016.03.31

代理人 林斯凯

(30)优先权数据

14/674,809 2015.03.31 US

(51)Int.Cl.

H01L 21/8232(2006.01)

(85)PCT国际申请进入国家阶段日

H01L 23/50(2006.01)

2017.08.11

B82Y 30/00(2006.01)

(86)PCT国际申请的申请数据

PCT/US2016/025442 2016.03.31

(87)PCT国际申请的公布数据

W02016/161212 EN 2016.10.06

(71)申请人 德州仪器公司

地址 美国德克萨斯州

(72)发明人 本杰明·S·库克

胡安·亚力杭德罗·赫布佐默

权利要求书3页 说明书9页 附图33页

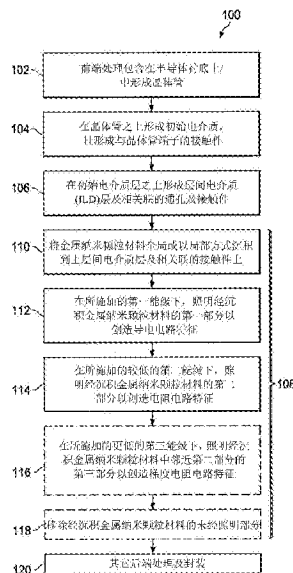
(54)发明名称

在集成电路或印刷电路板中形成导电及电阻电路结构的方法

(57)摘要

所描述的实例包含通过直写可变阻抗图案化使用基于纳米颗粒的金属化层或基于化学反应的沉积制造导电及电阻电路结构的方法(100)。在一些实例(100)中,将低导电率纳米颗粒材料沉积(110)于表面之上。在所施加的不同能级下,经由照明源功率调整及/或扫描速率调整选择性地照明(112、114、116)所述纳米颗粒材料,以用于选择性图案化烧结来创造包含梯度电阻电路结构的导电电路结构以及电阻电路结构,所述梯度电阻电路结构具有沿着结构长度改变的电阻率轮廓。另外实例包含方法,其中沉积或图案化非导电反应物层,且使用加成沉积来沉积不同量的第二溶液以与上述反应物层反应以形成可控导电结构。

CN 107210263 A



1. 一种制造导电及电阻结构的方法,所述方法包括:

将金属纳米颗粒材料沉积在表面之上,所述金属纳米颗粒材料具有初始低导电率;

在所施加的第一能级下,选择性地照明所述经沉积金属纳米颗粒材料的第一部分,以增加所述经沉积金属纳米颗粒材料的所述第一部分的所述导电率,以创造导电电路结构;

在所施加的第二能级下,选择性地照明所述经沉积金属纳米颗粒材料的第二部分,以创造电阻电路结构,所述所施加的第二能级小于所述所施加的第一能级。

2. 根据权利要求1所述的方法,其包括在所施加的第三能级下,选择性地照明所述经沉积金属纳米颗粒材料中邻近所述第二部分的第三部分,以创造包含所述金属纳米颗粒材料的所述第二及第三经照明部分的梯度电阻电路结构,所述所施加的第三能级小于所述所施加的第二能级。

3. 根据权利要求2所述的方法,其包括逐渐将所施加的能量从所述所施加的第二能级转变成所述所施加的第三能级,同时照明所述经沉积金属纳米颗粒材料的所述第二及第三部分,以创造包含所述金属纳米颗粒材料的所述第二及第三经照明部分的所述梯度电阻电路结构。

4. 根据权利要求3所述的方法,其中逐渐将所述所施加的能量从所述所施加的第二能级转变成所述所施加的第三能级包含:逐渐降低照明源的功率级,同时跨越所述经沉积金属纳米颗粒材料的所述第二及第三部分扫描光。

5. 根据权利要求3所述的方法,其中逐渐将所述所施加的能量从所述所施加的第二能级转变成所述所施加的第三能级包含:逐渐增加照明源的扫描速率,同时跨越所述经沉积金属纳米颗粒材料的所述第二及第三部分扫描光。

6. 根据权利要求3所述的方法,其中将所述金属纳米颗粒材料全局沉积到所述表面之上;其进一步包括:在选择性地照明所述经沉积金属纳米颗粒材料的所述第一、第二及第三部分之后,移除所述经沉积金属纳米颗粒材料的未经照明部分。

7. 根据权利要求2所述的方法:

其中在所述所施加的第一能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第一部分包含:将照明源的功率级控制在第一功率级下,同时跨越所述经沉积金属纳米颗粒材料的所述第一部分扫描光;

其中在所述所施加的第二能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第二部分包含:将所述照明源的所述功率级控制在第二功率级下,同时跨越所述经沉积金属纳米颗粒材料的所述第二部分扫描光,所述第二功率级小于所述第一功率级;且

其中在所述所施加的第三能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第三部分包含:将所述照明源的所述功率级控制在第三功率级下,同时跨越所述经沉积金属纳米颗粒材料的所述第三部分扫描光,所述第三功率级小于所述第二功率级。

8. 根据权利要求2所述的方法:

其中在所述所施加的第一能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第一部分包含:将照明源的扫描速率控制在第一扫描速率下,同时跨越所述经沉积金属纳米颗粒材料的所述第一部分扫描光;

其中在所述所施加的第二能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第二部分包含:将所述照明源的所述扫描速率控制在第二扫描速率下,同时跨越所述经沉

积金属纳米颗粒材料的所述第二部分扫描光,所述第二扫描速率大于所述第一扫描速率;且

其中在所述所施加的第三能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第三部分包含:将所述照明源的所述扫描速率控制在第三扫描速率下,同时跨越所述经沉积金属纳米颗粒材料的所述第三部分扫描光,所述第三扫描速率小于所述第二扫描速率。

9. 根据权利要求2所述的方法,其中将所述金属纳米颗粒材料全局沉积在所述表面之上;其进一步包括:在选择性地照明所述经沉积金属纳米颗粒材料的所述第一、第二及第三部分之后,移除所述经沉积金属纳米颗粒材料的未经照明部分。

10. 根据权利要求1所述的方法,其中在所述所施加的第一能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第一部分包含:将照明源的功率级控制在第一功率级下,同时跨越所述经沉积金属纳米颗粒材料的所述第一部分扫描光;且其中在所述所施加的第二能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第二部分包含:将所述照明源的所述功率级控制在第二功率级下,同时跨越所述经沉积金属纳米颗粒材料的所述第二部分扫描光,所述第二功率级小于所述第一功率级。

11. 根据权利要求1所述的方法,其中在所述所施加的第一能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第一部分包含:将照明源的扫描速率控制在第一扫描速率下,同时跨越所述经沉积金属纳米颗粒材料的所述第一部分扫描光;且其中在所述所施加的第二能级下,选择性地照明所述经沉积金属纳米颗粒材料的所述第二部分包含:将所述照明源的所述扫描速率控制在第二扫描速率下,同时跨越所述经沉积金属纳米颗粒材料的所述第二部分扫描光,所述第二扫描速率大于所述第一扫描速率。

12. 根据权利要求1所述的方法,其中将所述金属纳米颗粒材料全局沉积在所述表面之上;其进一步包括:在选择性地照明所述经沉积金属纳米颗粒材料的所述第一及第二部分之后,移除所述经沉积金属纳米颗粒材料的未经照明部分。

13. 一种制造导电及电阻结构的方法,所述方法包括:

将非导电反应物材料沉积在表面之上;

选择性地以每单位面积第一量将第二溶液沉积到所述经沉积非导电反应物材料的第一部分之上以用于与所述反应物材料反应以创造导电电路结构;

选择性地以每单位面积第二量将所述第二溶液沉积到所述经沉积非导电反应物材料的第二部分之上以用于与所述反应物材料反应以创造电阻电路结构,所述每单位面积第二量少于所述每单位面积第一量。

14. 根据权利要求13所述的方法,其包括选择性地以每单位面积第三量将所述第二溶液沉积在所述经沉积非导电反应物材料中邻近所述第二部分的第三部分之上以用于与所述反应物材料反应以创造包含所述第二及第三部分的梯度电阻电路结构,所述每单位面积第三量少于所述每单位面积第二量。

15. 根据权利要求14所述的方法,其包括逐渐将所述第二溶液的每单位面积经沉积量从所述每单位面积第二量转变成所述每单位面积第三量,同时将所述第二溶液沉积在所述反应物材料的所述第二及第三部分之上以创造包含所述第二及第三部分的所述梯度电阻电路结构。

16. 一种电路设备,其包括:

平面结构；

至少一个导电结构，其由第一材料形成在所述平面结构上，所述导电结构具有导电结构电阻率；

第一电阻结构，其由所述第一材料形成在所述平面结构上，所述第一电阻结构具有大于所述导电结构电阻率的第一电阻率；

第二电阻结构，其由所述第一材料形成在所述平面结构上，所述第二电阻结构具有大于所述第一电阻率的第二电阻率。

17. 根据权利要求16所述的电路设备，其包括由所述第一材料形成在所述平面结构上且沿着从第一端到第二端的长度延伸的梯度电阻结构，所述梯度电阻结构具有沿着所述长度距离改变的电阻率轮廓。

18. 根据权利要求17所述的电路设备，其中所述梯度电阻结构的所述电阻率轮廓沿着所述长度距离连续改变。

19. 根据权利要求18所述的电路设备，其中所述梯度电阻结构沿着所述长度距离具有恒定横截面面积。

20. 根据权利要求17所述的电路设备，其中所述梯度电阻结构沿着所述长度距离具有恒定横截面面积。

在集成电路或印刷电路板中形成导电及电阻电路结构的方法

技术领域

[0001] 本发明大体上涉及集成电路制造,且更特定来说,涉及在电路结构中形成具有不同的每单位面积阻抗值的导电及电阻电路结构。

背景技术

[0002] 集成电路(IC)为电气电路(其通常包含二极管、晶体管、存储器单元、逻辑电路及具有用于介接内部电路与印刷电路板(PCB)上的外部组件的I/O端子的其它电路)提供具有成本效益的紧凑解决方案。除了复杂电路之外,许多集成电路包含内部电容器及电阻器,借此减轻对与提供外部离散组件相关联的额外花费及电路板空间的需要。特定来说,电阻器及导电迹线有时在一或多个金属化层的制造期间形成,以将晶体管端子及其它内部电路组件彼此互连且将其与外部可存取的裸片垫互连。印刷电路板还包含用于电互连各种组件(例如离散电阻器、电容器、二极管及焊接到板的集成电路)的导电迹线或特征件。对于许多应用,可希望在集成电路金属化层中及/或印刷电路板上的金属迹线内嵌入电阻器,以减轻对离散电阻器的需要,由此节省空间及成本。此外,对于无限阻抗匹配通常需要梯度电阻传输线,并且对于电流轮廓逐渐减小通常需要梯度电阻特征。

[0003] 金属化层处理通常涉及创造在几何上经图案化的铜迹线或其它合适的金属迹线以在迹线或特征件上创造经图案化的电阻变化。嵌入式电阻器可通过调整金属化层结构的面积(例如,金属迹线宽度)及/或长度来创造,且梯度电阻传输线也可通过针对无限阻抗匹配、电流轮廓逐渐减小或其它应用的几何图案化来创造。举例来说,金属化层或印刷电路板迹线的宽度或厚度可经变窄以减小横截面面积,且迹线的路径可通过弯曲或其它长度延伸技术来延伸以增加电阻。此外,迹线宽度可通过逐渐减小来变窄,以提供逐渐增加的电阻。然而,集成电路及/或印刷电路板的常规金属化层处理可能受限于在成本及空间限制内创造集成电阻器(特定来说,梯度电阻器)的能力。特定来说,当前技术需要金属化层迹线的几何结构的改变及/或每平方具有较高或较低电阻的其它材料的沉积的改变。

[0004] 在几何上改变特征件形状及长度以创造较低电阻特征在某些情况中可能因为空间或面积限制而是不实用的,而成本、复杂性及制造公差可限制创造较高电阻及/或梯度电阻器的可行性。这些常规技术可能不适用于其中金属化的几何结构直接与高频性能相关的高频率结构,或不适用于梯度电流轮廓逐渐减小。其它方法涉及将两种或两种以上材料沉积到每单位面积具有不同阻抗值(每平方欧姆)的PCB或集成电路金属化层上,所述材料具有不同的每单位面积阻抗值(欧姆每平方)。然而,此技术增加成本及制造时间,且在创造不同电阻及轮廓化电阻中仍然仅允许离散数目个自由度。因此,此方法通常结合几何图案化使用,这可能违反给定设计的尺寸限制。因此,涉及改变迹线几何结构的常规技术受低电阻的可用空间及在创造高电阻时的最小迹线宽度及最小特征尺寸的工艺限制的限制。

发明内容

[0005] 提供使用直写可变阻抗图案化经由基于纳米颗粒的金属化层或基于化学反应的

沉积在集成电路中或电路板上制造导电及电阻结构的方法,以及包含形成于具有不同电阻率的平面结构上的电阻结构的集成电路或印刷电路板。在某些方法中,在所施加的不同能级下选择性地照明低导电率纳米颗粒材料以用于创造导电及电阻电路结构及梯度电阻电路结构。还提供方法,其中沉积非导电反应物层,且使用加成沉积来沉积不同量的第二溶液以与反应物层反应以形成具有经定制的导电率的结构。提供电路设备,其中导电结构及电阻结构由相同材料形成于平面表面上且具有不同电阻率。

附图说明

[0006] 图1是在集成电路中通过可变阻抗图案化形成导电及电阻结构的第一方法的流程图。

[0007] 图2是经受沉积过程以在上层间电介质及相关联的接触件上形成金属纳米颗粒材料层的集成电路的部分侧视图。

[0008] 图3是在沉积金属纳米颗粒材料层之后图2的集成电路的部分俯视图。

[0009] 图4是在所施加的第一能级下照明经沉积金属纳米颗粒材料的第一部分以创造导电电路结构之后图2及3的集成电路的俯视图。

[0010] 图5是在所施加的较低的第二能级下照明经沉积金属纳米颗粒材料的第二部分以创造电阻电路结构之后图2到4的集成电路的部分俯视图。

[0011] 图6是在以可变或逐渐减小的功率及/或扫描速率照明经沉积金属纳米颗粒材料的另外部分以形成梯度电阻电路结构之后图2到5的集成电路的部分俯视图。

[0012] 图7是在更低功率级下照明经沉积金属纳米颗粒材料的另外部分以形成较高阻抗电阻结构之后图2到6的集成电路的部分俯视图。

[0013] 图8是在移除经沉积金属纳米颗粒材料的非经照明部分之后图2到7的集成电路的部分俯视图。

[0014] 图9是使用具有可调整功率级及恒定扫描速率的激光源的对图2到8的集成电路的选择性照明处理的部分侧视图。

[0015] 图10是使用图9的恒定扫描速率、可变功率照明处理沿着横向方向形成的导电、电阻及梯度电阻结构的部分俯视图。

[0016] 图11是沿着横向方向形成图10的连续导电、电阻及梯度电阻结构的激光功率的图形。

[0017] 图12是沿着横向方向形成图10的导电、电阻及梯度电阻结构的激光扫描速率的图形。

[0018] 图13是在恒定激光功率级下使用具有可调整扫描速率的激光源的图2到8的集成电路的选择性照明处理的部分侧视图。

[0019] 图14是使用恒定功率、图13的可变扫描速率照明处理沿着横向方向形成的导电、电阻及梯度电阻结构的部分俯视图。

[0020] 图15是沿着横向方向形成图14的导电、电阻及梯度电阻结构的恒定激光功率的图形。

[0021] 图16是沿着横向方向经调整以形成图14的导电、电阻及梯度电阻结构的激光扫描速率的图形。

[0022] 图17是经受第二加成沉积过程以选择性地在上层间电介质材料的选择部分上形成金属纳米颗粒材料的集成电路的部分侧视图。

[0023] 图18是在选择性地沉积金属纳米颗粒材料层之后图17的集成电路的部分俯视图。

[0024] 图19是在所施加的第一能级下照明经沉积金属纳米颗粒材料的第一部分以创造导电电路结构之后图17及18的集成电路的部分俯视图。

[0025] 图20是在所施加的较低的第二能级下照明经沉积金属纳米颗粒材料的第二部分以创造电阻电路结构之后图17到19的集成电路的部分俯视图。

[0026] 图21是在以逐渐减小的功率及/或扫描速率照明经沉积金属纳米颗粒材料的另外部分以形成梯度电阻电路结构之后图17到20的集成电路的部分俯视图。

[0027] 图22是在更低的功率级下照明经沉积金属纳米颗粒材料的另外部分以形成较高阻抗电阻结构之后图17到21的集成电路的部分俯视图。

[0028] 图23是在集成电路中通过可变阻抗图案化使用基于化学反应的沉积形成导电及电阻结构的第二方法的流程图。

[0029] 图24是经受全局或选择性地加成沉积过程以在上层间电介质材料上形成反应物材料的集成电路的部分侧视图。

[0030] 图25是反应物材料沉积之后图24的集成电路的部分俯视图。

[0031] 图26是以第一厚度级将第二溶液选择性地加成沉积到经沉积反应物材料的第一部分上以创造导电电路结构之后图24及25的集成电路的部分俯视图。

[0032] 图27是在以较低的第二厚度级将第二溶液选择性地加成沉积到经沉积反应物材料的第二部分上以创造电阻电路结构之后图24到26的集成电路的部分俯视图。

[0033] 图28是在将第二溶液逐渐减小地加成沉积到经沉积反应物材料的另外部分上以形成梯度电阻电路结构之后图24到27的集成电路的部分俯视图。

[0034] 图29是在以较低的厚度级将第二溶液选择加成沉积到经沉积反应物材料的另外部分上以形成较高阻抗电阻结构之后图24到28的集成电路的部分俯视图。

[0035] 图30是在移除经沉积的反应物材料的未反应部分之后图24到29的集成电路的部分俯视图。

[0036] 图31是选择性地沉积第二溶液以形成图30的导电、电阻及梯度电阻结构的部分侧视图。

[0037] 图32是导电、电阻及梯度电阻结构的部分俯视图。

[0038] 图33是在形成图31的导电、电阻及梯度电阻结构中沿着横向方向的第二溶液沉积厚度或量的图形。

具体实施方式

[0039] 在图式中,各种特征不一定按比例绘制。

[0040] 图1说明用于在集成电路中或印刷电路板上制造导电及电阻结构的过程或方法100,且图2到8展示在根据方法100的各种中间制造阶段处的集成电路(IC)200。在集成电路制造的上下文中,说明用于在金属化过程中在电介质层上形成导电及电阻结构的过程100。在其它实例中,方法100的部分可用于制造其中导电及电阻特征形成于平面表面上的印刷电路板或其它电路结构。

[0041] 图1中的方法100在102处以前端处理(例如在半导体衬底上或中形成晶体管)开始。在104处,在晶体管之上形成初始电介质,且在初始电介质中形成与晶体管端子的接触件。在106处,在初始电介质层之上形成一或多个层间电介质(ILD)层,以及相关联的通孔及接触件。

[0042] 图2展示在图1的102到106处的处理之后的中间制造阶段处的IC 200,且IC 200包含半导体主体204(例如,硅衬底或SOI晶片),其中晶体管源极/漏极206形成于衬底204的经掺杂有源区域中且由STI或LOCOS隔离结构208分离,且晶体管栅极结构210形成于衬底204的沟道区域之上。初始ILD层(例如,聚金属电介质PMD)212形成于晶体管及衬底(图1中的104)之上,通过所述晶体管及衬底,导电接触件214由任何合适的一或若干种导电材料(例如,钨)形成以用于互连源极/漏极与栅极端子206、210。第二ILD层216形成于第一层212、214之上,包含具有平面顶表面的电介质材料层216、以及接触件或通孔218,如图2中所展示。

[0043] 如下文进一步描述,图1中的过程100包含在108处的经由基于纳米颗粒的金属化层处理的直写可变阻抗图案化,以在平面电介质层(例如,ILD层216)上形成导电结构及包含梯度电阻器特征的一或多个电阻结构作为用于构造集成电路200的金属化过程的部分。在其它实例中,处理108可用于在电路板的平面表面上形成导电及电阻特征或结构。直写可变阻抗图案化实例在下文使用基于化学反应的沉积处理进行描述(例如,图23),其还可用于制造集成电路装置及/或制造印刷电路板或其它电路结构。在此方面,电介质层216被认为提供包含任何暴露导电接触件218的平面表面。

[0044] 参考图1到3,金属化处理108在图1中的110处以沉积金属纳米颗粒材料开始。可使用任何合适的纳米颗粒材料,且可在110处使用任何合适的沉积处理沉积任何合适的纳米颗粒材料。图2说明用于在包含层间接触件218的任何暴露导电材料的电介质层216的上表面之上沉积金属纳米颗粒材料202的沉积过程210,且图3说明在电介质216的全部或基本上全部平面表面之上全局地沉积金属纳米颗粒层202的俯视图。在其它实例(例如,图17到22)中,102处的金属纳米颗粒材料沉积可为经由加成沉积过程的选择性沉积,或初始全局沉积及后续图案化可在110处运用以按全局或以局部方式在电介质216及任何相关联的通孔及/或接触件上形成金属纳米颗粒材料202。在图1中的110处可使用任何合适的金属纳米颗粒材料202,例如铜、金或具有大约数纳米到数百纳米的颗粒大小的其它导电纳米颗粒材料。

[0045] 当初始沉积时,纳米颗粒材料包含数个十分小的颗粒,其一起初始地构成包含颗粒的基本上非导电材料层202(例如,十分低的导电率),所述颗粒可通过以光学方式施加能量而烧结以增加层202的选择部分的导电率。在110处,材料202可通过任何合适的过程201(其包含自旋涂覆、浸渍、印刷及各种其它沉积方法)沉积以形成具有初始低导电率的材料202。如本文所使用,此初始低导电率使得经沉积层202的未反应或非经照明的部分在随后形成的其导电或电阻部分经处理以具有增加的导电率时将不传导显著的电流,且材料202的未经照明部分结合集成电路装置200的最终电路(或在110处在其上形成材料202的PCB的最终电路)操作。

[0046] 参考图1及4,在图1中的112处过程100继续,其包含在所施加的第一能级下照明经沉积金属纳米颗粒材料202的一或多个第一部分以创造一或多个导电电路特征。图4说明选择性地照明五个此类第一部分400-1、400-2、400-3、400-4及400-5,其中经照明第一部分

400-5具有宽度尺寸W。在112处使用的所施加的第一能级是相对于经照明部分400的每单位面积所施加的总能量的任何量,这致使将经照明金属纳米颗粒材料202的导电率增加到所期望的等级。此最终导电率与经照明特征400的面积及距离一起为适用于所得集成电路中的个别经照明部分或特征400提供优选低电阻值以用于实现所期望的电流载送能力及其它电路设计性能度量。如下文结合图9到16进一步论述,激光器或其它合适的光源900可在受控的能级下照明经沉积金属纳米颗粒材料202的第一部分400,例如通过控制每单位经照明表面面积的激光器输出功率及/或通过控制照明源900的扫描速率。

[0047] 参考图1及5,在114处,在所施加的较低的第二能级下,选择性地照明经沉积金属纳米颗粒材料202的第二部分500以创造电阻电路结构500-1、500-2及500-3。所施加的第二能级小于所施加的第一能级。在图5的实例中,电阻结构500-3具有宽度W,其等于实例导电结构400-5的宽度。然而,用于创造电阻结构500-3(及其它电阻器结构500-1及500-2)的所施加的第二能级少于在创造导电结构400-5时所施加的能量,且因此,经照明材料结构500具有比导电结构400更低的导电率(即,更高的电阻率)。因此,在结构400-5及500-3具有相同宽度尺寸且延伸相同横向长度或跟踪距离的情况下,结构500-3具有比结构400-5更高的电阻。结构400-5及500-3具有不同的电阻率,尽管它们是由相同初始第一材料202形成的。因此,处理108提供使用单个经沉积材料的直写可变阻抗图案化,所述单个经沉积材料可用于在制造集成电路及/或印刷电路板或其它电路结构中提供多种不同导电及电阻结构400、500。可例如通过使用激光动态地修改所施加的照明能量。因此,过程100有利地促进具有成本效益的金属化过程以根据需要创造包含导电迹线及电阻器的紧凑电路,而无需复杂或冗长的制造处理,且与常规经图案化金属层技术相比,其避免或减轻了与过度电路大小及关于最小迹线或特征大小的工艺限制相关联的问题。

[0048] 还参考图6,在图1中的116处选择性地照明经沉积金属纳米颗粒材料202的第三部分以创造另外电阻结构600-1及600-2。在此情况中,第三部分600-2中的一者邻近第二部分500-3,且部分600-2具有相同宽度尺寸W,且具有类似于结构或经照明部分500-3及400-5的长度或距离尺寸D。在116处,在所施加的甚至更低的第三能级(即,在此实例中,第三能级小于所施加的第二能级)下,照明第三部分600以创造具有比结构500更高的电阻率的电阻结构600。此外,邻近形成电阻结构600-2及500-3提供梯度电阻结构,其包含材料202的第二经照明部分500-3及第三经照明部分600-2。因此,通过此技术,梯度电阻结构可通过在创造经照明部分500-3及600-2中改变所施加的照明源的能量由单个初始材料202创造。在一些实例中,第三能级是沿着整个经照明部分600-2施加,且所得电阻结构600-2本身将沿着其横向长度具有大体上连续或恒定电阻率。

[0049] 在其它实例中,116处的处理包含:逐渐将所施加的能量从第二级转变成第三级,同时照明部分500-3及600-2以创造梯度电阻电路结构。在图6中的另一实例中,第三部分600-1及600-2的处理涉及:逐渐将所施加的能量从第二级转变成第三级以在导电结构400-2与400-3之间创造梯度电阻结构600-1,以及复合梯度电阻结构500-3、600-2,其中结构500-3具有大体上恒定电阻率,且结构600-2具有沿着图6中的左到右方向从区域500-3的电阻率增加到更高电阻率的电阻率。

[0050] 还参考图7,图1中的处理108可包含在任何数目个所施加的不同能级下的另外照明步骤,根据需要具有或不具有所施加的能量的逐渐转变。在图7的实例中,通过照明经沉

积金属纳米颗粒材料202的部分形成另一电阻结构700来创造电连接于导电结构400-2与梯度电阻结构600-2的高电阻率端之间的另一电阻结构或特征700。在此实例中,电阻结构700具有高于先前形成的电阻结构500、600的电阻率。在其它实例中,可以分步方式执行所述处理以一个接一个地照明不同空间部分。在另外实例中,照明源(例如,激光器)可相对于扫描速率及/或功率级有源地受控,同时跨越经沉积材料202的表面执行光栅或其它类型的扫描以实施包含至少一个导电结构及至少一个电阻结构的任何所期望的图案化电路。

[0051] 图8展示在图1的118处任选地移除经沉积金属纳米颗粒材料202的未经照明部分从而使所制造的导电结构400及电阻结构500、600及700提供所期望的电路图案之后的集成电路200的俯视图。这些金属化结构中的某些者电连接到下伏接触导电结构218-1、218-2、218-3、218-4及218-5。在此实例中,由第一电阻结构500-1、500-2及500-3提供的所得电路电阻在图8中示意性地展示为电阻器R1、R2及R3。与梯度电阻结构600-1及600-2相关联的电阻展示为电阻器R4及R5。最终电阻结构700示意性地展示为电阻器R6。如图8中所展示,所得电路配置提供连接到接触结构218-5的初始导电部分400-5,其中通过串联连接电阻结构500-3且接着串联连接电连接到接触结构218-4的梯度电阻结构600-2来增加电阻。过程100在120处继续其它后端处理及封装。在某些实例中不移除未经照明纳米颗粒材料202,由此留下包含经照明及未经照明部分的表面,其可提供具有在视觉上不可区分的不同部分的无形电路。实例包含供最终用途应用的集成电路装置或其它电路结构,其中在外部表面上形成经处理材料202。在此类实例中,可省略图1中的118处的移除处理。

[0052] 图9展示一个实例照明处理配置,其可在图1中的112到116处运用。激光照明源900可操作以跨越集成电路装置202的经沉积金属纳米颗粒材料202的上表面扫描光902。激光器900可根据可控功率级输入904或可控扫描速率输入906操作。图10展示在移除经沉积纳米颗粒材料202之前IC 210的部分俯视图。图10展示经照明部分400-5、500-3及600-2,其包含以虚线展示的下伏接触结构218-5及218-4。如图9到12中所展示,第一经照明部分400-5沿着横向(X)方向从X0到X1延伸,第二经照明部分500-3从X1到X2延伸,且第三经照明部分600-2从X2到X3延伸。

[0053] 图11展示包含沿着X方向的每单位面积的所施加激光功率的曲线1102的图形1100。图12展示对应于激光器照明源900的扫描速度或扫描速率的扫描速率曲线1202的图形1200。在此实例中,激光器900在大体上恒定扫描速率(SR) 1202下操作。激光器系统900的相关联的光学器件可经配置以使用任何合适的光栅其它类型扫描在受控扫描宽度上实施照明以用于根据恒定扫描速率输入906引导激光902朝向材料202(图9)。此外,通过将功率级输入904调整成在图形1100中展示为从X0到X1的1102a的对应级P1,阶跃变化成展示为从X1到X2的1102b的较低的第二级P2,及转变成较低的第三级P3(其中在所说明的实例中,功率级沿着从X2到X3的曲线轮廓1102c逐渐降低)来实施不同经照明部分400-5、500-3及600-2的所施加的能级的变化。在其它实施方案中,在激光功率级1102中可使用线性转变,或可使用阶梯式线性轮廓,或可使用曲线轮廓,或其组合。以此方式,激光器900以稳定的扫描速率跨越经照明部分400-5、500-3及600-2扫描光902,其中经由控制输入904自适应调整功率级以实施图形1100中所展示的激光功率轮廓1102。通过此操作,方法100将所施加的不同能级提供到不同部分400-5、500-3及600-24,这对应于对经沉积材料202的烧结且因此导电率改变的控制。

[0054] 图13到16说明另一非限制性实例,其中激光源900的扫描速率SR经由扫描速率输入906调适同时在大体上恒定功率级输入904处操作以将所施加的不同能级的选择性施加提供到部分400-5、500-3及600-2。图13展示选择性地照明金属纳米颗粒材料202的部分的激光源900,且图14说明包含如图10中的导电特征400-5及电阻特征500-3及600-2的IC 200的部分。图15中的图形1500展示在激光器900从X0到X3扫描时级P处的大体上恒定激光功率级曲线1502。图16展示图形1600,其中曲线1602展示在从X0到X1的低级L1下的扫描速率(图16中的曲线部分1602a),接着是从X1到X2的较高级L2下的扫描速率(1602b),在这之后,扫描速率在激光器900从X2到X3跨越IC 200扫描光902时沿着弯曲轮廓1602c逐渐从L2增加到更高速率L3以逐渐增加梯度电阻特征600-2的电阻率。

[0055] 方法100促进使用单个材料202及选择性照明处理以图案化方式改变集成电路、印刷电路板或其它电路结构的金属化层的薄层电阻(欧姆/平方)以实现梯度电阻率金属化层及任何所期望导电及电阻迹线及特征的构造。虽然在构造一维导电及电阻结构400-5、500-3、600-2中说明及描述,但过程100及金属化处理108可形成二维电阻及导电结构。举例来说,通过选择性照明控制制造梯度电阻器结构600-1以在经照明部分中提供分级电阻率,且还使用几何图案化形成二维曲折结构形状。此外,这些技术108对三维配置有用。

[0056] 图1的过程100使用激光器900照明材料202。在其它实例中,其它能源用于选择性地烧结纳米颗粒材料202以按图案化方式控制材料电阻率。由于通过激光扫描选择性暴露到能量,所以导电率因为在经沉积材料202的纳米尺度的颗粒中经历的纳米尺度的低温熔融而增加。因为每单位面积的导电率与所吸收的能量成比例,所以可使用图案化强度使激光器900在材料层202之上扫描以改变整个表面的导电率。使用此方法,看似连续的金属板可实际上具有图案化绝缘、电阻及导电区域,在一些实例中如果未移除未经照明部分,那么所述区域在视觉上是不可被察觉的。

[0057] 参考图1及17到22,可替代地使用图17中的加成沉积过程1701(例如喷墨、丝网印刷、凹版印刷或减小材料使用的柔性版印刷)以图案化方式将材料202沉积到电介质216(图1中的110)上。在预经图案化的材料层202之上执行阻抗图案化(例如,图1中的112到116)以使迹线导电、具有电阻性或梯度电阻性以用于形成导电及电阻特征400、500、600及700。在一个实例中,在110处使用全局沉积,接着进行选择性的蚀刻以移除经沉积材料202以在电介质层216及任何暴露导电特征218之上提供经图案化材料202,如图18中所展示。图19展示在使用上文结合图4到8描述的相同所期望电路及图案照明选择性地照明所期望导电部分400之后的IC 200。图20展示用于形成第一电阻结构500的后续选择性照明。图21展示用于形成梯度电阻结构600的后续受控照明,且图22展示在用于形成额外电阻结构700的选择性照明之后的成品IC 200。

[0058] 在图8及22中,集成电路200或印刷电路板包含由第一材料202形成在表面层或其它平面结构(例如,电介质层216及任何暴露接触结构218)上的具有某个电阻率的至少一个导电结构(例如,结构400)。集成电路200还包含由相同材料202形成在平面结构216上的具有大于导电结构电阻率的电阻率的第一电阻结构500。IC 200还包含由相同材料202形成在平面结构216上的具有大于第一电阻结构500的电阻率的电阻率的第二电阻结构(例如,电阻结构700)。IC 200包含由相同材料202形成的至少一个梯度电阻结构600-2,其沿着长度D从第一端延伸到第二端,且具有沿着长度距离D改变的电阻率轮廓。在某些实例中,梯度电

阻率轮廓沿着例如图8及22的结构600-2中的长度距离D连续改变。在某些实例中,梯度电阻结构600在几何上未经图案化,且其沿着长度距离D(例如,结构600-2)可具有恒定横截面积。

[0059] 图23展示使用基于化学反应的沉积在集成电路200中或印刷电路板上制造导电及电阻结构的过程或方法2300。图23到30说明集成电路200经受大体上根据方法2300的处理。在2302、2304及2306处(以类似于图1中的102、104及106处的处理的方式)执行前端处理、初始电介质形成及一或多个ILD层的形成,以提供图24中的部分经处理集成电路200。在图23中的2308处执行可变阻抗图案化的直写,其包含在2310处将初始非导电反应物材料2402沉积到上ILD层216及任何相关联的暴露接触结构218上。在一个实例中使用如图24中所展示的沉积过程2401执行沉积,以形成如图25的俯视图中所展示的反应物材料2402。所说明的实例展示用于跨越整个ILD层216形成反应物材料2402的全局沉积过程2401。在其它实例中使用局部沉积过程。

[0060] 初始沉积的反应物层2402是非导电的,所以其具有相对较高的电阻率。在2312、2314及2316处,以每单位面积不同的量选择性地沉积第二溶液2404(图31)以使用任何合适的选择沉积或施配过程(在一个实例中,例如喷墨打印)来创造导电、电阻及梯度电阻电路特征。可使用任何合适的初始反应物材料2402,且其一旦与第二溶液2404混合就经受反应以形成更导电的层。可使用任何合适的第二溶液2404,其在以不同的量沉积到反应物层2402之上时引起可选择性地调整的化学反应以产生具有不同程度的电阻率的材料部分。

[0061] 在图23中的2312处,以每单位面积第一量将第二溶液2404局部沉积到经沉积反应物材料的第一部分400上,如图26中所展示。材料2402与第二溶液2404的所得反应使用如上文论述的相同图案化布置创造导电电路特征400-1、400-2、400-3、400-4及400-5。在2314处,以每单位面积较低的第二量将第二溶液2404局部沉积到反应物材料2402的第二部分上以创造电阻电路特征500-1、500-2及500-3,如图27中所展示。在图23中的2316处,以每单位面积更低的第三量将第二溶液2404局部沉积到反应物材料2402的第三部分上以用于创造图28的梯度电阻电路特征600-1及600-2。在图29中,通过以每单位面积甚至更低的量选择性地沉积第二溶液2404来形成另一电阻特征700以在沉积区域700中提供更高电阻率。在图23中的2318处,任选地移除经沉积反应物材料2402的未反应部分以暴露所形成的导电及电阻电路特征400、500、600及700以及如图30中所展示的上电介质216及对应ILD接触结构218的暴露部分。

[0062] 图31展示具有不同的经沉积第二溶液2404的每单位面积量的沉积过程3101。溶液2402具有从X方向位置X0到X1延伸以形成图32中所展示的导电结构400-5的第一厚度T1,及从X1到X2以形成电阻结构500-3的更小(例如,更短)厚度T2。沉积过程3101采用从X2到X3的每单位面积逐渐减小的沉积厚度量以从第二厚度T2转变成X3处的更短厚度T3。图33中的图形3300展示沉积厚度沿着X方向的曲线3302,其包含恒定厚度部分3302a(厚度T1)、及3302b(厚度T2)及从厚度T2转变成在X3处的厚度T3的弯曲厚度轮廓3302c。接着,可在图1中的2318处移除经沉积反应物材料2402的任何未反应部分。在此实例中,在2320处执行进一步后端处理及封装以提供集成电路200且完成制造过程2300。正如所描述的金属纳米颗粒选择照明的实例,可对如所展示的集成电路200、以及印刷电路板及其它电路结构执行基于化学反应的可变阻抗图案化处理2308。

[0063] 所描述的实例的概念提供优于常规金属层处理的显著优点,且促进具有成本效益的紧凑金属层制造以创造导电以及电阻结构。特定来说,所揭示的实例以低成本且快速方式提供平面2D或3D金属化表面之上界定的连续或离散阻抗梯度,其中沉积且随后通过在控制级下的选择能量或反应溶液应用处理仅一个金属纳米颗粒或反应物材料202、2302。直写图案化:(a)不会添加任何成本到溶液,这是因为所沉积的溶液或加成沉积的金属已固有地需要固化步骤;(b)直接在电路板及/或集成电路金属层迹线内提供嵌入式电阻器,其具有提供供用于传输线或需要无限阻抗匹配的其它应用的精细调谐梯度电阻器的能力。所述实例对为电流分布图案化及逐渐减小提供2-D或3-D阻抗梯度有用,这对RF电路实施方案(例如匹配网络及天线/天线阵列)极有利且不能使用标准金属化层来执行。所揭示的实例的概念对提供无形(视觉上不可察觉)电路有用,其中金属化覆盖整个表面,但包含图案化导电及电阻区域(例如对于防护及/或安全应用,其中隐藏电路板的视觉图案降低逆向工程的机会)。

[0064] 在权利要求书的范围内可对所描述的实施例进行修改,且可能存在其它实施例。

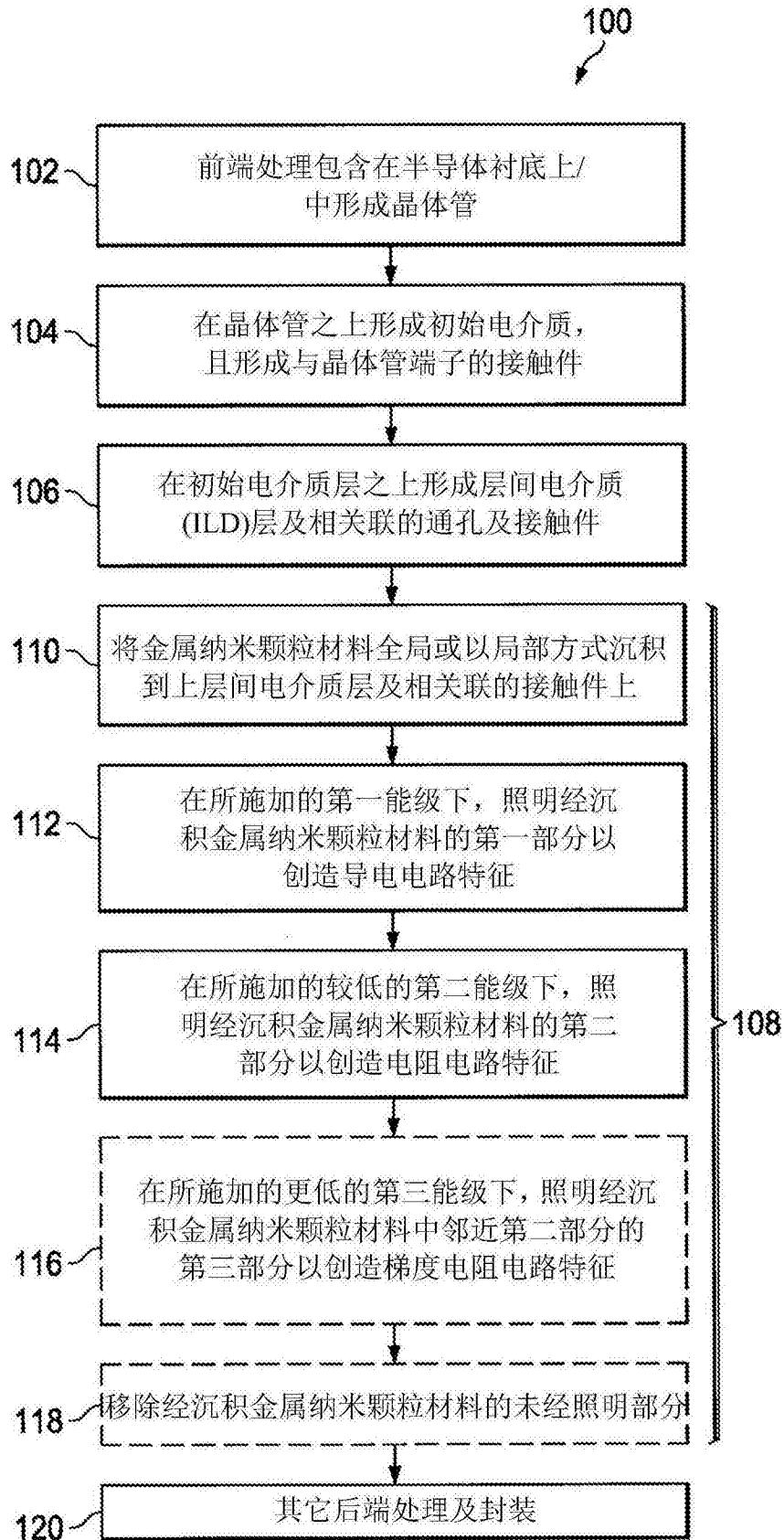


图1

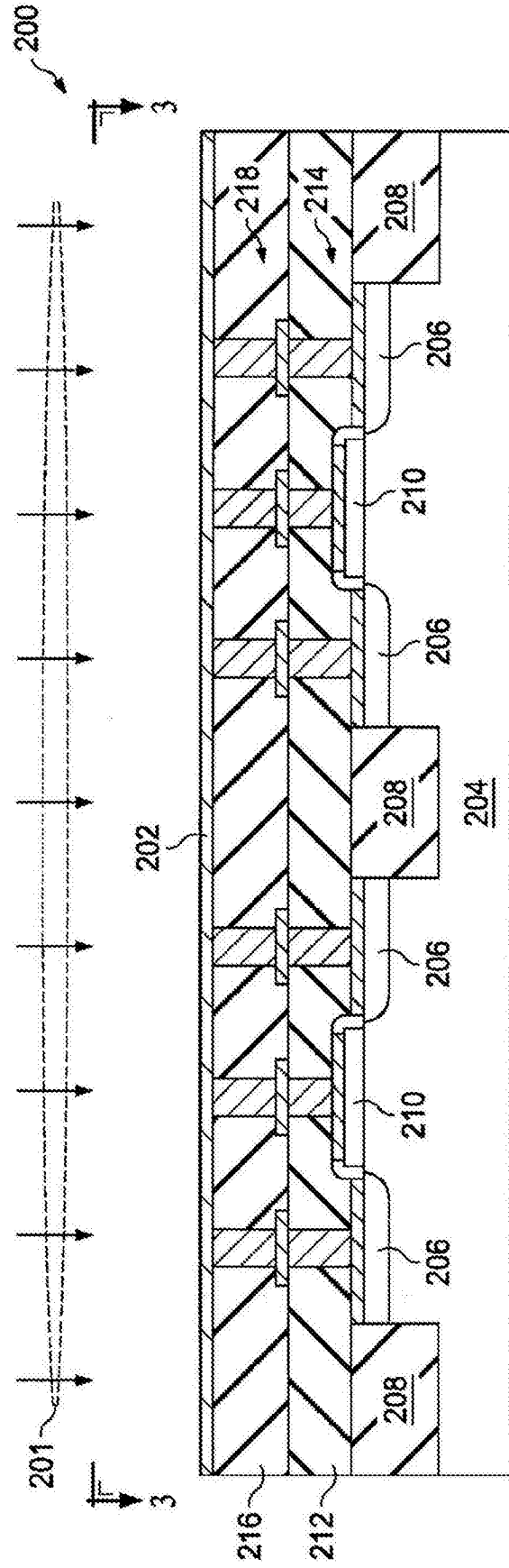


图2

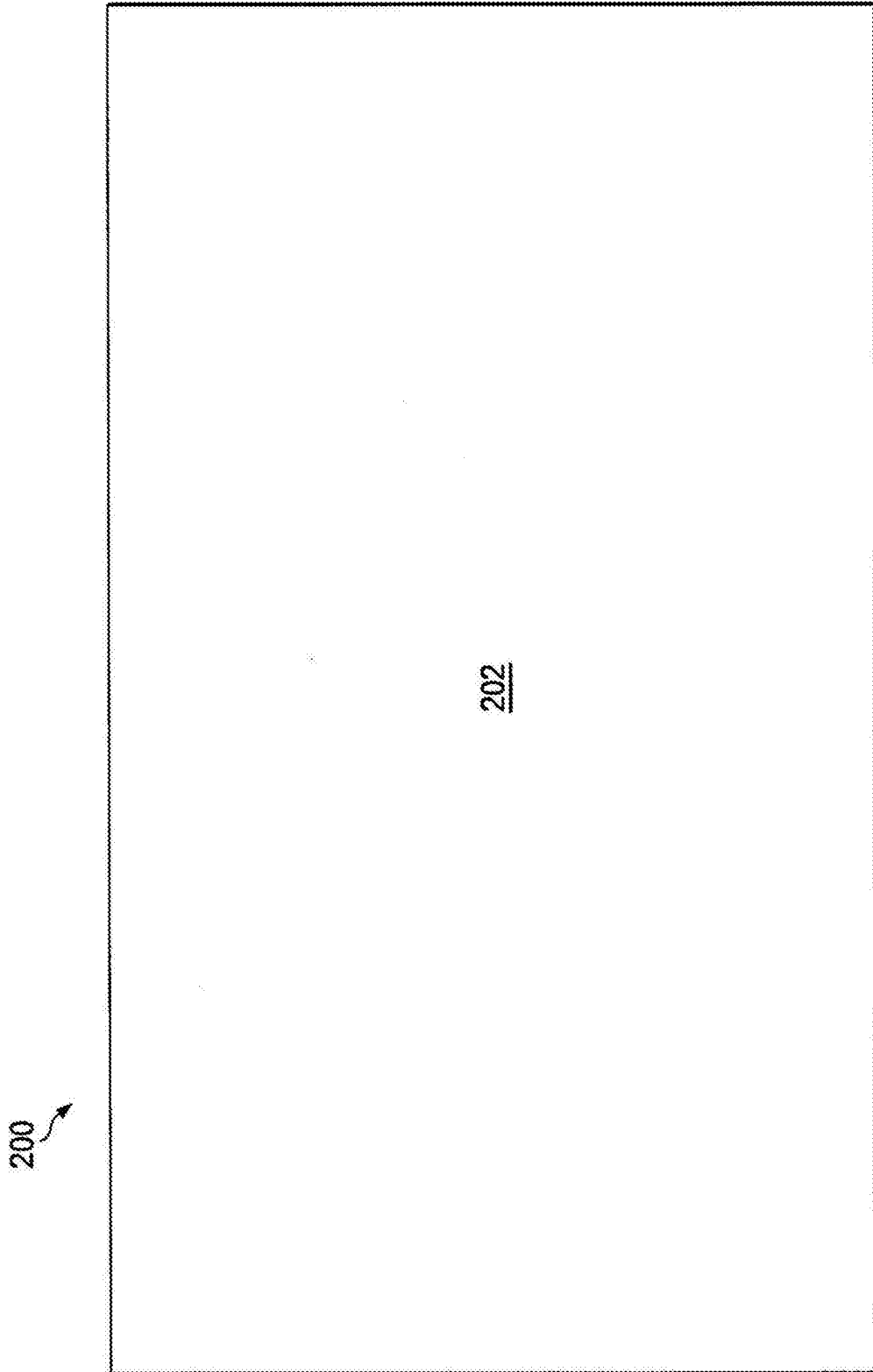


图3

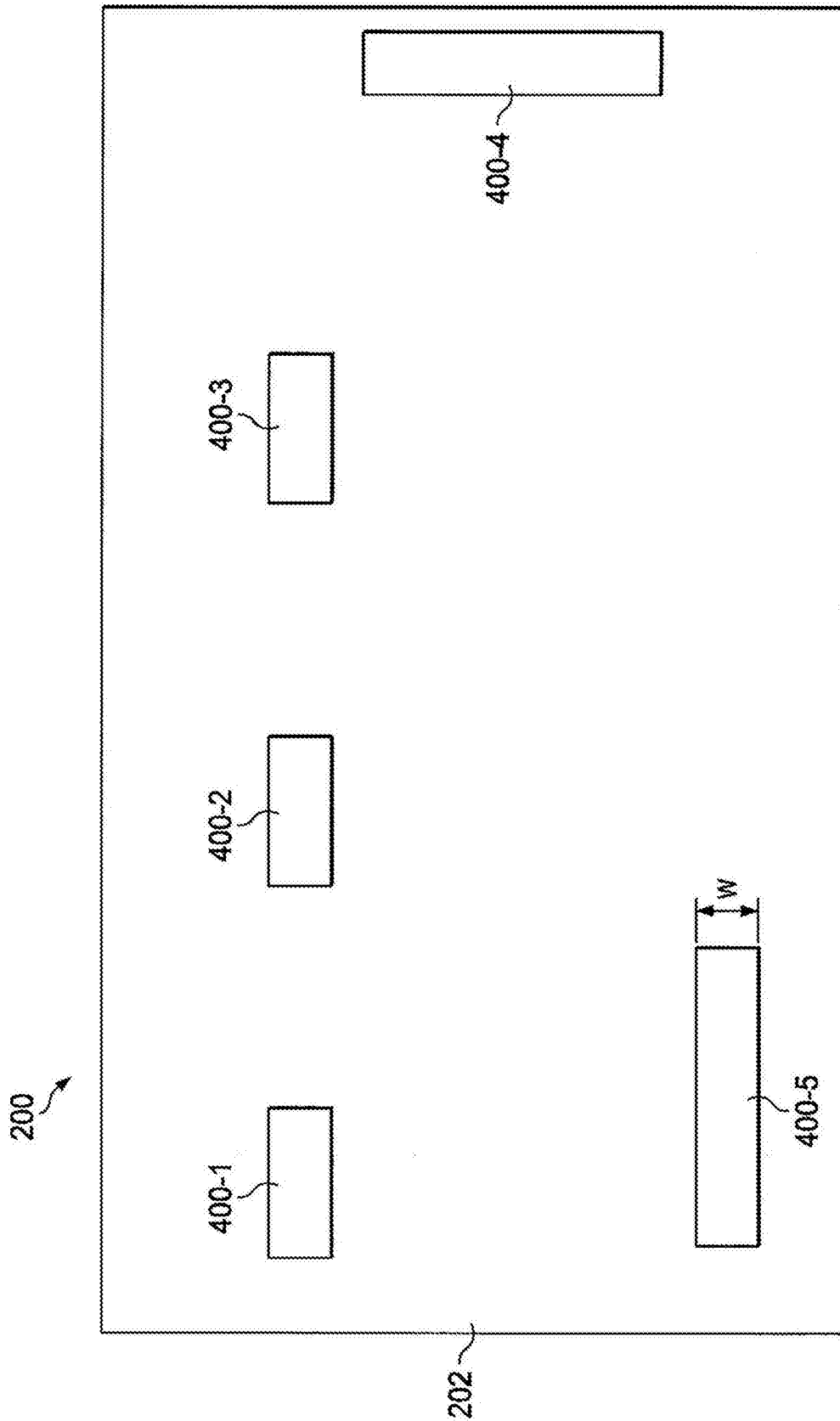


图4

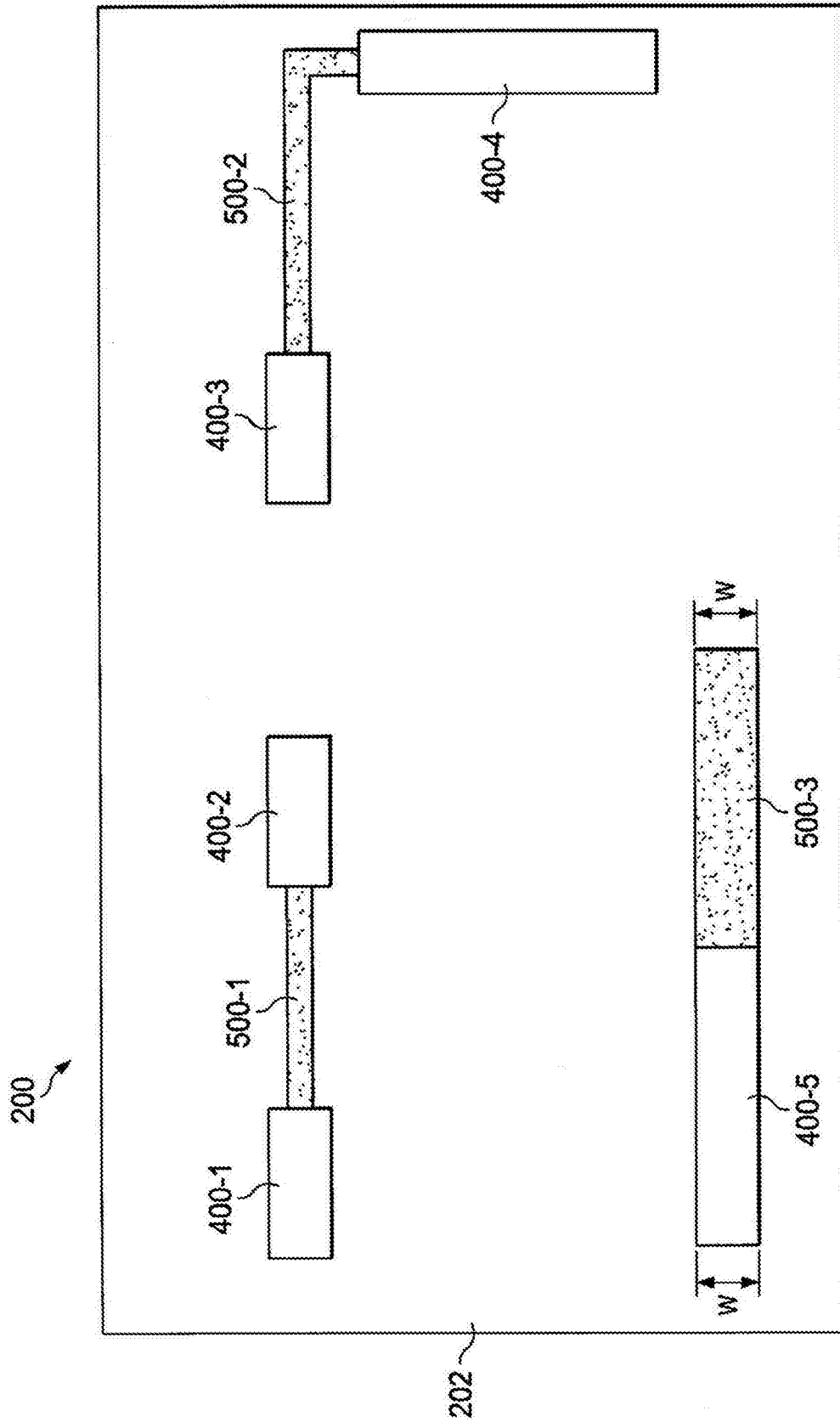


图5

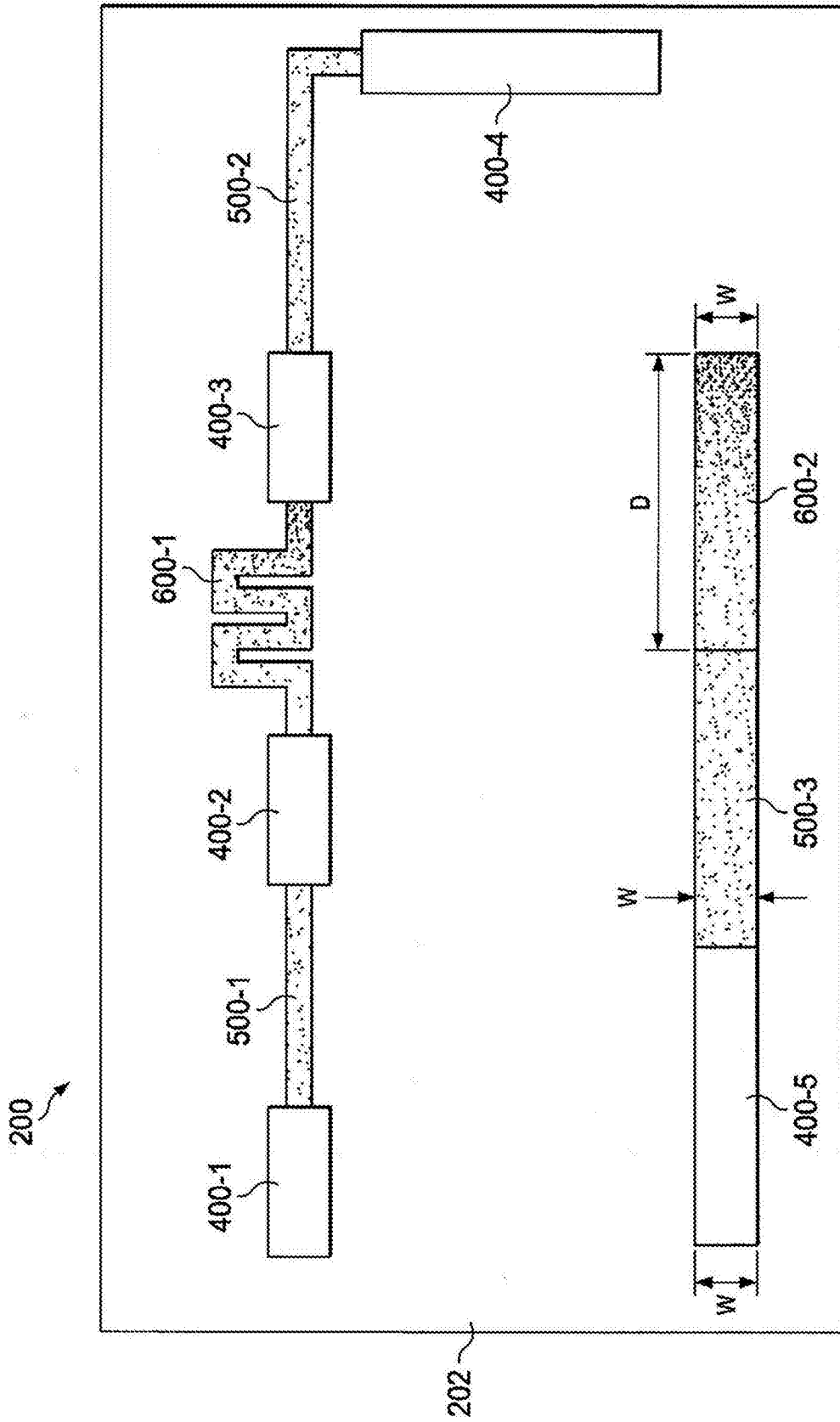


图6

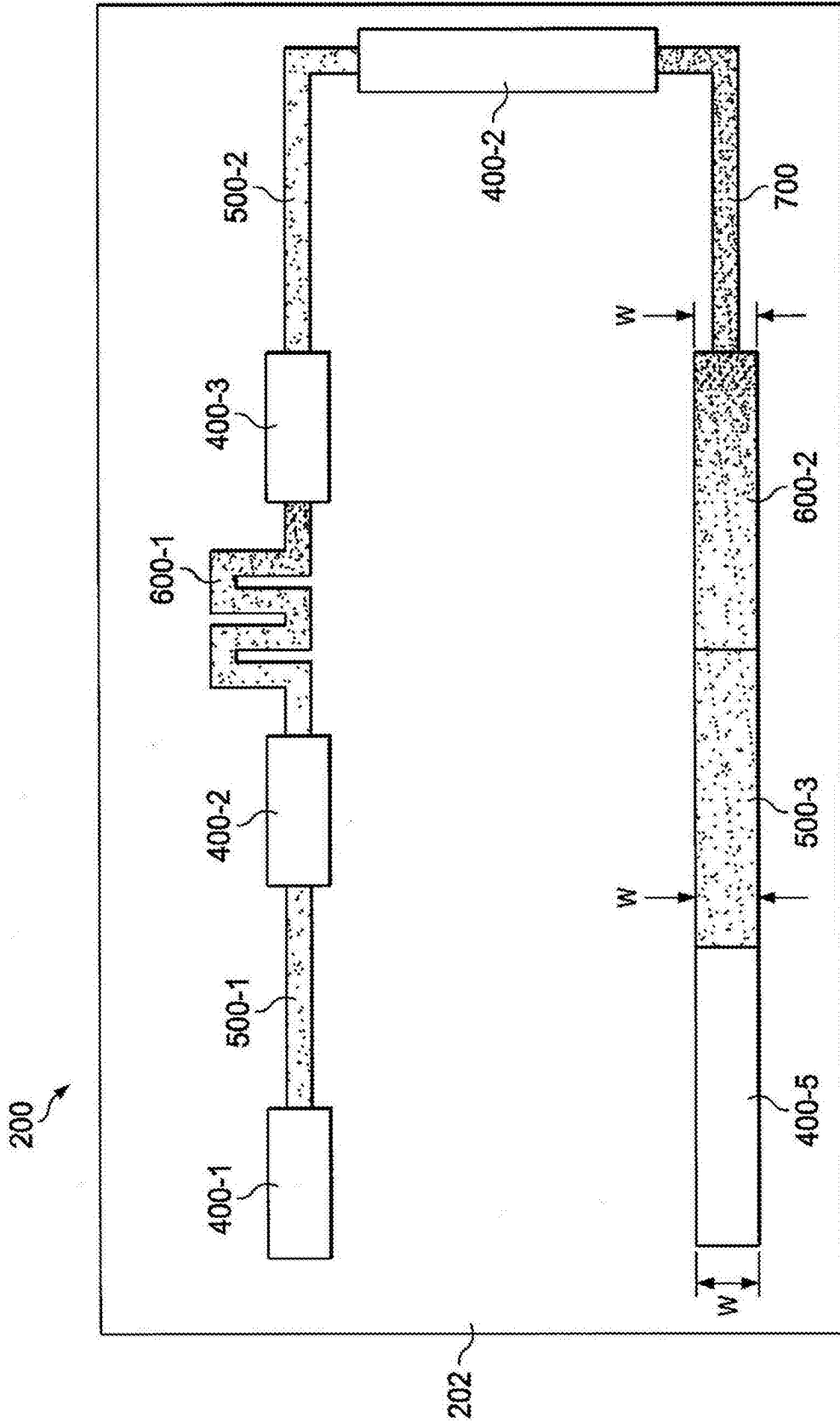


图7

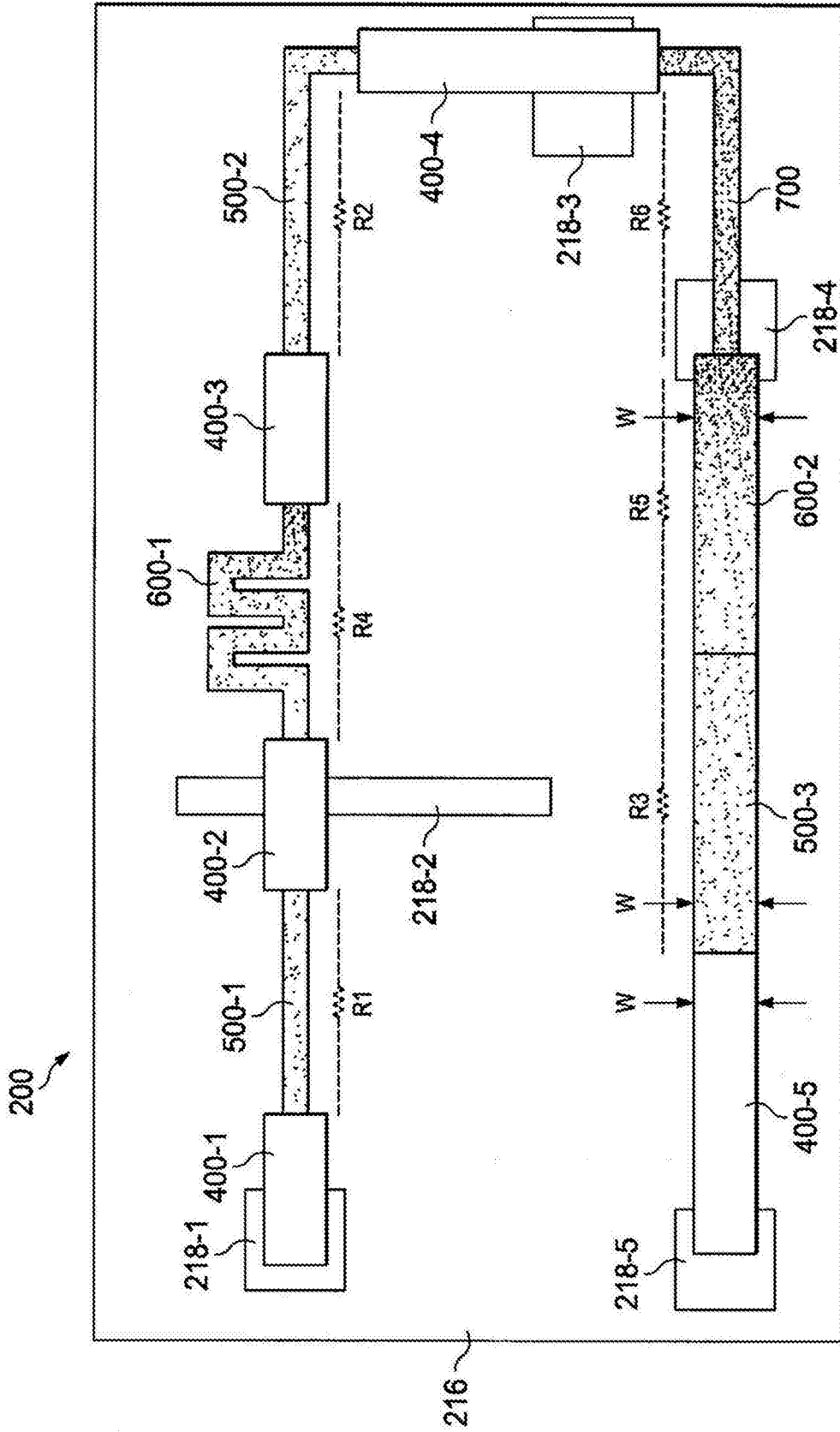


图8

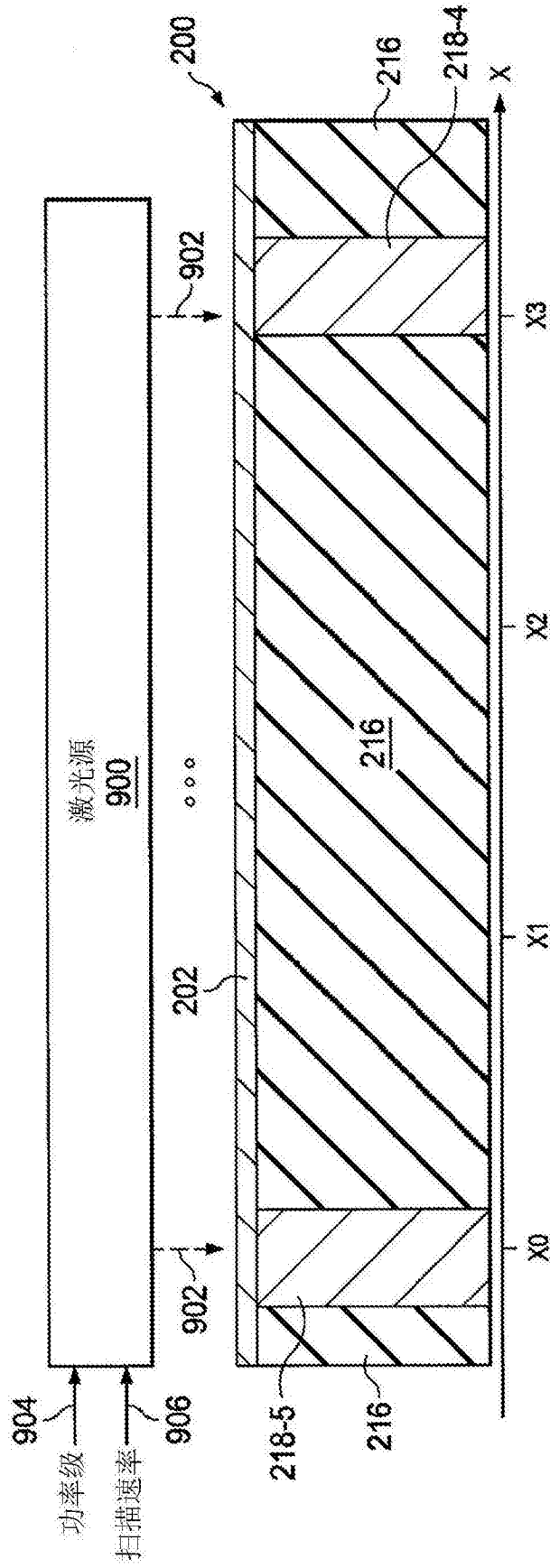


图9

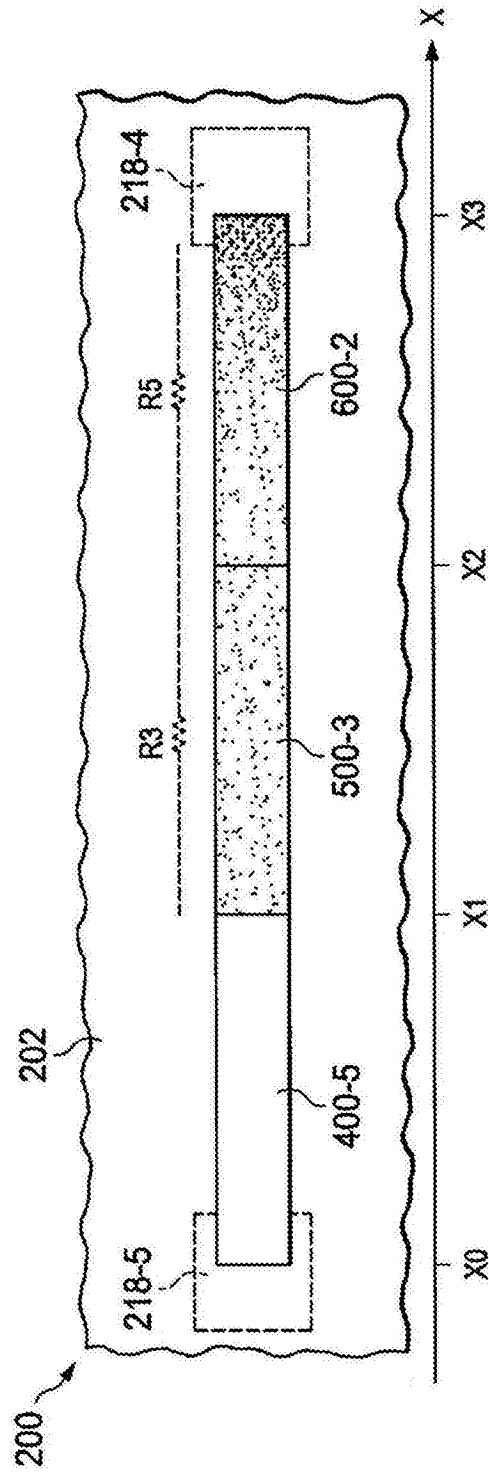


图10

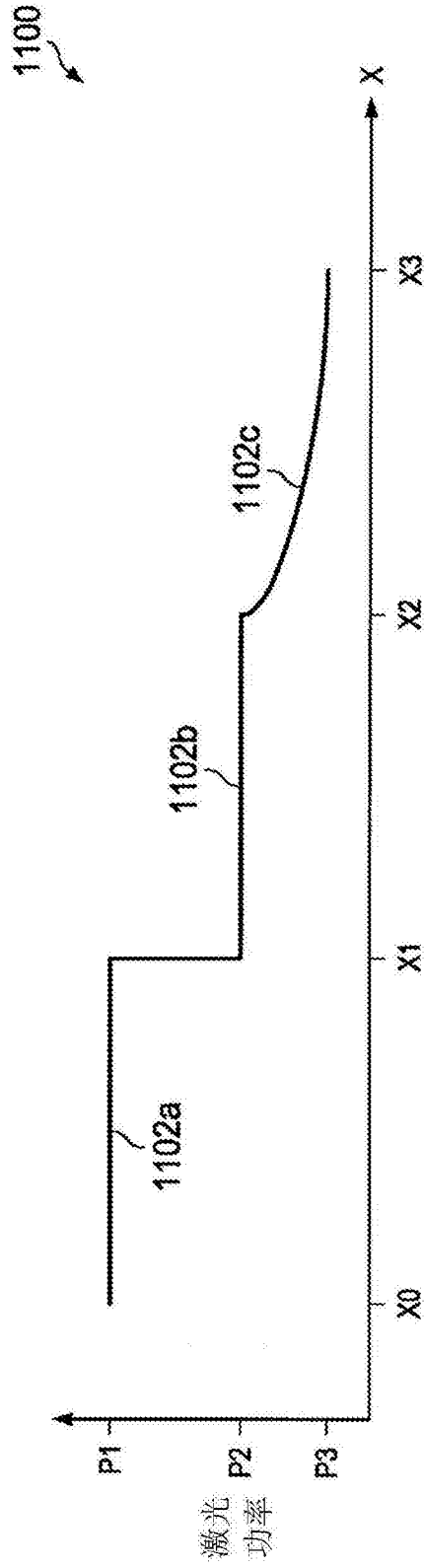


图11

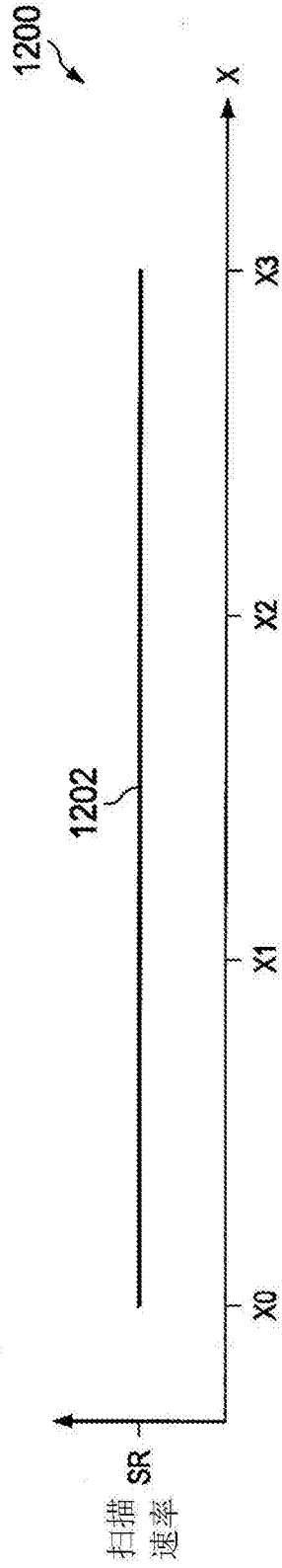


图12

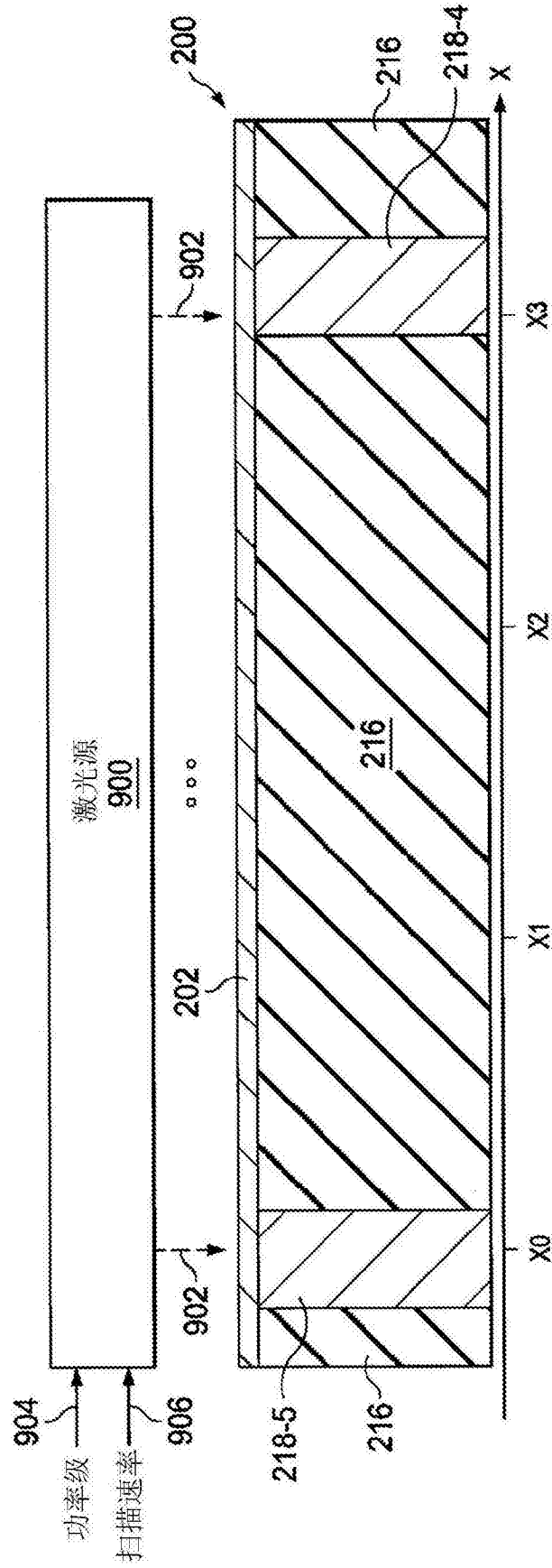


图13

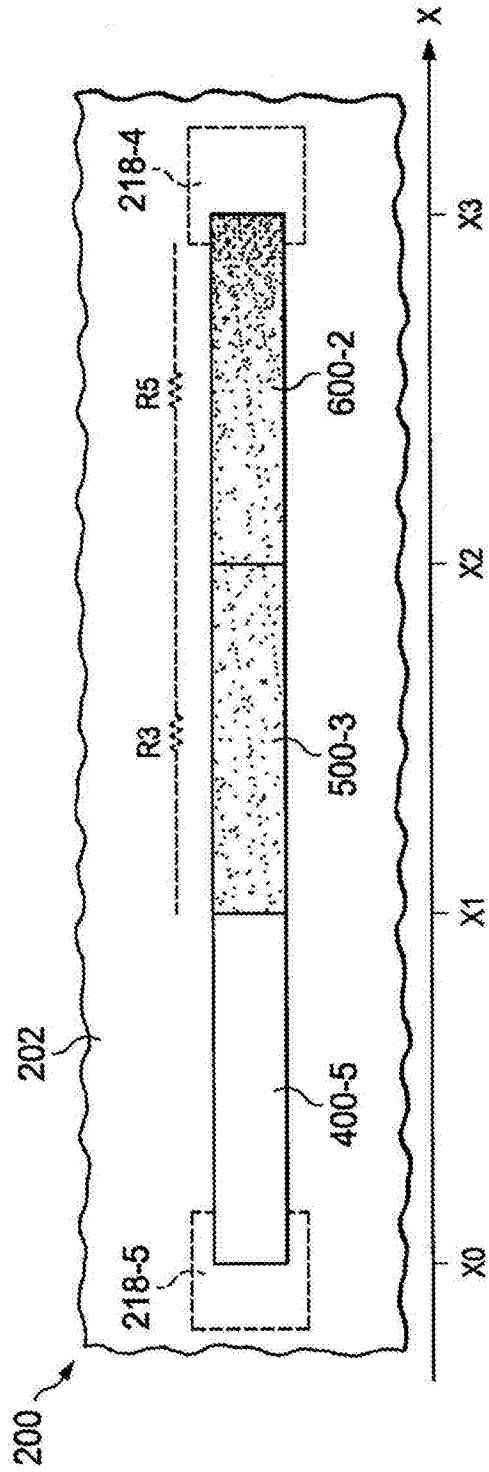


图14

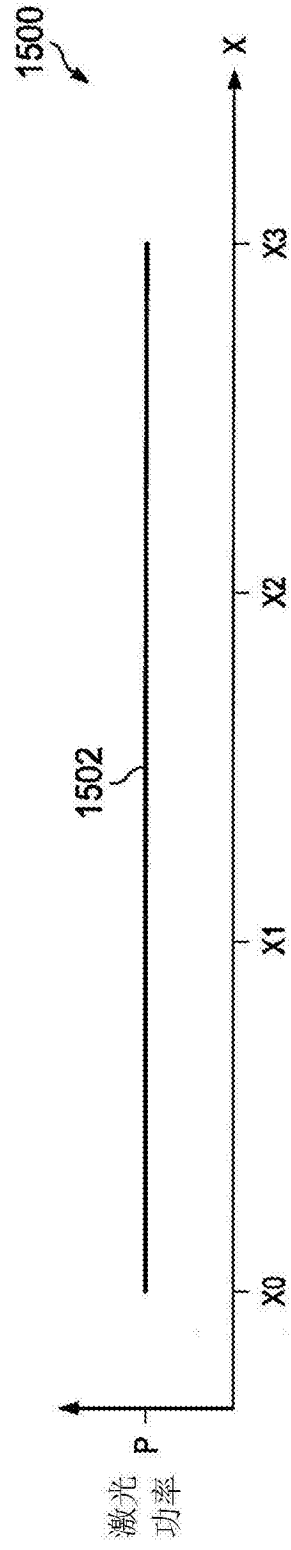


图15

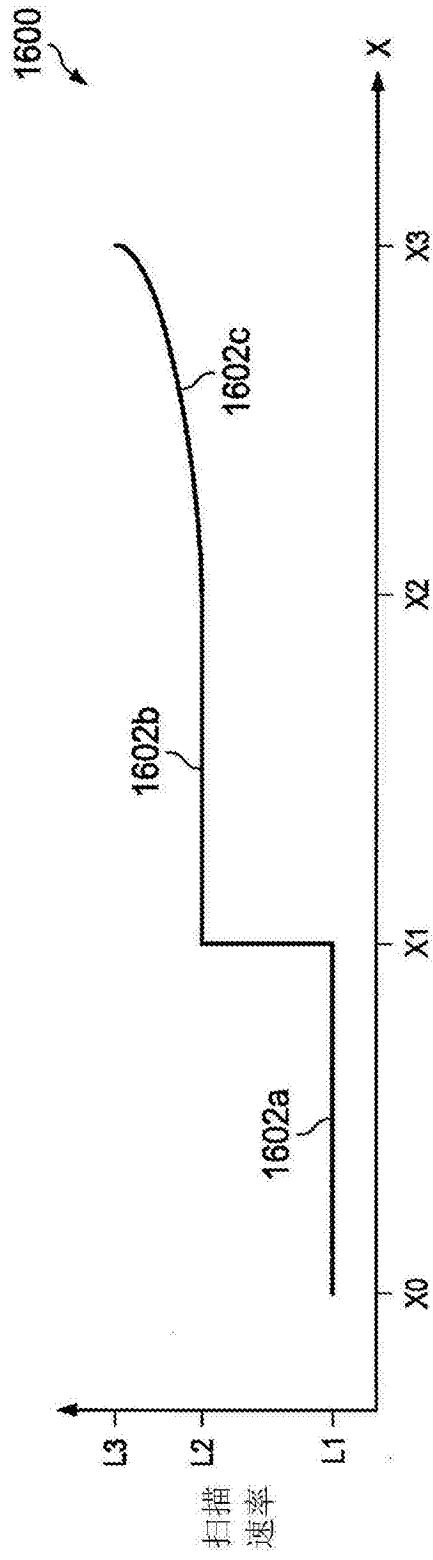


图16

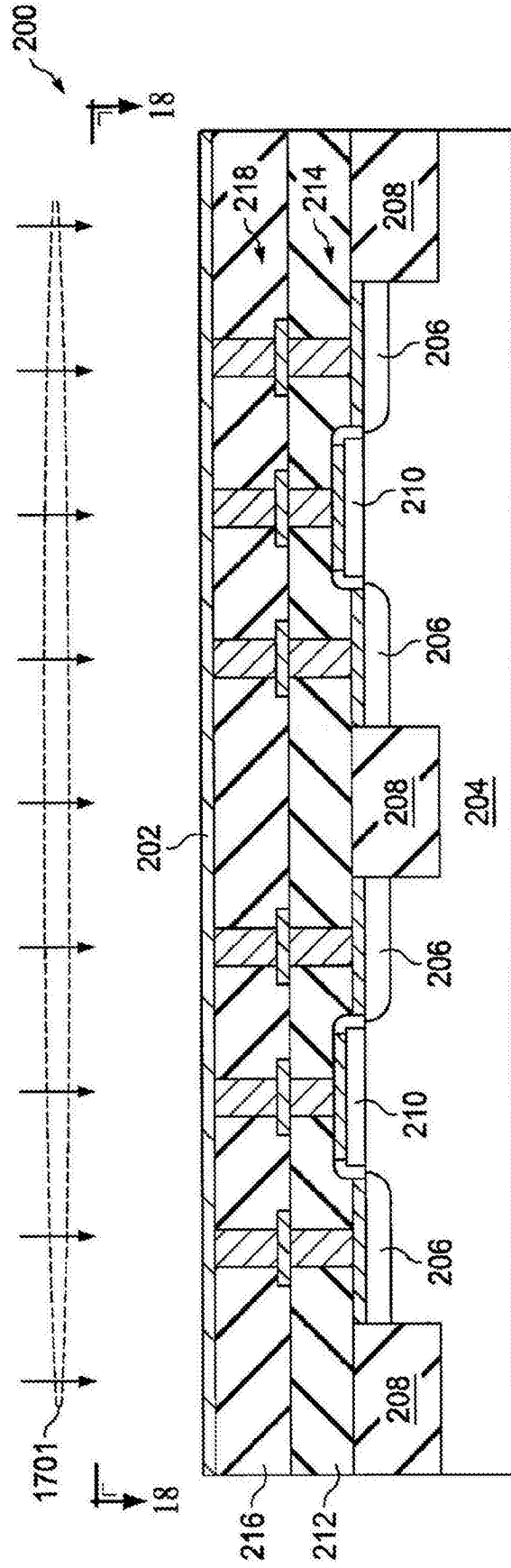


图17

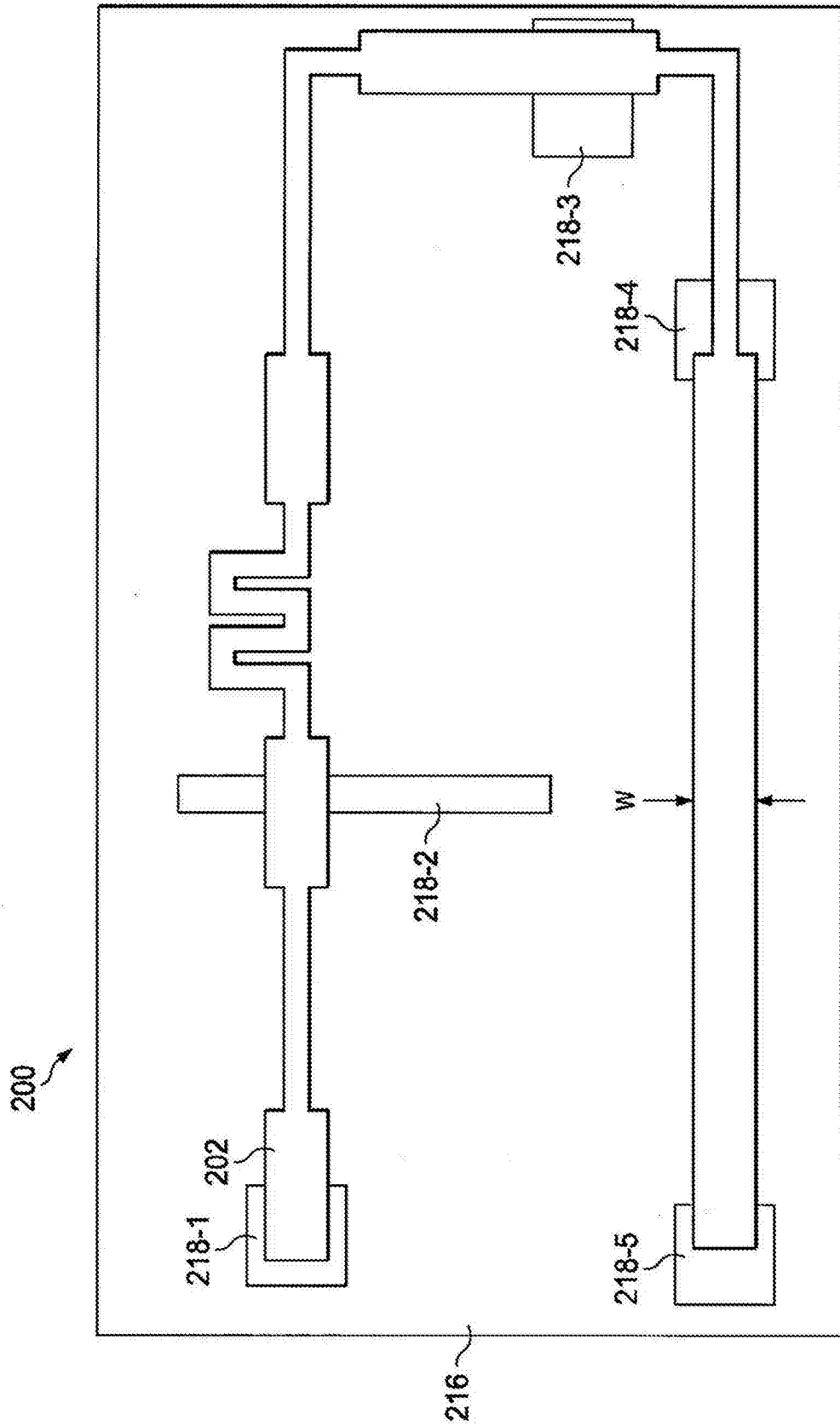


图18

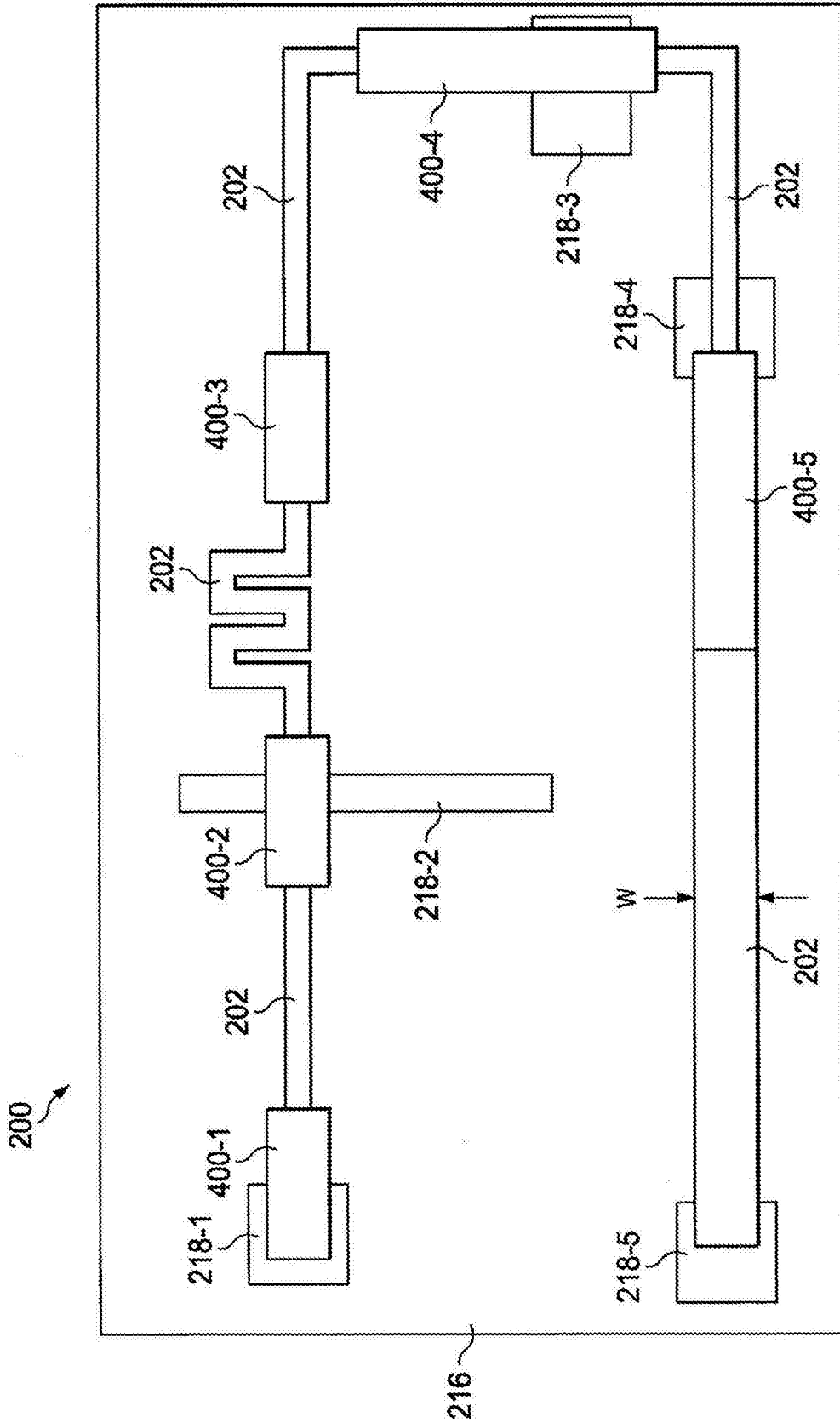


图19

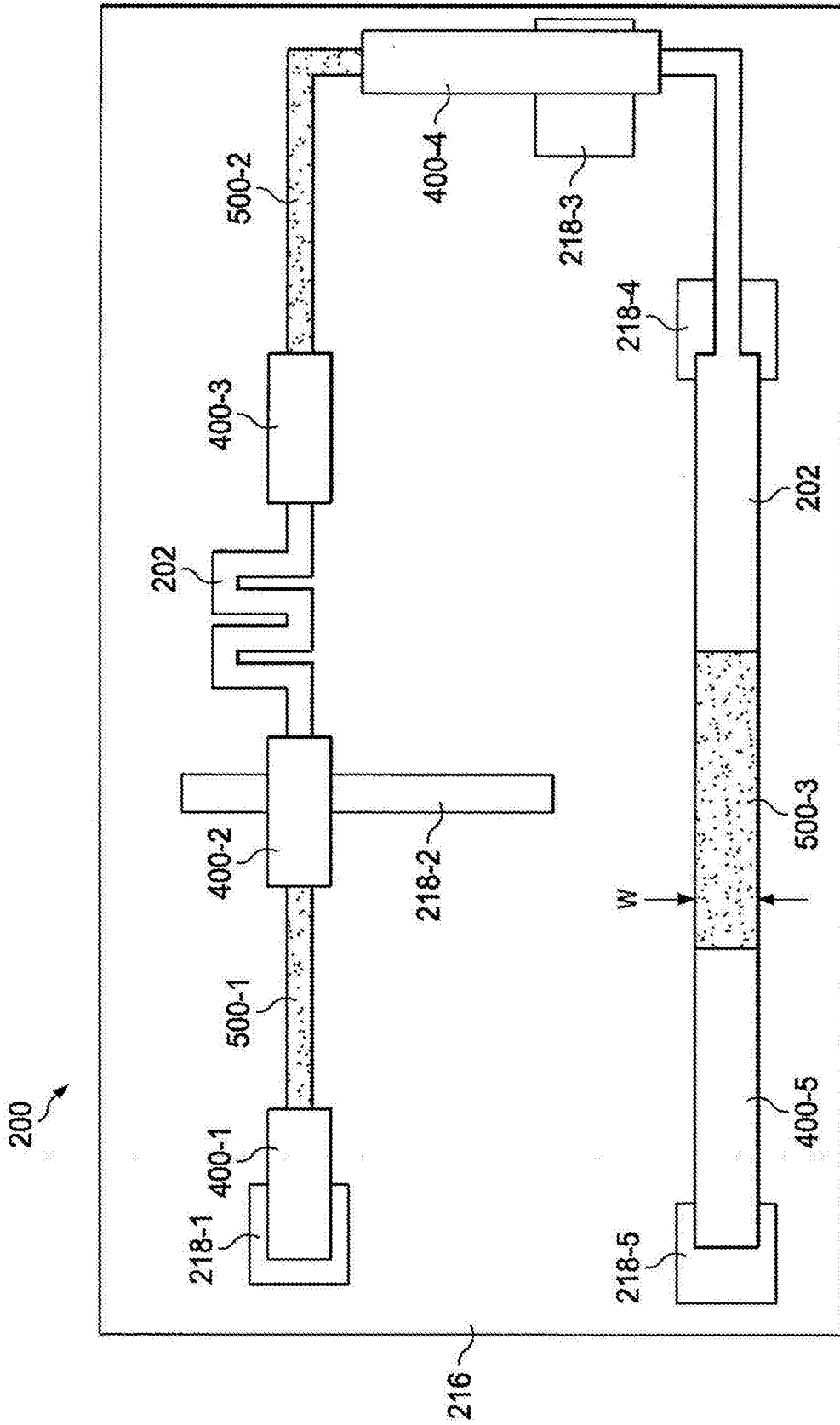


图20

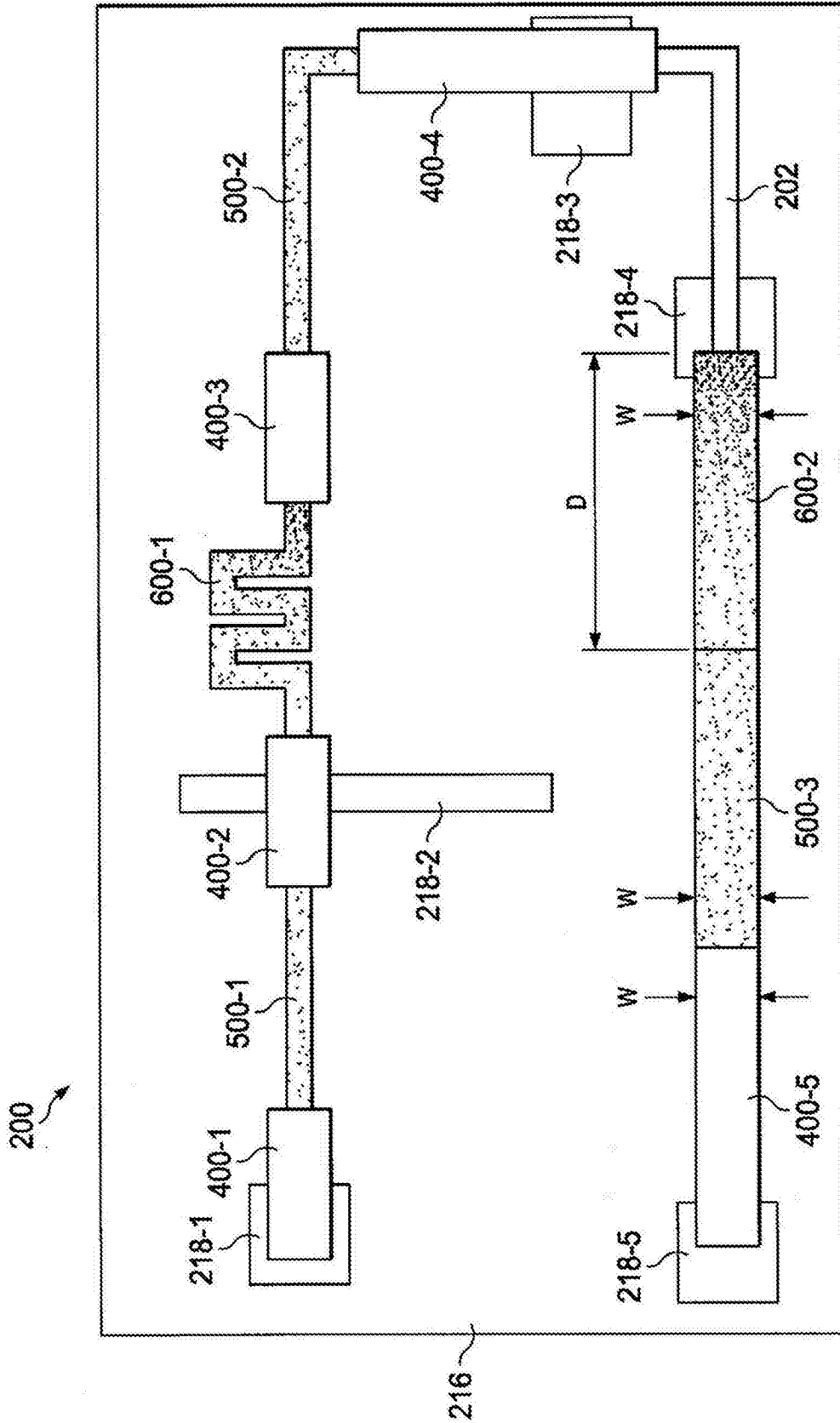


图21

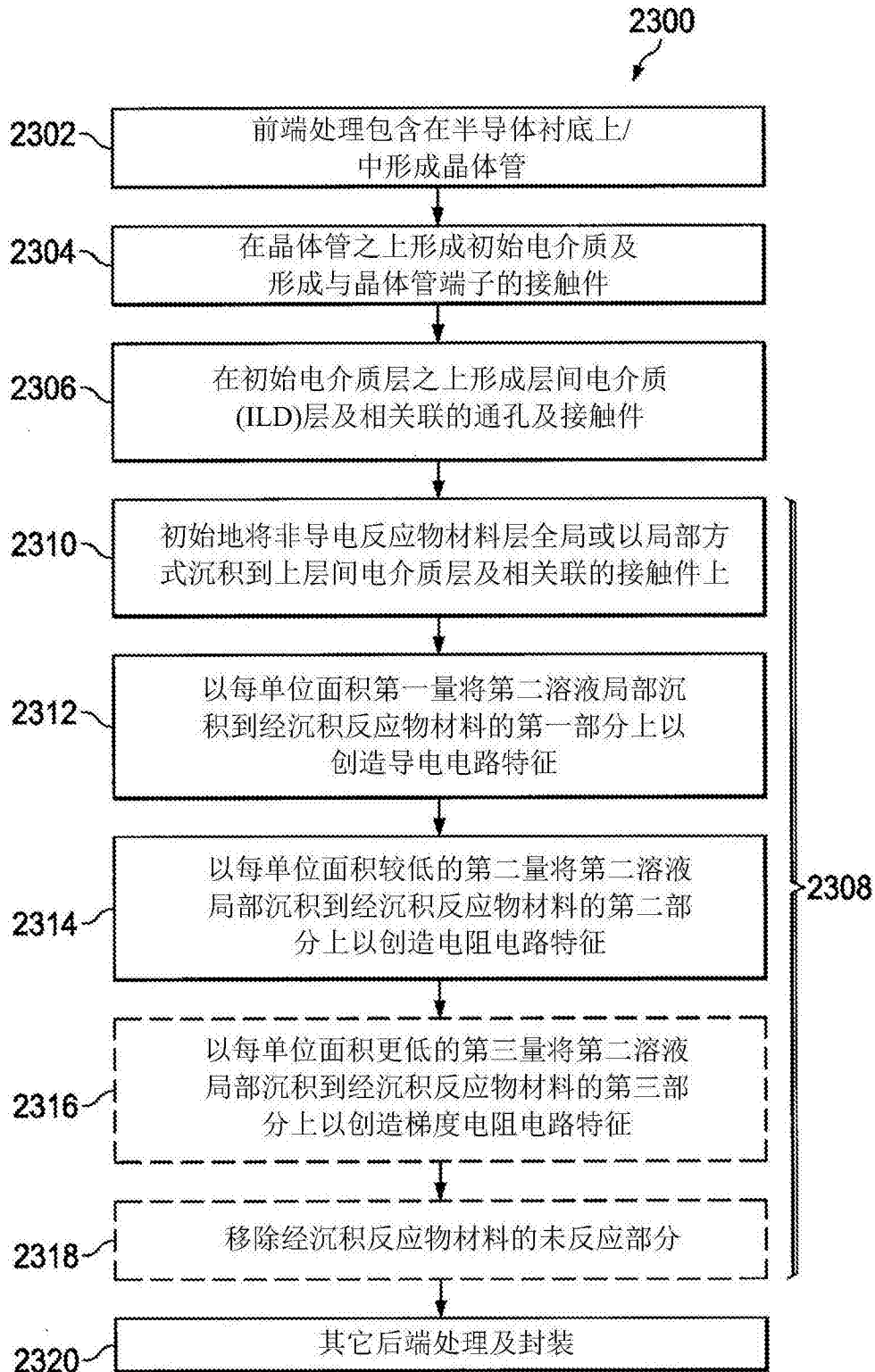


图23

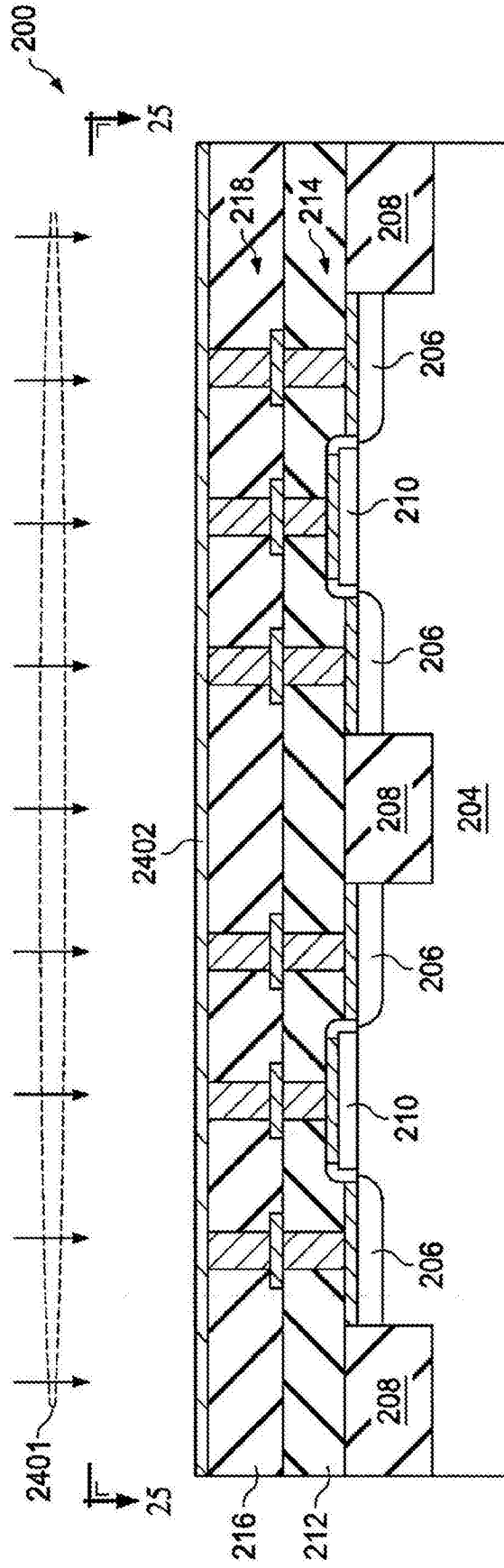


图24

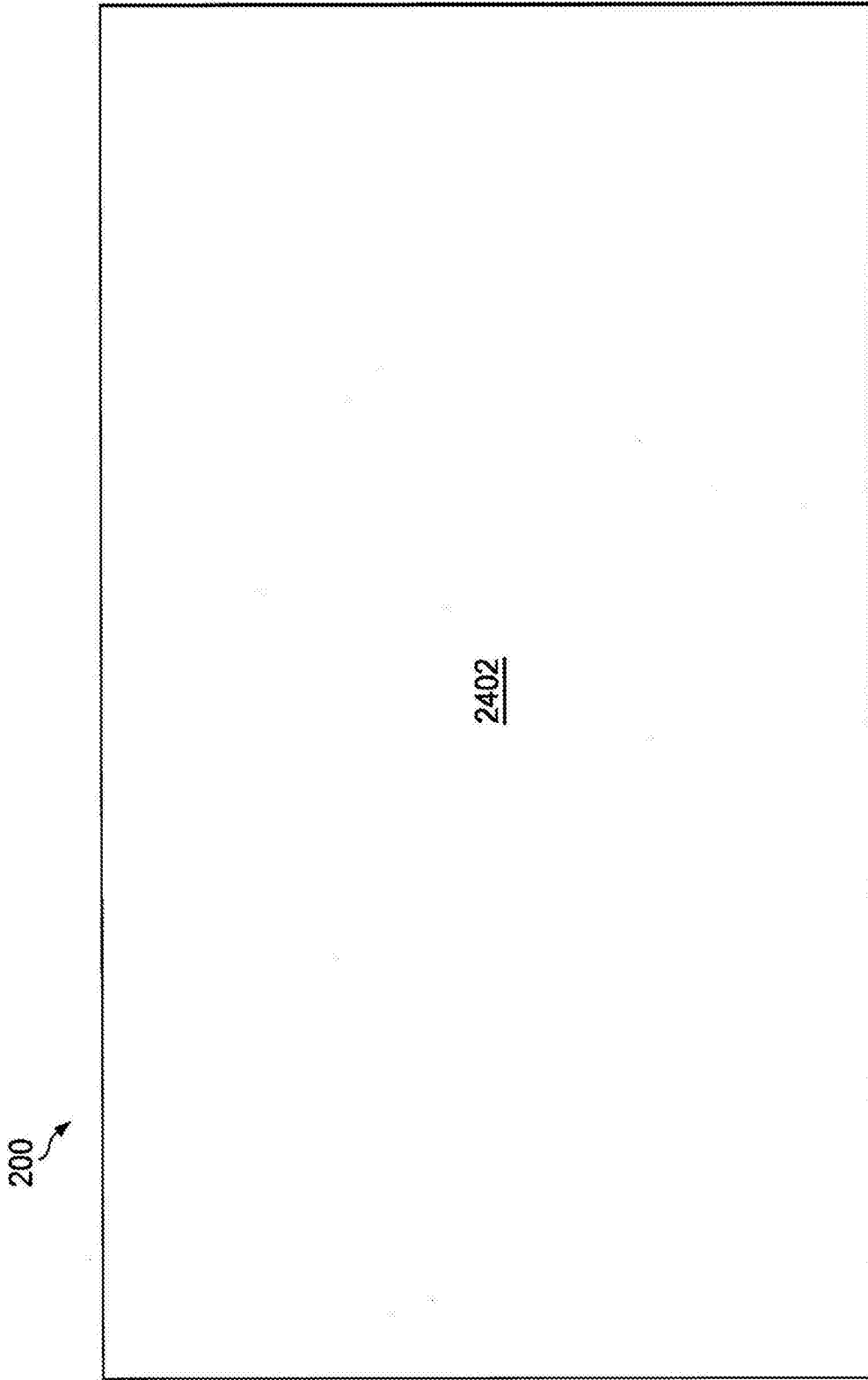


图25

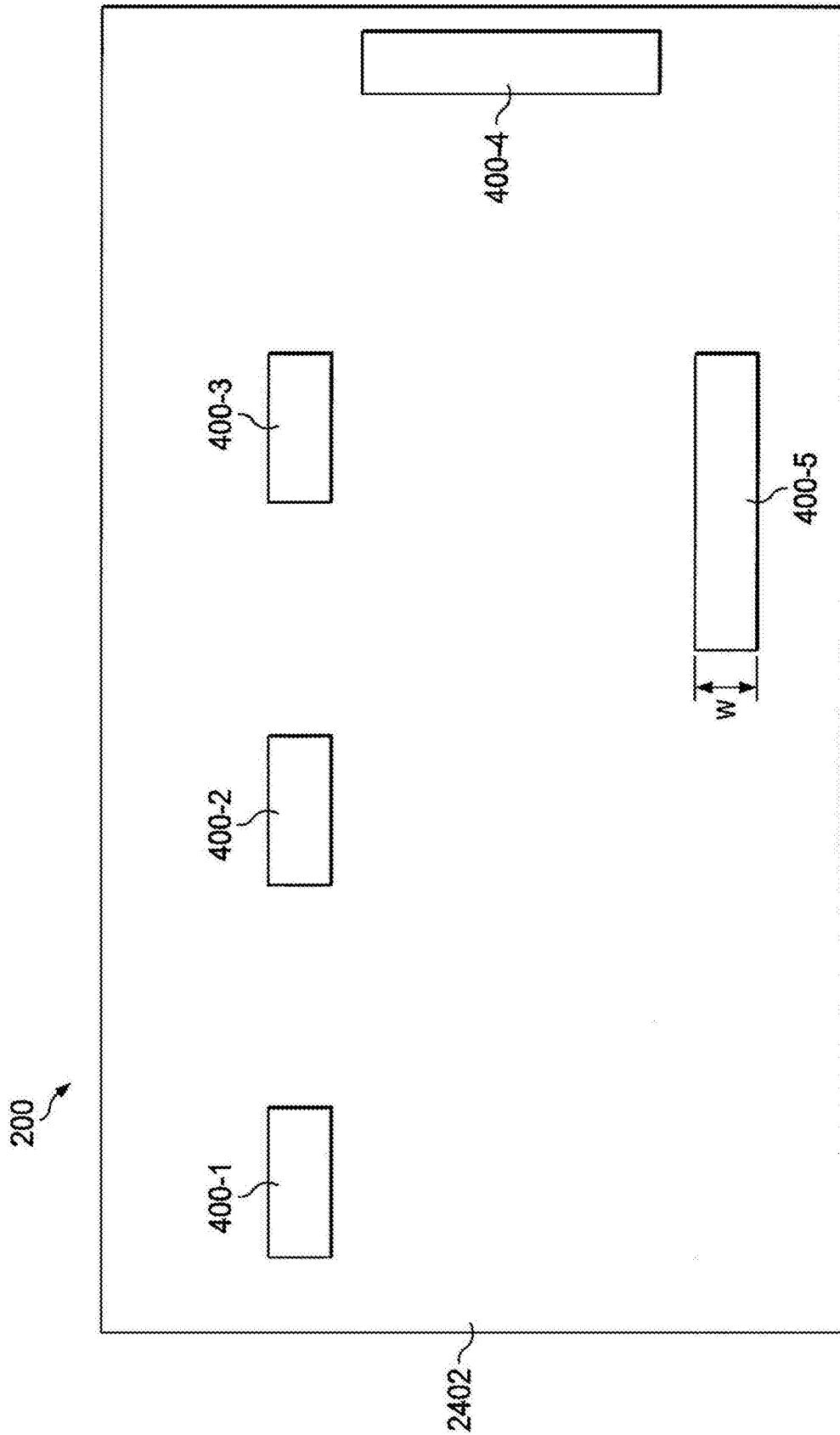


图26

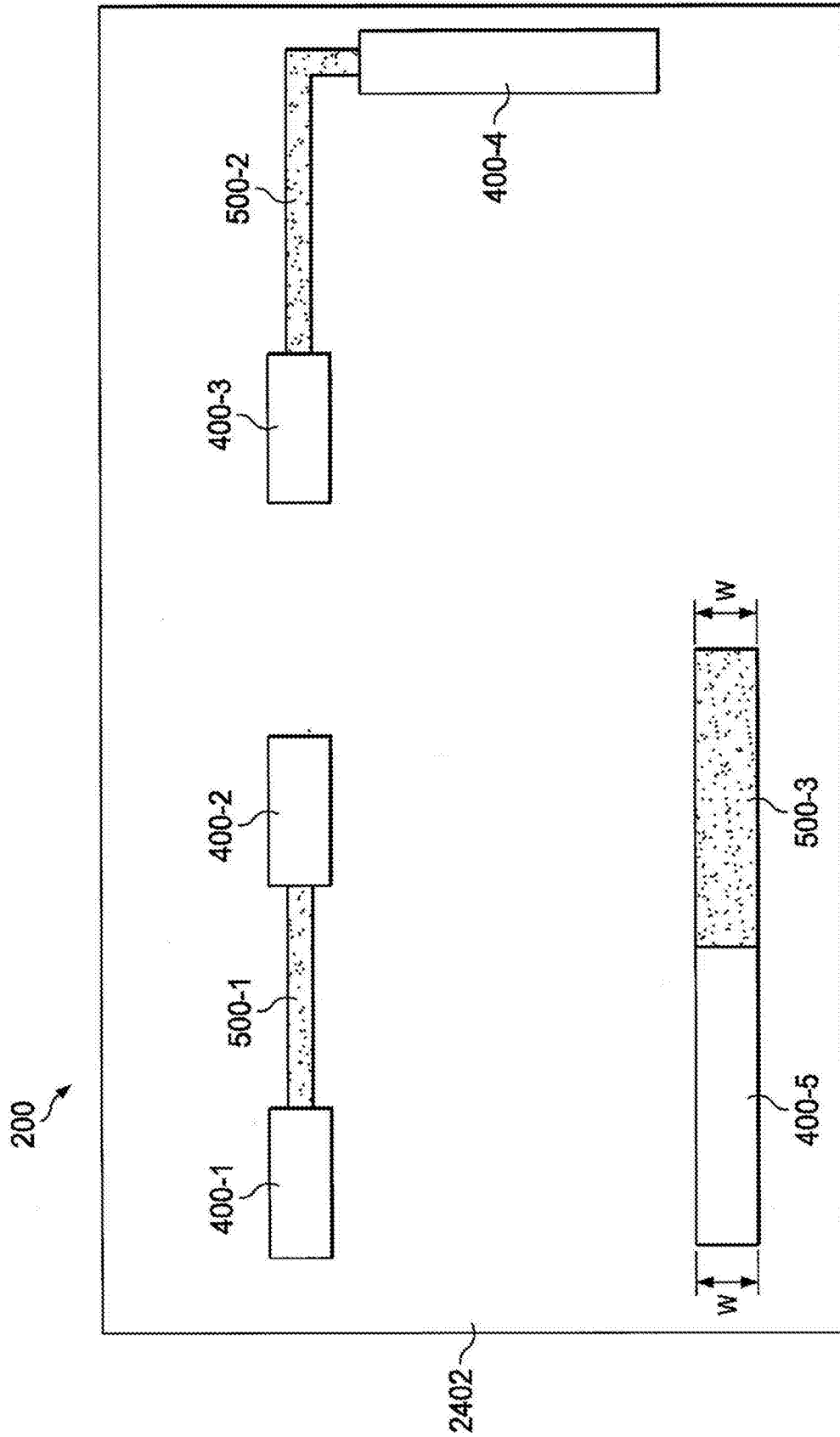


图27

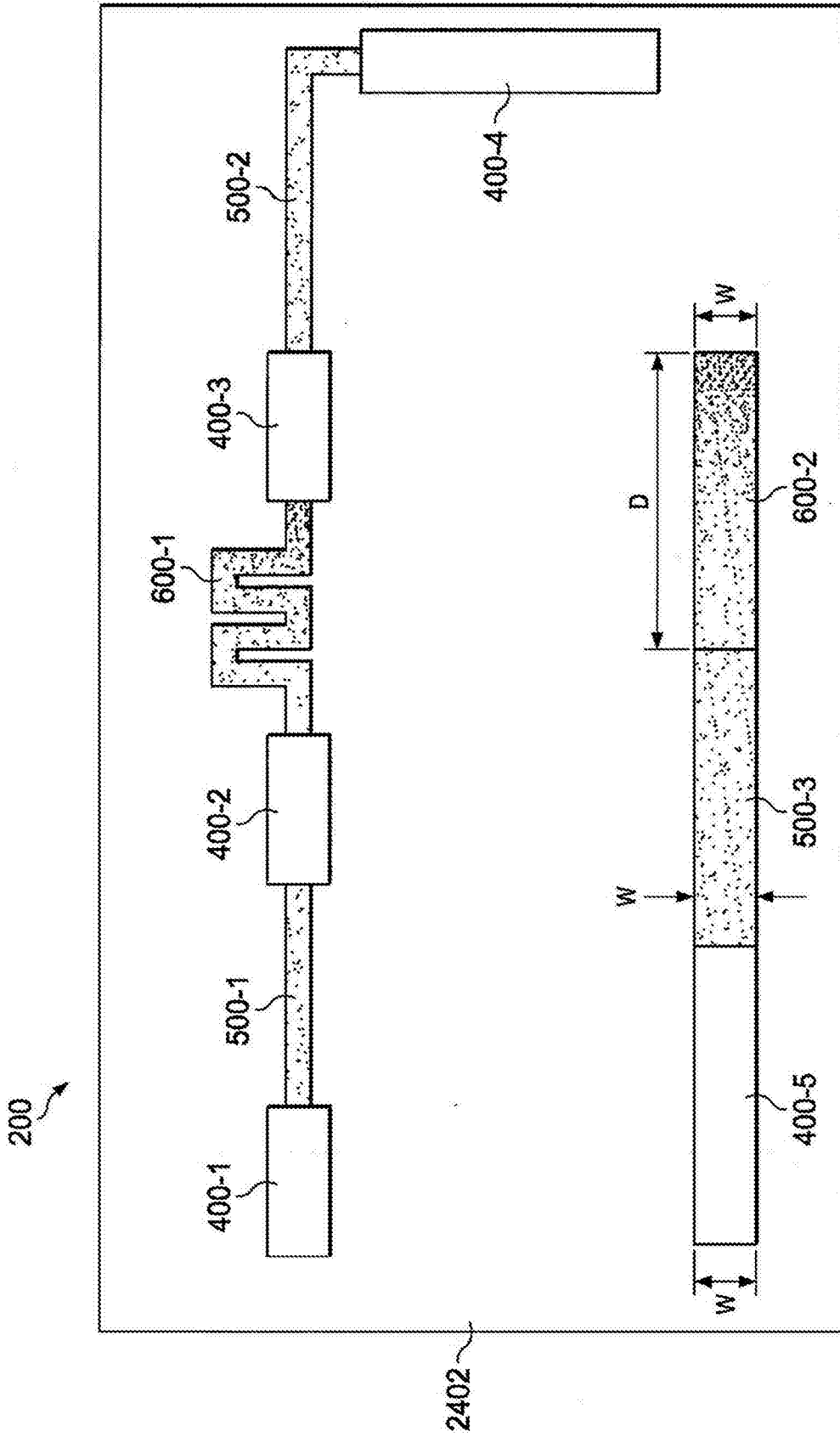


图28

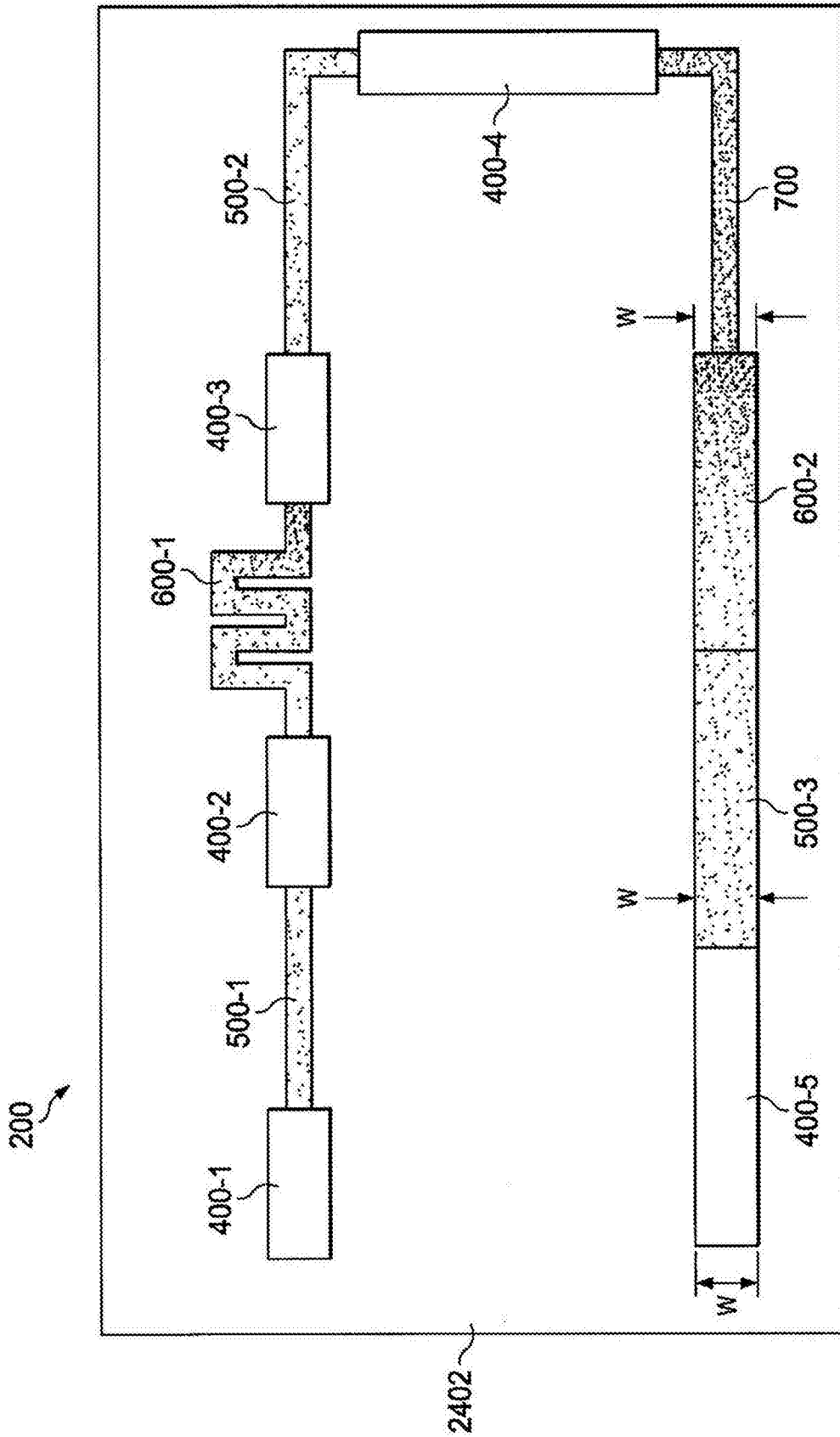


图29

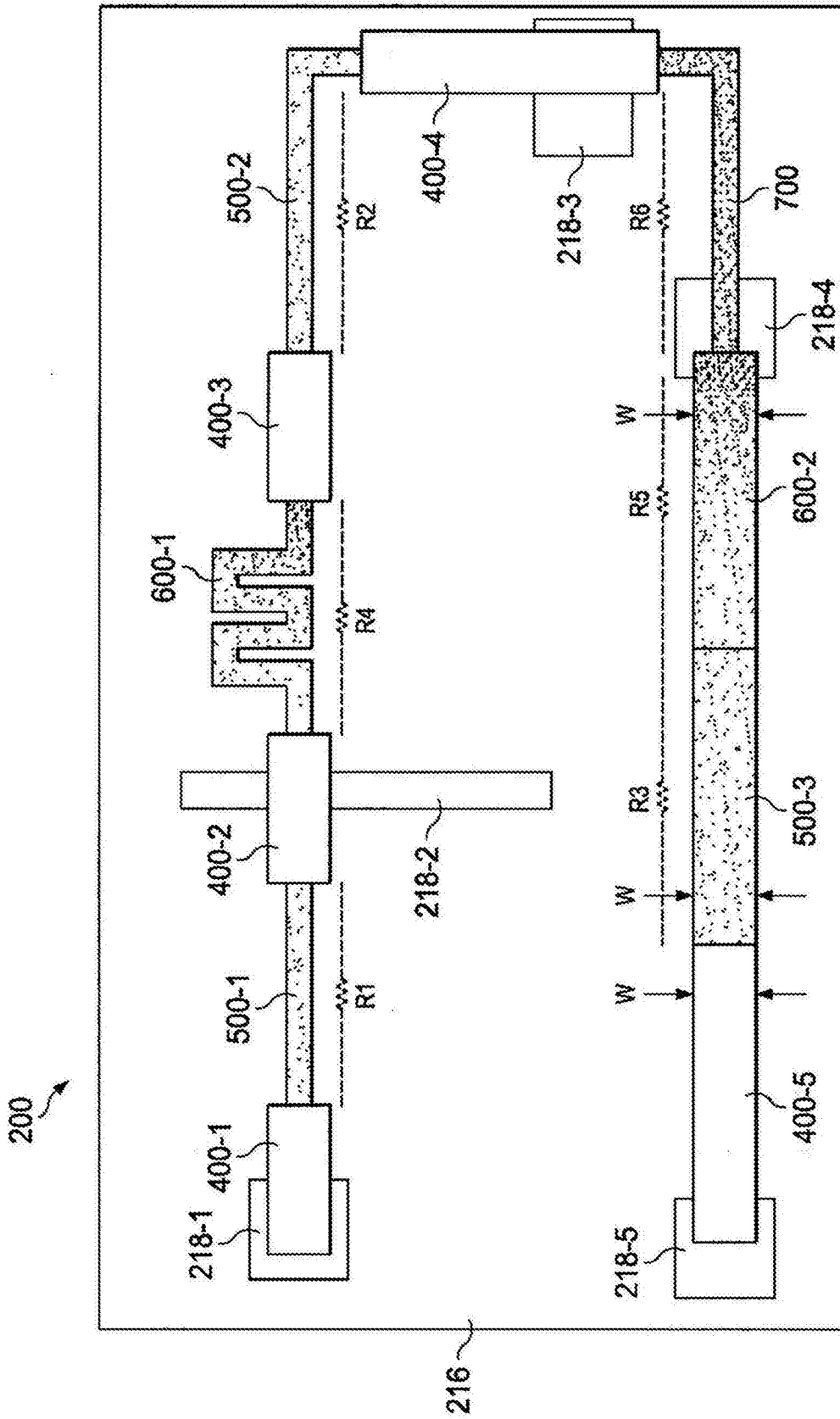


图30

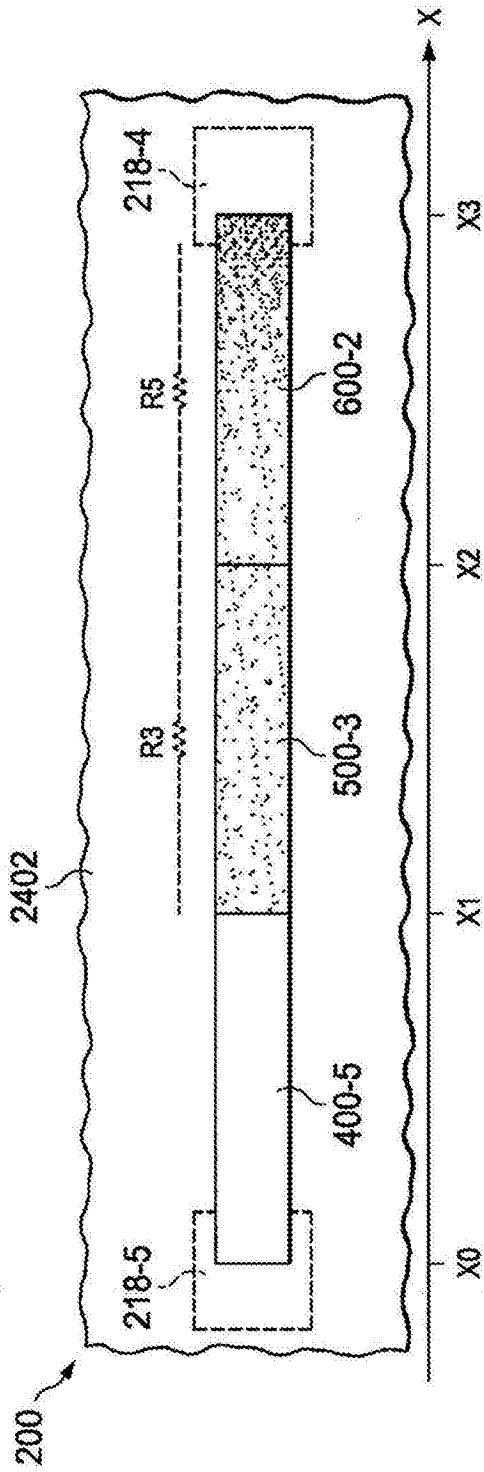
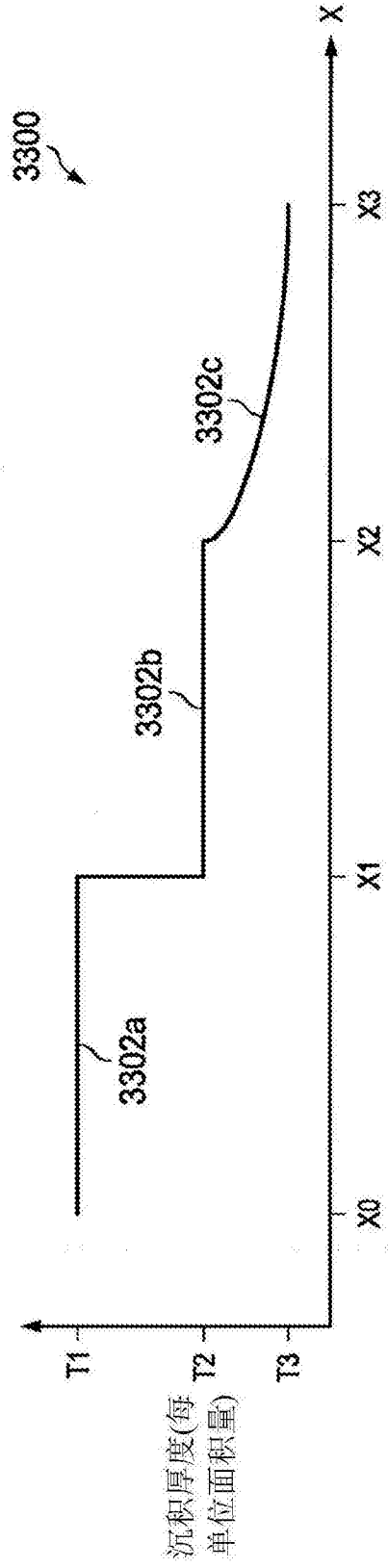


图32



沉积厚度(每
单位面积量)

图33