

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 31 日(31.12.2014)



(10) 国際公開番号
WO 2014/208442 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 29/41 (2006.01)
H01L 21/28 (2006.01) H01L 51/05 (2006.01)
- (21) 国際出願番号: PCT/JP2014/066267
- (22) 国際出願日: 2014 年 6 月 19 日(19.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-133720 2013 年 6 月 26 日(26.06.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 福島 康守(FUKUSHIMA, Yasumori).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

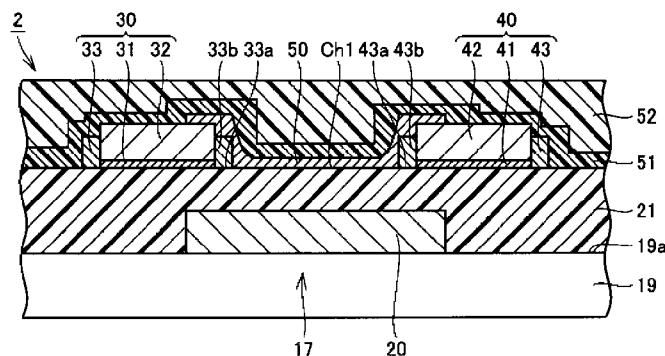
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM TRANSISTOR

(54) 発明の名称: 薄膜トランジスタ

図4



(57) Abstract: A thin film transistor (17) is provided with: a gate electrode (20); a gate insulating layer (21) which covers the gate electrode; a source electrode (30) and a drain electrode (40) which are provided on the gate insulating layer (21); and an organic semiconductor layer (50) which has a channel region (Ch1) between the source electrode and the drain electrode. The source electrode (30) and the drain electrode (40) comprise first conductive layers (31, 41) for increasing adhesion to the gate insulating layer (21), second conductive layers (32, 42) which have low electrical resistances, and third conductive layers (33, 43) which establish an ohmic contact with the organic semiconductor layer (50). The third conductive layers (33, 43) have first contact surfaces (33a, 43a) which are in contact with the gate insulating layer (21), and second contact surfaces (33b, 43b) which are in contact with lateral surfaces of the first conductive layers (31, 41) and lateral surfaces of the second conductive layers (32, 42), said lateral surfaces being on the channel region (Ch1) side.

(57) 要約:

[続葉有]



WO 2014/208442 A1



薄膜トランジスタ（１７）は、ゲート電極（２０）と、これを覆うゲート絶縁層（２１）と、ゲート絶縁層（２１）上に設けられたソース電極（３０）およびドレイン電極（４０）と、これらの間にチャンネル領域（Ｃｈ１）を有する有機半導体層（５０）とを備える。ソース電極（３０）およびドレイン電極（４０）は、ゲート絶縁層（２１）との密着性を高める第１導電層（３１，４１）と、電気抵抗の低い第２導電層（３２，４２）と、有機半導体層（５０）にオーミック接触する第３導電層（３３，４３）とを含む。第３導電層（３３，４３）は、ゲート絶縁層（２１）に接する第１接触面（３３ａ，４３ａ）と、チャンネル領域（Ｃｈ１）側に位置する第１導電層（３１，４１）の側面および第２導電層（３２，４２）の側面に接する第２接触面（３３ｂ，４３ｂ）とを有する。

明 細 書

発明の名称： 薄膜トランジスタ

技術分野

[0001] 本発明は、薄膜トランジスタに関し、特に半導体層として有機半導体層を備える薄膜トランジスタに関する。

背景技術

[0002] 従来、薄型のディスプレイや薄型のタブレット型ディスプレイ、電子ペーパーといった薄型の表示デバイスには、ディスプレイ表示を行うために、スイッチング素子を格子状に配置したアクティブマトリクス型のバックプレーンが広く使用されている。

[0003] また、薄膜トランジスタ基板では、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタが設けられている。そして、スイッチング素子に使用される薄膜トランジスタの半導体層（活性層）には、例えば、アモルファスシリコンやポリシリコン、酸化インジウムガリウム亜鉛などの酸化物半導体など、主に、無機半導体材料が使用されている。

[0004] しかし、無機半導体材料を用いた薄膜トランジスタを作製する場合、真空系の装置を使用し、更に、高温プロセス処理が必要であるため、製造コストが高くなり、また、耐熱性を有する基板が必要になる等の制約が生じる。また、無機半導体材料や無機絶縁体材料が使用されているため、例えば、基板を曲げた場合に、クラックが発生し易くなり、フレキシブルな表示デバイスには不向きであるという問題がある。

[0005] そこで、近年、有機半導体材料により形成された有機半導体層を備えた有機薄膜トランジスタ（有機薄膜トランジスタとも称する）が提案されている。この有機薄膜トランジスタは、低温（200℃未満）で形成することができるため、基板の選択性が向上するとともに、塗布系のプロセスを使用して有機半導体層を形成することができるため、製造コストを低下させることが

できる。また、デバイスを構成する有機材料（有機半導体や有機絶縁膜など）の可撓性により、フレキシブルな表示デバイスにも適している。

[0006] このような有機薄膜トランジスタにおいては、トランジスタ動作を安定させるために有機半導体層とソース電極およびドレイン電極との間の接続抵抗を低減させることが重要であり、そのために有機半導体層とソース電極およびドレイン電極との間で良好なオーミック接触を形成することが重要となる。

[0007] 良好なオーミック接触を形成するために、P型有機半導体層を用いる場合には、有機半導体材料のHOMO (Highest Occupied Molecular Orbital: 最高被占軌道) レベル ($\sim 5 \text{ eV}$) に近い仕事関数を持つ金属材料を用いてソース電極およびドレイン電極を形成することが望ましいとされている。このような金属材料としては、白金、ニッケル、金、パラジウムなどが望ましいとされている。

[0008] また、良好なオーミック接触を形成するために、N型有機半導体膜を用いる場合には、有機半導体材料のLUMO (Lowest Unoccupied Molecular Orbital: 最低空軌道) レベル ($\sim 3 \text{ eV}$) に近い仕事関数を持つ金属材料を用いてソース電極およびドレイン電極を形成することが望ましいとされている。このような金属材料としては、マグネシウム、ネオジム、カルシウム、ストロンチウムなどが望ましいとされている。

[0009] しかしながら、上記の白金、ニッケル、金、パラジウムなどのオーミック接触を形成する金属は、基板や絶縁層等の下地部材との密着性が不足するという課題があり、ソース電極およびドレイン電極と下地部材との密着性を向上させることが要求される。

[0010] ソース電極およびドレイン電極と下地部材との密着性を向上させるために下地部材との密着性の良好な密着層を備えた薄膜トランジスタが、たとえば、特開2006-147613号公報（特許文献1）、特開2006-59896号公報（特許文献2）に開示されている。

[0011] 特許文献1に開示された有機薄膜トランジスタは、基板上に形成されたゲ

ート電極と、ゲート電極を覆うように基板上に形成されたゲート絶縁層と、ゲート絶縁層上に互いに対峙するように形成されたソース電極およびドレイン電極と、ソース電極およびドレイン電極に接続して少なくともこれらの電極間のゲート絶縁層上に形成された有機半導体層とを備える。

[0012] 有機半導体層は、ソース電極とドレイン電極との間にチャネル領域が形成されており、ソース電極およびドレイン電極は、ゲート絶縁層に対して密着性が良好であり当該ゲート絶縁層上に形成された密着層と、上記チャネル領域に接触するとともにチャネル領域側に位置する密着層の側面を覆うように当該ゲート絶縁層上に形成されたオーミック接触層を含む。

[0013] また、特許文献2に開示された有機薄膜トランジスタは、特許文献1に開示された薄膜トランジスタと比較してソース電極およびドレイン電極の構造が異なっており、ソース電極およびドレイン電極のうちゲート絶縁層と接触する部分の全域が密着層によって構成されている。具体的には、ソース電極およびドレイン電極は、ゲート絶縁層に対して密着性が良好でありゲート絶縁層上に形成された密着層と、密着層上に形成された導電層およびオーミック接触層とを含む。オーミック接触層は、チャネル側に位置する導電層の側面に接触するとともに密着層に接触する。

先行技術文献

特許文献

[0014] 特許文献1：特開2006-147613号公報

特許文献2：特開2006-59896号公報

発明の概要

発明が解決しようとする課題

[0015] 近年、薄膜トランジスタにおいては高速に駆動することが要求されており、このような駆動を実現するためには、有機半導体層とソース電極およびドレイン電極との間の接続抵抗を低減させることに加えて、ソース電極およびドレイン電極自体の電気抵抗およびこれらに接続される配線の電気抵抗を低

減させることが必要となる。

[0016] ここで、特許文献 1 に開示の有機薄膜トランジスタにおいては、ソース電極およびドレイン電極の大部分を構成する密着層が、チタン、クロム、ニッケル等の電気抵抗が相当程度に高い金属によって形成されている。このような金属は、電気抵抗の低抵抗化に十分に適した材料ではないと考えられる。このため、特許文献 1 に開示の有機薄膜トランジスタにおいては、高速駆動を実現することが困難になることが懸念される。

[0017] また、特許文献 2 に開示の有機薄膜トランジスタにおいては、密着層の膜厚が 1 ～ 3 nm で形成されているが、このような膜厚の制御は非常に困難である。このような膜厚を有する密着層を上手く形成することができた場合であっても下地に対する密着性や機械的強度を十分に確保できないことが懸念される。

[0018] さらに、密着層の膜厚がばらつき、その膜厚が厚くなる場合には、当該密着層上に形成されたオーミック接触層が十分に機能せず、ソース電極およびドレイン電極と有機半導体層の接触抵抗が増加することが懸念される。

[0019] 本発明は、上記のような問題に鑑みてなされたものであり、本発明の目的は、ソース電極およびドレイン電極の下地に対する密着性を向上させるとともに、高速駆動を実現可能な有機薄膜トランジスタを提供することにある。

課題を解決するための手段

[0020] 本発明に基づく薄膜トランジスタは、第 1 の局面において、主表面を有する基板と、上記主表面上に設けられたゲート電極と、上記ゲート電極を覆うように上記主表面上に設けられたゲート絶縁層と、上記ゲート絶縁層上において互いに対峙するとともに各々が上記ゲート絶縁層を介して上記ゲート電極に少なくともその一部が重なるように設けられたソース電極およびドレイン電極と、上記ソース電極と上記ドレイン電極との間に位置する部分の上記ゲート絶縁層を覆うように、かつ、上記ソース電極上から上記ドレイン電極上に跨るように設けられた有機半導体層とを備える。上記有機半導体層は、上記ソース電極と上記ドレイン電極との間において上記ゲート電極に重なる

ように形成されたチャネル領域を含む。上記ソース電極および上記ドレイン電極は、上記ゲート絶縁層との密着性を高める第1導電層と、上記第1導電層上に積層されるとともに上記第1導電層よりも低い電気抵抗を有する第2導電層と、上記第1導電層および上記第2導電層の上記チャネル領域側に設けられるとともに上記有機半導体層にオーミック接触する第3導電層とを含む。上記第3導電層は、上記ゲート絶縁層に接する第1接触面と、上記チャネル領域側に位置する上記第1導電層の側面および上記第2導電層の側面に接触する第2接触面とを有する。

[0021] 本発明の第1の局面に従う薄膜トランジスタにあっては、上記第3導電層は、上記ゲート絶縁層が位置する側とは反対側に向けて上記第1導電層の側面および上記第2導電層の側面に沿って延在する部分と、上記第1導電層が位置する側とは反対側に向けて上記ゲート絶縁層に沿って延在する部分とによって構成されていることが好ましい。

[0022] 本発明に基づく薄膜トランジスタは、第2の局面において、主表面を有する基板と、上記主表面上に互いに対峙するように設けられたソース電極およびドレイン電極と、上記ソース電極と上記ドレイン電極との間に位置する部分の上記基板を覆うように、かつ、上記ソース電極上から上記ドレイン電極上に跨るように設けられた有機半導体層と、上記ソース電極、上記ドレイン電極および上記有機半導体層を覆うように上記主表面上に設けられたゲート絶縁層と、上記ゲート絶縁層上に上記ゲート絶縁層を介して上記ソース電極および上記ドレイン電極の少なくとも一部ならびに上記ソース電極と上記ドレイン電極との間に位置する上記有機半導体層に重なるように設けられたゲート電極とを備える。上記有機半導体層は、上記ソース電極と上記ドレイン電極との間において上記ゲート電極に重なるように設けられたチャネル領域を含む。上記ソース電極および上記ドレイン電極は、上記基板との密着性を高める第1導電層と、上記第1導電層上に積層されるとともに上記第1導電層よりも低い電気抵抗を有する第2導電層と、上記第1導電層および上記第2導電層の上記チャネル領域側に設けられるとともに上記有機半導体層にオ

ーミック接触する第3導電層とを含む。上記第3導電層は、上記基板の上記主表面に接する第1接触面と、上記チャネル領域側に位置する上記第1導電層の側面および上記第2導電層の側面に接触する第2接触面とを有する。

[0023] 本発明の第2の局面に従う薄膜トランジスタにあっては、上記第3導電層は、上記基板が位置する側とは反対側に向けて上記第1導電層の側面および上記第2導電層の側面に沿って延在する部分と、上記第1導電層が位置する側とは反対側に向けて上記基板に沿って延在する部分とによって構成されていることが好ましい。

[0024] 本発明の第1の局面および第2の局面に従う薄膜トランジスタにあっては、上記第3導電層は、上記第1接触面と上記第2接触面との境界部から遠ざかる方向に向けて膨出することが好ましい。

発明の効果

[0025] 本発明によれば、ソース電極およびドレイン電極の下地に対する密着性を向上させるとともに、高速駆動を実現可能な有機薄膜トランジスタを提供することができる。

図面の簡単な説明

[0026] [図1]本発明の実施の形態1に係る薄膜トランジスタを具備する薄膜トランジスタ基板を備えた液晶表示装置を示す図である。

[図2]図1に示す液晶表示装置および薄膜トランジスタ基板の要部構成を説明する図である。

[図3]図1に示す薄膜トランジスタ基板の概略平面図である。

[図4]図3に示すI-V-I-V線に沿った概略断面図である。

[図5]図1に示す薄膜トランジスタ基板の製造工程におけるゲート電極形成工程、ゲート絶縁層形成工程、および、ソース電極およびドレイン電極形成工程の第1工程を経た後の絶縁性基板の状態を示す図である。

[図6]図1に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2工程を示す図である。

[図7]図1に示す薄膜トランジスタ基板の製造工程におけるソース電極および

ドレイン電極形成工程の第3工程を示す図である。

[図8]図1に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第4工程を示す図である。

[図9]本発明の実施の形態2に係る薄膜トランジスタを具備する薄膜トランジスタ基板の概略断面図である。

[図10]図9に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2A工程を示す図である。

[図11]図9に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第3A工程を示す図である。

[図12]本発明の実施の形態3に係る薄膜トランジスタを具備する薄膜トランジスタ基板の概略断面図である。

[図13]図12に示す薄膜トランジスタ基板を湾曲させた場合のソース電極、有機薄膜半導体層およびゲート絶縁層の状態を示す図である。

[図14]図12に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2B工程を示す図である。

[図15]図12に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第3B工程を示す図である。

[図16]図12に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第4B工程を示す図である。

[図17]図12に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第5B工程を示す図である。

[図18]本発明の実施の形態4に係る薄膜トランジスタを具備する薄膜トランジスタ基板の概略断面図である。

[図19]図18に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第1C工程を示す図である。

[図20]図18に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2C工程を示す図である。

[図21]図18に示す薄膜トランジスタ基板の製造工程におけるソース電極お

よびドレイン電極形成工程の第3C工程を示す図である。

[図22]図18に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第4C工程を示す図である。

[図23]図18に示す薄膜トランジスタ基板の製造工程における有機半導体層形成工程、ゲート絶縁層形成工程、ゲート電極形成工程および平坦化膜形成工程を経た後の絶縁性基板の状態を示す図である。

[図24]本発明の実施の形態5に係る薄膜トランジスタ基板を具備する薄膜トランジスタ基板の概略断面図である。

[図25]図24に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2D工程を示す図である。

[図26]図24に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第3D工程を示す図である。

[図27]本発明の実施の形態6に係る薄膜トランジスタを具備する薄膜トランジスタ基板を示す概略断面図である。

[図28]図27に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2E工程を示す図である。

[図29]図27に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第3E工程を示す図である。

[図30]図27に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第4E工程を示す図である。

[図31]図27に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第5E工程を示す図である。

発明を実施するための形態

[0027] 以下、本発明の実施の形態について、図を参照して詳細に説明する。なお、以下に示す実施の形態においては、同一のまたは共通する部分について図中同一の符号を付し、その説明は繰り返さない。

[0028] (実施の形態1)

図1は、本実施の形態に係る薄膜トランジスタを具備する薄膜トランジス

タ基板を備えた液晶表示装置を示す図である。図2は、図1に示す液晶表示装置および薄膜トランジスタ基板の要部構成を説明する図である。図3は、図1に示す薄膜トランジスタ基板の概略平面図である。図4は、図3に示すI-V-IV線に沿った概略断面図である。図1から図4を参照して、本実施の形態に係る液晶表示装置1および薄膜トランジスタ基板2について説明する。

[0029] 図1に示すように、本実施の形態に係る液晶表示装置1は、液晶表示パネル10と、当該液晶表示パネル10の一方の主表面に設けられた偏光板7と、当該液晶表示パネル10の他方の主表面に設けられた偏光板6と、液晶表示パネル10に向けて光を照射するバックライトユニット8とを備える。

[0030] 液晶表示パネル10は、バックライトユニット8側に配置された薄膜トランジスタ基板2と、当該薄膜トランジスタ基板2上に配置された対向基板3と、当該薄膜トランジスタ基板2と当該対向基板3との間に設けられた液晶層5と、薄膜トランジスタ基板2および対向基板3を互いに接着するとともに、薄膜トランジスタ基板2と対向基板3との間に液晶層5を封入するために環状に設けられたシール材4とを備える。

[0031] 対向基板3は、ガラス基板等の透明基板と、液晶層5側に配置される主表面上に形成されたカラーフィルタ（不図示）と、カラーフィルタ上に形成された対向電極（不図示）とを含む。対向電極上には液晶層5を構成する液晶を配向させるための配向膜が設けられている。

[0032] 図2に示すように、液晶表示装置1は、画像情報等を表示する液晶表示パネル10の駆動を制御する制御部13と、制御部13からの信号に基づいて動作するソースドライバ11およびゲートドライバ12とをさらに備える。

[0033] ソースドライバ11およびゲートドライバ12は、液晶表示パネル10側に設けられた複数の画素を画素単位に駆動する駆動回路である。液晶表示パネル10の有効表示領域Aの外側において、ソースドライバ11は、薄膜トランジスタ基板2に設けられた複数のソース端子53a（図3参照）を介して複数の信号配線15に接続されており、ゲートドライバ12は、薄膜トラン

ンジスタ基板 2 に設けられた複数のゲート端子 5 3 b (図 3 参照) を介して複数の走査配線 1 4 に接続されている。

[0034] 図 2 から図 4 に示すように、薄膜トランジスタ基板 2 は、絶縁性基板 1 9 (図 4 参照) 上に互いに平行に延在するように設けられた複数の走査配線 1 4 と、当該走査配線 1 4 に交差する方向に互いに平行に延在するように設けられた複数の信号配線 1 5 と、当該走査配線 1 4 と当該信号配線 1 5 とが交差する部分の近傍にそれぞれ設けられた薄膜トランジスタ 1 7 と、当該薄膜トランジスタ 1 7 を覆うように設けられたパッシベーション膜 5 1 (図 4 参照) と、当該パッシベーション膜 5 1 を覆うように設けられた平坦化膜 5 2 (図 4 参照) と、平坦化膜 5 2 上にマトリクス状に設けられ、薄膜トランジスタ 1 7 にそれぞれ接続された複数の画素電極 5 3 (図 3 参照) とを含む。画素電極 5 3 上には、液晶層 5 を構成する液晶を配向させるための配向膜 (不図示) が設けられている。

[0035] また、薄膜トランジスタ 1 7 は、ゲート電極 2 0、ソース電極 3 0 およびドレイン電極 4 0 とを含む。ゲート電極 2 0 は、走査配線 1 4 に接続されており、ソース電極 3 0 は、信号配線 1 5 に接続されており、画素電極 5 3 は、コンタクトホール C を介してドレイン電極 4 0 に接続されている。

[0036] 図 3 に示すように、走査配線 1 4 は、ゲート端子 5 3 b に接続されており、信号配線 1 5 は、ゲート絶縁層 2 1 に設けられたコンタクトホール C a を介して中継配線 1 4 a に接続されることによってソース端子 5 3 a に接続されている。

[0037] 図 2 に示すように、液晶表示装置 1 にあっては、各画素において、ゲートドライバ 1 2 からゲート信号が走査配線 1 4 を介してゲート電極 2 0 に伝送され、有機薄膜トランジスタがオン状態になった場合に、ソースドライバ 1 1 からソース信号が信号配線 1 5 を介してソース電極 3 0 に伝送され、有機半導体層 5 0 (図 4 参照) およびドレイン電極 4 0 を介して、画素電極 5 3 に所定の電荷が書き込まれる。

[0038] この際、薄膜トランジスタ基板 2 の各画素電極 5 3 と、対向基板 3 の対向

電極 3 a (図 2 参照) との間において電位差が生じ、液晶層 5 (図 1 参照) に所定の電圧が印加される。

[0039] そして、液晶表示装置 1 では、各画素において、液晶層 5 に印加される電圧の大きさに基づいて液晶層 5 の配向状態を変更することにより、液晶層 5 の光透過率を調整して画像が表示される。

[0040] 図 4 に示すように、薄膜トランジスタ 17 は、主表面 19 a を有する絶縁性基板 19 と、主表面 19 a 上に設けられたゲート電極 20 と、ゲート電極 20 を覆うように絶縁性基板 19 の主表面 19 a 上に設けられたゲート絶縁層 21 と、ゲート絶縁層 21 上において互いに対峙するとともに、各々がゲート絶縁層 21 を介してゲート電極 20 に少なくともその一部が重なるように設けられたソース電極 30 およびドレイン電極 40 と、ソース電極 30 とドレイン電極 40 との間に位置する部分のゲート絶縁層 21 を覆うように、かつ、ソース電極 30 上からドレイン電極 40 上に跨るように設けられた有機半導体層 50 とを備えている。

[0041] 有機半導体層 50 は、ソース電極 30 とドレイン電極 40 との間においてゲート電極 20 に重なるように形成されたチャネル領域 Ch1 を含む。

[0042] ソース電極 30 は、第 1 導電層 31、第 2 導電層 32 および第 3 導電層 33 を有する。また、ドレイン電極 40 は、第 1 導電層 41、第 2 導電層 42 および第 3 導電層 43 を有する。

[0043] 第 1 導電層 31、41 は、ゲート絶縁層 21 上に形成されており、下地層であるゲート絶縁層 21 に対する密着性が良好な材料によって形成されている。第 1 導電層 31、41 を構成する材料としては、たとえば Ti、TiN、Ta₂N₅ 等の金属が挙げられる。

[0044] 第 2 導電層 32、42 は、第 1 導電層 31、41 上に積層されており、その電気抵抗が第 1 導電層 31 よりも低い材料によって形成されている。第 2 導電層 32、42 を構成する材料としては、たとえば、Cu、Al、W、Mo 等の比較的安価で電気抵抗の低い金属が挙げられる。

[0045] 第 3 導電層 33 は、第 1 導電層 31 および第 2 導電層 32 のチャネル領域

C h 1 側に形成されており、有機半導体層 5 0 に対して良好なオーミック接触を形成する材料によって形成されている。

[0046] 第 3 導電層 3 3 を構成する材料としては、有機半導体層 5 0 に p 型有機半導体を用いられる場合には、白金、ニッケル、金、コバルト、パラジウム、銀、銅、モリブデンなどの金属を採用することができ、有機半導体層 5 0 に n 型有機半導体を用いられる場合には、ストロンチウム、カルシウム、ネオジム、マグネシウム、ハフニウム、バリウムなどを使用することができる。

[0047] 第 3 導電層 3 3, 4 3 は、略直方体形状を有し、ゲート絶縁層 2 1 に接する第 1 接触面 3 3 a, 4 3 a と、チャネル領域 C h 1 側に位置する第 1 導電層 3 1, 4 1 の側面および第 2 導電層 3 2, 4 2 の側面に接触する第 2 接触面 3 3 b, 4 3 b とを有する。

[0048] また、有機半導体層 5 0 としては、P 型または N 型の有機半導体層が使用される。P 型の有機半導体層の材料としては、たとえばペンタセン、ペンタセン誘導体、ポリチオフェン、フタロシアニン、ポリ(2,5-ビス(3-アルキルチオフェン-2-イル)チエノ[3,2-b]チオフェン)(P B T T T)等を用いることができる。また、N 型の有機半導体層の材料としては、たとえば、ペリレンジイミド誘導体、フラーレン、フラーレン誘導体等を用いることができる。

[0049] このような構成により、有機半導体層 5 0 のチャネル領域 C h 1 に隣接して、有機半導体層 5 0 との接触抵抗を低減することが可能な第 3 導電層 3 3, 4 3 を配置することができるため、有機半導体層 5 0 ソース電極 3 0 およびドレイン電極 4 0 との接触抵抗の低減効果をより一層高めることが可能となる。

[0050] また、第 3 導電層 3 3, 4 3 と下地であるゲート絶縁層 2 1 との間には、特に導電層が設けられていないため、製造時における導電膜層の膜厚のばらつきによる影響を受けることがないため、有機半導体層 5 0 ソース電極 3 0 およびドレイン電極 4 0 との接触抵抗が安定し、これにより薄膜トランジスタ 1 7 の動作も安定する。

[0051] また、ソース電極 30、ドレイン電極 40 および信号配線 15 の大部分を占める第 2 導電層 32、42 を上記の比較的安価で電気抵抗の低い金属を用いることにより、製造コストを低減させることができるとともに、薄膜トランジスタ 17 の高速駆動を実現することが可能となる。

[0052] さらに、第 2 導電層 32、42 とゲート絶縁層 21 との間に当該ゲート絶縁層 21 に対して密着性の良好な第 1 導電層 31、41 を形成することにより、ソース電極およびドレイン電極の下地に対する密着性を向上させることが可能となる。

[0053] 図 5 は、図 1 に示す薄膜トランジスタ基板の製造工程におけるゲート電極形成工程、ゲート絶縁層形成工程、および、ソース電極およびドレイン電極形成工程の第 1 工程を経た後の絶縁性基板の状態を示す図である。図 6 から図 8 は、図 1 に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第 2 工程から第 4 工程を示す図である。図 5 から図 8 を参照して、本実施の形態に係る薄膜トランジスタ 17 を具備する薄膜トランジスタ基板 2 の製造方法について説明する。

[0054] 図 5 に示すように、ゲート電極形成工程、ゲート絶縁層形成工程、および、ソース電極およびドレイン電極形成工程の第 1 工程を経た後の絶縁性基板 19 は、絶縁性基板 19 上に形成されたゲート電極 20 と、ゲート電極 20 を覆うように絶縁性基板 19 上に形成されたゲート絶縁層 21 と、ゲート絶縁層 21 上において互いに対峙するように設けられ、各々が当該ゲート絶縁層 21 を介してゲート電極 20 に少なくともその一部が重なるように設けられたソース電極の一部およびドレイン電極の一部（第 1 導電層 31、41、第 2 導電層 32、42）とを有する。

[0055] 図 5 を参照して、ゲート電極形成工程、ゲート絶縁層形成工程、および、ソース電極およびドレイン電極形成工程の第 1 の工程についてそれぞれ説明する。

[0056] <ゲート電極形成工程>

まず、ガラス基板やプラスチック基板などの絶縁性基板 19 の主表面 19

a上に、例えば、スパッタリング法により、Ti膜とAl膜との積層膜などを成膜する。具体的には、ゲート電極20の膜構造を、上層から厚さが30nm/200nm/5nmとなるTi（上層）/Al/Ti（下層）の積層膜とすることができる。

[0057] なお、積層膜を構成する金属膜の厚さおよび材料は、上記に限定されない。たとえばAlの膜厚を100nm~400nm程度としてもよいし、Alの代わりにCu、W、Mo等の比較的安価で電気抵抗の低い金属を用いてもよい。

[0058] また、下層のTiにあつては、たとえば、その膜厚を5nm~30nm程度としてもよいし、単層のTiに代わりに、Ta₂N₅、TiN等の絶縁性基板19（下地）との密着性が良好な積層膜を用いてもよい。さらに、上層のTiにあつては、たとえば、その膜厚を30nm~100nm程度とすることができる。

[0059] 続いて、ゲート電極膜が成膜された絶縁性基板19全体にスピンコーティング法により、感光性樹脂膜を塗布し、その後感光性樹脂膜を露光および現像することによって、レジストパターンを形成する。次に、当該レジストパターンから露出するゲート電極膜をウェットエッチングにより除去した後に、レジストパターンを剥離液に浸漬して除去することにより、絶縁性基板19の主表面19a上にゲート電極20、走査配線14、および中継配線14aを形成する。

[0060] なお、ゲート電極膜をウェットエッチングする場合には、Tiは、HF系あるいは酸化剤系のエッチャントを用いてエッチングすることができ、Alは、リン酸、硝酸、酢酸が混合されたエッチャントを用いてエッチングすることができる。

[0061] また、ゲート電極のパターン形成方法は、上記の方法に限定されず、導電性ペーストを用いた印刷法や電解メッキ法や無電解メッキ法等を採用することができる。

[0062] また、絶縁性基板19としてプラスチック基板を使用する場合にあつては

、プラスチック基板を形成する材料として、たとえば、ポリエチレンテレフタレート樹脂、ポリエチレン樹脂、ナフタレート樹脂、ポリエーテルスルホン樹脂、ポリプロピレン樹脂、ポリカーボネート樹脂、ポリエステル樹脂などの材料を使用することが好ましい。このような材料を使用することにより、薄膜トランジスタ基板 2 の軽量性、フレキシブル性、及び透明性を向上させることができる。なお、ガラス基板上にプラスチック基板を載置した状態でゲート電極を形成してもよい。

[0063] <ゲート絶縁層形成工程>

続いて、ゲート電極 20 が形成された絶縁性基板 19 全体に、例えば、ポリイミドやポリスチレン、ポリビニルフェノール等の有機絶縁性材料を塗布し、100～150℃程度の温度で数分から数十分程度、焼成して、溶剤を揮発させることにより、ゲート電極 20 を覆うようにゲート絶縁膜を、100nm～1000nm程度の厚さで形成する。

[0064] 次に、フォトリソグラフィ法によってゲート絶縁膜上にパターニングされたレジストを形成するとともに、ゲート絶縁膜をウェットエッチング、またはドライエッチングすることにより、上述のゲート端子部およびソース端子部とゲートドライバおよびソースドライバとが接続可能となるように開口部を形成する。またソース端子部近傍においても、信号配線 15 と中継配線 14a との電氣的接続が可能となるように開口部を形成する。

[0065] なお、ゲート絶縁膜の材料として、紫外線感光性の有機絶縁性材料を使用し、フォトマスクを介して露光した後に現像を行うことにより、開口部を形成してもよい。

[0066] <ソース電極およびドレイン電極形成工程>

次に、ソース電極 30 およびドレイン電極 40 形成工程の第 1 工程においては、ゲート絶縁層 21 が形成された絶縁性基板 19 全体に、たとえば、スパッタリング法、CVD 法、真空蒸着法等により、第 1 導電膜および第 2 導電膜の積層膜を成膜する。この際、第 1 導電膜としては、たとえばゲート絶縁層 21 に密着性の良好な金属である Ti を使用することができ、その厚さ

を5 nm程度とすることができる。また、第2導電膜としては、電氣的抵抗が低いCuを使用することができ、その厚さを200 nm程度とすることができる。

[0067] なお、第1導電膜および第2導電膜の厚さは、上記に限定されない。第1導電膜にあつては、たとえば、その厚さを5 nm～30 nm程度とすることができ、また、第2導電膜にあつては、たとえば、その厚さを100～400 nm程度とすることができる。なお、第1導電膜および第2導電膜の材料は、TiおよびCuに限定されない。

[0068] 続いて、スピンのコーティング法により、感光性樹脂膜を塗布し、その後感光性樹脂膜を露光および現像することによって、レジストパターンを形成する。次に、当該レジストパターンから露出する第1導電膜および第2導電膜の積層膜をウェットエッチングにより除去した後に、レジストパターンを剝離液に浸漬して除去することにより、第1導電層31、41および第2導電層32、42ならびに信号配線15を形成する。

[0069] なお、第1導電膜および第2導電膜の積層膜をウェットエッチングする場合には、Tiは、HF系あるいは酸化剤系のエッチャントを用いてエッチングすることができ、Cuは、過酸化水素系エッチャントを用いてエッチングすることができる。

[0070] また、第1導電層および第2導電層のパターン形成方法は、上記の方法に限定されず、導電性ペーストを用いた印刷法や電解メッキ法や無電解メッキ法等を採用することができる。

[0071] 図6は、ソース電極およびドレイン電極形成工程の第2工程を示す図である。次に、図6に示すように、ソース電極およびドレイン電極形成工程の第2工程においては、スピンのコーティング法により、感光性樹脂膜を塗布し、その後感光性樹脂膜を露光および現像することによって、第3導電層を形成する領域以外を覆うようにレジストパターン60を形成する。

[0072] 図7は、ソース電極およびドレイン電極形成工程の第3工程を示す図である。続いて、図7に示すように、ソース電極およびドレイン電極形成工程の

第3の工程においては、第3導電層を形成する領域以外を覆うようレジストパターン60が形成された絶縁性基板19全体に、たとえば、スパッタリング法、CVD法、真空蒸着法等により、第3導電膜61を成膜する。第3導電膜61の膜厚は、100nm～400nm程度とすることができる。

[0073] ここで、第3導電膜61の材料としては、有機半導体層50にp型有機半導体が用いられる場合には、白金、ニッケル、金、コバルト、パラジウム、銀、銅、モリブデンなどの金属を採用することができ、有機半導体層50にn型有機半導体が用いられる場合には、ストロンチウム、カルシウム、ネオジム、マグネシウム、ハフニウム、バリウムなどを使用することができる。

[0074] 図8は、ソース電極およびドレイン電極形成工程の第4工程を示す図である。次に、図8に示すように、ソース電極およびドレイン電極形成工程の第4工程においては、レジストパターン60を除去するために、第3導電膜61が成膜された絶縁性基板19を剥離液中に浸漬するリフトオフ工程を行ない、レジストパターン60上に積層された不要な第3導電膜61をレジストパターン60と同時に除去する。これにより、第3導電層33、43がゲート絶縁層21上の所定の位置に形成され、ソース電極30およびドレイン電極40がゲート絶縁層21上に形成される。

[0075] なお、第3導電層33、43は、ソース電極30とドレイン電極40とが並ぶ方向における第1導電層31、41の側面および第2導電層32、42の側面に接触するように形成される。

[0076] <有機半導体層形成工程>

次に、ソース電極30およびドレイン電極40が形成された絶縁性基板19全体に、たとえば、上述のTIPSペンタンセン等の有機半導体材料を塗布して100～150℃程度の温度で数分から数十分程度、焼成した後、フォトリソグラフィ等によって有機半導体材料をパターニングする。これにより、ソース電極30およびドレイン電極40の少なくとも一部、およびソース電極30とドレイン電極40との間に位置するゲート絶縁層21を覆うようにソース電極30上、ドレイン電極40上およびゲート絶縁層21上に有

機半導体層 50 を形成する。有機半導体層 50 の膜厚は、20 nm ～ 80 nm 程度とすることができる。以上の工程を経て、本実施の形態に係る薄膜トランジスタ 17 が形成される。

[0077] <パッシベーション膜形成工程>

続いて、ゲート絶縁層 21 の表面上、及び薄膜トランジスタ 17（即ち、ゲート電極 20、有機半導体層 50、ソース電極 30、およびドレイン電極 40）の表面上に、例えば、表面保護層として、有機絶縁膜からなるパッシベーション膜 51 を、厚さ 0.2 ～ 1.0 μm 程度で成膜する。

[0078] <平坦化膜形成工程>

次に、パッシベーション膜 51 が形成された絶縁性基板 19 の全体に、スピンコート法又はスリットコート法により、紫外線感光性の有機絶縁膜を厚さ 1.0 μm ～ 3.0 μm 程度に塗布、焼成して成膜する。続いて、有機絶縁膜をフォトリソグラフィを介して露光した後に現像することにより、平坦化膜 52 をパターニングする。

[0079] さらに、パターニングした平坦化膜 52 をマスクとして、パッシベーション膜 51 に対してウェットエッチングあるいはドライエッチングを行うことにより、画素電極 53 とドレイン電極 40 を接続するためのコンタクトホール C を設ける。

[0080] 続いて、上述の画素電極を形成することにより、本実施の形態に係る薄膜トランジスタ基板 2 を製造することができる。

[0081] なお、プラスチックフィルム基板、あるいはガラス基板上に載置されたプラスチックフィルム基板上に上述の各層を形成した場合は、そのままの状態あるいはガラス基板からプラスチックフィルム基板を分離することにより、フレキシブルな薄膜トランジスタ基板を得ることができる。

[0082] （実施の形態 2）

図 9 は、本実施の形態に係る薄膜トランジスタを具備する薄膜トランジスタ基板の概略断面図である。図 9 を参照して本実施の形態に係る薄膜トランジスタ 17 A を具備する薄膜トランジスタ基板 2 A について説明する。

[0083] 図9に示すように、本実施の形態に係る薄膜トランジスタ基板2Aは、実施の形態1に係る薄膜トランジスタ基板2と比較した場合に、薄膜トランジスタ17Aにおけるソース電極30Aおよびドレイン電極40Aの第3導電層33A、43Aの形状が相違し、その他の構成においては、ほぼ同様である。

[0084] 具体的には、チャネル領域Ch1側に位置する第3導電層33A、43Aは、第1接触面33a、43aと第2接触面33b、43bとの境界部から遠ざかる方向に向けて膨出する形状（サイドウォール状の形状）を有する。より具体的には、チャネル領域Ch1側に位置する第3導電層33A、43Aは、絶縁性基板19の法線方向に沿って絶縁性基板19に向かうにつれて、徐々にチャネル領域Ch1側に位置する第1導電層31、41および第2導電層32、42の側面からの距離が増加するように湾曲する湾曲面を有する。

[0085] 第3導電層33A、43Aがこのような形状を有する場合であっても、第3導電層33A、43Aは、ゲート絶縁層21に接する第1接触面33a、43aと、チャネル領域Ch1側に位置する第1導電層31、41の側面および第2導電層32、42の側面に接触する第2接触面33b、43bとを有することとなる。これにより、本実施の形態に係る薄膜トランジスタ17Aにおいても、実施の形態1に係る薄膜トランジスタ17とほぼ同様の効果が得られる。

[0086] 図10および図11は、図9に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2A工程および第3A工程を示す図である。図10および図11を参照して、本実施の形態に係る薄膜トランジスタ基板2Aの製造方法について説明する。

[0087] 本実施の形態に係る薄膜トランジスタ基板2Aの製造方法は、実施の形態1に係る薄膜トランジスタ基板2の製造方法と比較した場合に、ソース電極およびドレイン電極形成工程が相違し、その他の工程についてはほぼ同様である。

- [0088] 具体的には、本実施の形態に係る薄膜トランジスタ基板 2 A の製造方法におけるソース電極およびドレイン電極形成工程は、実施の形態 1 におけるソース電極およびドレイン電極形成工程の第 2 工程から第 4 工程に代えて、第 2 A 工程および第 3 A 工程を有する。
- [0089] 本実施の形態に係る薄膜トランジスタ基板 2 A の製造方法にあつては、まず、ゲート電極形成工程、ゲート絶縁層形成工程、および、ソース電極およびドレイン電極形成工程の第 1 工程にて、実施の形態 1 に係る薄膜トランジスタ基板の製造方法と同様の処理を施すことによって、絶縁性基板 1 9 にゲート電極 2 0、ゲート絶縁層 2 1、第 1 導電層 3 1、4 1 および第 2 導電層 3 2、4 2 を形成する。
- [0090] 続いて、図 1 0 に示すように、ソース電極およびドレイン電極形成工程の第 2 A 工程において、第 1 導電層 3 1、4 1 および第 2 導電層 3 2、4 2 が形成された絶縁性基板 1 9 全体に、たとえば、スパッタリング法、CVD 法、真空蒸着法等により、第 3 導電膜 6 1 A を成膜する。第 3 導電膜 6 1 の膜厚は、100 nm ~ 400 nm 程度とすることができる。
- [0091] なお、第 3 導電膜 6 1 A の成膜に際し、第 1 導電層 3 1、4 1 の側面および第 2 導電層 3 2、4 2 の側面への成膜被覆性を改善するために、絶縁性基板 1 9 の鉛直方向に対して角度をつけた斜め方向から第 3 導電膜 6 1 A を成膜するようにしてもよい。
- [0092] 次に、図 1 1 に示すように、ソース電極およびドレイン電極形成工程の第 3 A 工程において、ドライエッチング法による異方性エッチングにより、第 1 導電層 3 1、4 1 および第 2 導電層 3 2、4 2 の側面にサイドウォール状の第 3 導電層 3 3 A、4 3 A を形成する。これにより、ゲート絶縁層上にソース電極 3 0 A およびドレイン電極 4 0 A が形成されることとなる。
- [0093] 第 3 導電膜 6 1 A に対して異方性ドライエッチングを行なうことにより、セルフアラインで第 3 導電層 3 3 A、4 3 A を形成することができる。これにより、マスクを使用してフォトリソグラフィ等によって第 3 導電層をパターンニングする方法と比べて、位置合わせ精度を受けることなく精度よく第 3

導電層を形成することができる。また、フォトリソグラフィ工程を省略できるため、簡易に薄膜トランジスタを製造できるとともにその製造コストを低減させることができる。

[0094] 本実施の形態においては、ドライエッチングのみによって第3導電層33A, 43Aを形成する場合を例示したが、これに限定されず、ドライエッチングおよびウェットエッチングの両方を第3導電膜61Aに施すことによって、第3導電層33A, 43Aを形成してもよい。

[0095] この場合には、第3導電膜61Aがゲート絶縁層21上、第1導電層31, 41上および第2導電層32, 42上を薄く覆うように第3導電膜61Aにドライエッチングを行なった後、ゲート絶縁層21上および第2導電層32, 42上に残った不要な第3導電膜61Aをウェットエッチングによって除去することが好ましい。これにより、ドライエッチングによるゲート絶縁膜表面への損傷（ダメージ）を抑制することができる。

[0096] 続いて、有機半導体層形成工程にて、実施の形態1に係る薄膜トランジスタの製造方法と同様の処理を施すことにより、本実施の形態に係る薄膜トランジスタ17Aを製造することができる。

[0097] 次に、パッシベーション膜形成工程、および平坦化膜形成工程にて実施の形態1に係る薄膜トランジスタの製造方法と同様の処理を施し、画素電極を形成することにより本実施の形態に係る薄膜トランジスタ基板2Aを製造することができる。

[0098] （実施の形態3）

図12は、本実施の形態に係る薄膜トランジスタを具備する薄膜トランジスタ基板の概略断面図である。図13は、図12に示す薄膜トランジスタ基板を湾曲させた場合のソース電極、有機薄膜半導体層およびゲート絶縁層の状態を示す図である。図12および図13を参照して、本実施の形態に係る薄膜トランジスタ17Bを具備する薄膜トランジスタ基板2Bについて説明する。

[0099] 図12に示すように、本実施の形態に係る薄膜トランジスタ基板2Bは、

実施の形態 1 に係る薄膜トランジスタ基板 2 と比較した場合に、薄膜トランジスタ 17 B におけるソース電極 30 B およびドレイン電極 40 B の第 3 導電層 33 B, 43 B の形状が相違し、その他の構成においては、ほぼ同様である。

[0100] 具体的には、第 3 導電層 33 B, 43 B は、ゲート絶縁層 21 が位置する側とは反対側に向けて第 1 導電層 31, 41 の側面および第 2 導電層 32, 42 の側面に沿って延在する部分と、第 1 導電層 31, 41 が位置する側とは反対側に向けてゲート絶縁層 21 に沿って延在する部分とによって構成されている。

[0101] これにより、十分なフレキシブル性を確保することができ、薄膜トランジスタ基板 2 B を曲げた際に、第 3 導電層 33 B, 43 B がゲート絶縁層 21 から浮き上がることを防止することができる。

[0102] ここで、本実施の形態に係る第 3 導電層 33 B, 43 B とは異なる直方体形状を有する第 3 導電層を第 1 導電層 31, 41 および第 2 導電層 32, 42 の側面ならびにゲート絶縁層 21 に接触させた状態で薄膜トランジスタ基板を凸状に湾曲させた場合には、当該第 3 導電層は、樹脂層から成るゲート絶縁層 21 よりも金属層から成る第 1 導電層 31, 41 および第 2 導電層 32, 42 の側面に強く密着しているため、ゲート絶縁層 21 から浮き上がるような方向に応力が負荷されることが懸念される。

[0103] このため、薄膜トランジスタ基板を曲げるたびに当該第 3 導電層がゲート絶縁層から浮き上がり、その都度機械的なストレスが有機半導体層に発生することが予想され、機械的強度が低下し、信頼性の低下につながる場合があることが予想される。

[0104] しかしながら、本実施の形態に係る薄膜トランジスタ基板 2 B にあっては、第 3 導電層 33 B, 43 B は、2 方向に延在するように形成されているため、第 3 導電層 33 B, 43 B を構成する金属材料の延性、展性を十分に発揮することができる。

[0105] このため、図 13 に示すように、薄膜トランジスタ基板 2 B を凸状に湾曲

させた場合であっても、湾曲した第1導電層31、41および第2導電層32、42ならびにゲート絶縁層21に追従して第3導電層33B、43Bが変形する。これにより、薄膜トランジスタ基板2Bを曲げた際に第3導電層33B、43Bがゲート絶縁層21から浮き上がることを抑制することができる。この結果、薄膜トランジスタ17Bの動作をより安定させることができる。

[0106] また、チャネル領域側の第3導電層33B、43Bのうちゲート絶縁層21に沿って延在する部分における絶縁性基板19の法線方向に沿った厚さは、ゲート絶縁層21に沿って延在する長さ（チャネル領域Ch1側に位置する第1導電層31、41の側面から当該ゲート絶縁層21に沿って延在する部分における第1導電層31、41の側面とは反対側に位置する端部までの距離）の $1/3$ 以下になることが好ましい。この場合においては、上述のような第3導電層33B、43Bの浮き上がりをさらに抑制することができる。

[0107] 以上のような構成とすることにより、本実施の形態に係る薄膜トランジスタ17Bにおいても、実施の形態1に係る薄膜トランジスタ17とほぼ同様の効果が得られ、さらに薄膜トランジスタ基板を凸状に折り曲げた場合であっても、薄膜トランジスタ17Bの動作を安定させることができる。

[0108] 図14から図17は、図12に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2B工程から第5B工程を示す図である。図14から図17を参照して、本実施の形態に係る薄膜トランジスタ基板2Bの製造方法について説明する。

[0109] 本実施の形態に係る薄膜トランジスタ基板2Bの製造方法は、実施の形態1に係る薄膜トランジスタ基板2の製造方法と比較した場合に、ソース電極およびドレイン電極形成工程が相違し、その他の工程についてはほぼ同様である。

[0110] 具体的には、本実施の形態に係る薄膜トランジスタ基板2Bの製造方法におけるソース電極およびドレイン電極形成工程は、実施の形態1におけるソ

ース電極およびドレイン電極形成工程の第2工程から第4工程に代えて、第2B工程から第5B工程を有する。

[0111] 本実施に形態に係る薄膜トランジスタ基板2Bの製造方法にあつては、まず、ゲート電極形成工程、ゲート絶縁層形成工程、および、ソース電極およびドレイン電極形成工程の第1工程にて、実施の形態1に係る薄膜トランジスタ基板の製造方法と同様の処理を施すことによって、絶縁性基板19にゲート電極20、ゲート絶縁層21、第1導電層31、41および第2導電層32、42を形成する。

[0112] 続いて、図14に示すように、ソース電極およびドレイン電極形成工程の第2B工程において、第1導電層31、41および第2導電層32、42が形成された絶縁性基板19全体に、たとえば、スパッタリング法、CVD法、真空蒸着法等により、第3導電膜61Bを成膜する。

[0113] この際、第3導電膜61Bは、その厚さが有機半導体層50（図12参照）の厚さ以下となるように、かつ、厚さの制御性、ゲート絶縁層21との密着性および機械的強度が維持されるように、5nm～50nm程度に成膜されることが好ましい。

[0114] なお、第3導電膜61Bの成膜に際し、第1導電層31、41の側面および第2導電層32、42の側面への成膜被覆性を改善するために、絶縁性基板19の鉛直方向に対して角度をつけた斜め方向から第3導電膜61Bを成膜するようにしてもよい。

[0115] 続いて、図15に示すように、ソース電極およびドレイン電極形成工程の第3B工程において、スピコート法により、第3導電膜61Bが成膜された絶縁性基板19全体に感光性樹脂膜等のレジストを塗布し、その後焼成する。焼成後に形成されるレジスト膜62の厚さは、フォトリソグラフィ工程にて形成する場合よりも薄く、200nm～600nm程度とすることが好ましい。

[0116] 次に、図16に示すように、ソース電極およびドレイン電極形成工程の第4B工程において、ドライエッチング法による異方性エッチングにより、第

3導電膜61Bのうち第3導電層33B, 43Bに対応する部分を覆うようにサイドウォール形状のレジスト膜62を形成する。この際、エッチングガスとしては、酸素、CF₄、CHF₃などを用い、エッチング処理室内の圧力は、1 Torr～1 mTorrとすることが好ましい。

[0117] なお、レジスト膜62のエッチングする方法は、ドライエッチング法のみ限定されず、ドライエッチング法とウェットエッチング法との両方を用いてもよく、当該レジスト膜62をドライエッチングした後にウェットエッチングを行なってもよい。

[0118] 続いて、図17に示すように、第3導電膜61Bのうち第3導電層33B, 43Bに対応する部分を覆うようにサイドウォール形状のレジスト膜62をマスクとして、第3導電膜61Bをウェットエッチングして、第3導電膜61Bをパターニングする。その後、サイドウォール形状のレジスト膜62を除去することにより、ソース電極30とドレイン電極40とが並ぶ方向における第1導電層31, 41の側面および第2導電層32, 42の側面に接触するように、第3導電層33B, 43Bを形成する。

[0119] 続いて、有機半導体層形成工程にて、実施の形態1に係る薄膜トランジスタの製造方法と同様の処理を施すことにより、本実施の形態に係る薄膜トランジスタ17Bを製造することができる。

[0120] 次に、パッシベーション膜形成工程、および平坦化膜形成工程にて実施の形態1に係る薄膜トランジスタの製造方法と同様の処理を施し、画素電極を形成することにより本実施の形態に係る薄膜トランジスタ基板2Bを製造することができる。

[0121] (実施の形態4)

図18は、本実施の形態に係る薄膜トランジスタを具備する薄膜トランジスタ基板の概略断面図である。図18を参照して、本実施の形態に係る薄膜トランジスタ17Cを具備する薄膜トランジスタ基板2Cについて説明する。

[0122] 図18に示すように、本実施の形態に係る薄膜トランジスタ基板2Cは、

実施の形態 1 に係る薄膜トランジスタ基板 2 C と比較した場合に、薄膜トランジスタ 1 7 C がトップゲート構造を有する点において相違するが、これを構成する材料等については同様である。

[0123] 具体的には、本実施の形態に係る薄膜トランジスタ 1 7 C は、主表面 1 9 a を有する絶縁性基板 1 9 と、主表面 1 9 a 上において互いに対峙するように設けられたソース電極 3 0 およびドレイン電極 4 0 と、ソース電極 3 0 とドレイン電極 4 0 との間に位置する部分の基板 1 9 を覆うように、かつ、ソース電極 3 0 上からドレイン電極 4 0 上に跨るように設けられた有機半導体層 5 0 と、ソース電極 3 0、ドレイン電極 4 0 および有機半導体層 5 0 を覆うように主表面 1 9 a 上に設けられたゲート絶縁層 2 1 と、ゲート絶縁層 2 1 上において当該ゲート絶縁層 2 1 を介してソース電極 3 0 およびドレイン電極 4 0 の少なくとも一部ならびにソース電極 3 0 とドレイン電極 4 0 との間に位置する有機半導体層 5 0 に重なるように設けられたゲート電極 2 0 とを備える。

[0124] 有機半導体層 5 0 は、ソース電極 3 0 とドレイン電極 4 0 との間においてゲート電極 2 0 と重なるように形成されたチャネル領域 C h 2 を含む。

[0125] ソース電極 3 0 は、第 1 導電層 3 1、第 2 導電層 3 2 および第 3 導電層 3 3 を有する。また、ドレイン電極は、第 1 導電層 4 1、第 2 導電層 4 2 および第 3 導電層 4 3 を有する。

[0126] 第 1 導電層 3 1、4 1 は、絶縁性基板 1 9 上に形成されており、下地層である絶縁性基板 1 9 に対する密着性が良好な材料によって形成されている。

[0127] 第 2 導電層 3 2、4 2 は、第 1 導電層 3 1、4 1 上に積層されており、その電気抵抗が第 1 導電層 3 1 よりも低い材料によって形成されている。

[0128] 第 3 導電層 3 3 は、第 1 導電層 3 1 および第 2 導電層 3 2 のチャネル領域 C h 2 側に形成されており、有機半導体層 5 0 に対して良好なオーミック接触を形成する材料によって形成されている。

[0129] 第 3 導電層 3 3、4 3 は、略直方体の形状を有し、絶縁性基板 1 9 の主表面に接する第 1 接触面 3 3 a、4 3 a と、チャネル領域 C h 2 側に位置する

第1導電層31, 41の側面および第2導電層32, 42の側面に接触する第2接触面33b, 43bとを有する。

[0130] このような構成とすることにより、本実施の形態に係る薄膜トランジスタ17Cにおいても、実施の形態1に係る薄膜トランジスタ17とほぼ同様の効果が得られる。

[0131] 図19から図22は、図18に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第1C工程から第4C工程を示す図である。図23は、図18に示す薄膜トランジスタ基板の製造工程における有機半導体層形成工程、ゲート絶縁層形成工程、ゲート電極形成工程および平坦化膜形成工程を経た後の絶縁性基板の状態を示す図である。図19から図23を参照して、本実施の形態に係る薄膜トランジスタ17Cを具備する薄膜トランジスタ基板2Cの製造方法について説明する。

[0132] 本実施の形態に係る薄膜トランジスタ基板2Cの製造方法にあつては、実施の形態1に係る薄膜トランジスタ基板2の製造方法と比較した場合に、絶縁性基板19上に先にソース電極30およびドレイン電極40ならびに有機半導体層50を形成した後に、ゲート絶縁層21を形成し、その後にゲート電極20を形成する点において相違する。

[0133] なお、ソース電極30、ドレイン電極40、有機半導体層50、ゲート絶縁層21およびゲート電極20を形成する方法については、実施の形態1とほぼ同様であるため、その詳細な説明については省略する。

[0134] まず、図19に示すように、ソース電極30およびドレイン電極40形成工程の第1C工程においては、スパッタリング法、CVD法、真空蒸着法等により、絶縁性基板19の主表面19a全体に第1導電膜および第2導電膜を成膜する。その後、第1導電膜および第2導電膜の積層膜を所定の形状にパターニングすることにより、第1導電層31, 41が絶縁性基板19上に形成され、第2導電層32, 42が第1導電層31, 41上に形成される。また、この際、信号配線も形成される。

[0135] 続いて、図20に示すように、ソース電極30およびドレイン電極40形

成工程の第2C工程において、第1導電層31, 41および第2導電層32, 42が形成された絶縁性基板19全体に感光性樹脂を塗布して、これを露光および現像することにより第3導電層を形成する領域以外を覆うようにレジストパターン60を形成する。

[0136] 次に、図21に示すように、ソース電極30およびドレイン電極40形成工程の第3C工程において、上記のレジストパターン60が形成された絶縁性基板19全体に、たとえば、スパッタリング法、CVD法、真空蒸着法等により、第3導電膜61を成膜する。

[0137] 続いて、図22に示すように、第3導電膜61が成膜された絶縁性基板19を剥離液中に浸漬するリフトオフ工程を行なうことにより、レジストパターン60を除去して第3導電層33, 43を形成する。これにより、絶縁性基板19の主表面上にソース電極30およびドレイン電極40が形成される。

[0138] 次に、図23に示すように、ソース電極30およびドレイン電極40が形成された絶縁性基板19全体に、有機半導体材料を塗布して焼成した後に、有機半導体材料をパターニングする。これにより、有機半導体層50を形成する（有機半導体層形成工程）。

[0139] 続いて、有機半導体層50が形成された絶縁性基板19全体に有機絶縁性材料を塗布した後に焼成することによりゲート絶縁膜を形成する。次に、ゲート絶縁膜をパターニングする（ゲート絶縁層形成工程）。この際、中継配線と信号配線とが電氣的に接続可能となるように当該ゲート絶縁層に開口部を形成する。

[0140] 次に、スパッタリング法により、ゲート絶縁層21が形成された絶縁性基板19全体にゲート電極膜を成膜し、フォトリソグラフィ法により所定の形状に当該ゲート電極膜をパターニングすることによりゲート電極20、走査配線14および中継配線14aを形成する（ゲート電極形成工程）。これにより、本実施の形態に係る薄膜トランジスタ17Cが製造される。

[0141] 続いて、ゲート絶縁層21が形成された絶縁性基板19全体に、紫外線感

光性の有機絶縁膜を塗布した後に焼成することにより平坦化膜を成膜する。
その後、平坦化膜52をパターニングする（平坦化膜形成工程）。

[0142] さらに、パターニングした平坦化膜52をマスクとして、ゲート絶縁層21に対してウェットエッチングあるいはドライエッチングを行うことにより、画素電極53とドレイン電極40を接続するためのコンタクトホールCを設ける。

[0143] 続いて、上述の画素電極53を形成することにより、本実施の形態に係る薄膜トランジスタ基板2Cを製造することができる。

[0144] （実施の形態5）

図24は、本実施の形態に係る薄膜トランジスタ基板を具備する薄膜トランジスタ基板の概略断面図である。図24を参照して、本実施の形態に係る薄膜トランジスタ17Dを具備する薄膜トランジスタ基板2Dについて説明する。

[0145] 図24に示すように、本実施の形態に係る薄膜トランジスタ基板2Dは、実施の形態4に係る薄膜トランジスタ基板2Cと比較した場合に、薄膜トランジスタ17Cにおけるソース電極30Aおよびドレイン電極40Aの第3導電層33A、43Aの形状が相違し、その他の構成においては、ほぼ同様である。

[0146] 具体的には、たとえばチャネル領域Ch2側に位置する第3導電層33A、43Aは、第1接触面33a、43aと第2接触面33b、43bとの境界部から遠ざかる方向に向けて膨出する形状（サイドウォール状の形状）を有する。より具体的には、当該第3導電層33A、43Aは、絶縁性基板19の法線方向に沿って絶縁性基板19に向かうにつれて、徐々にチャネル領域Ch2側に位置する第1導電層31、41および第2導電層32、42の側面からの距離が増加するように湾曲する湾曲面を有する。

[0147] 第3導電層33A、43Aがこのような形状を有する場合であっても、第3導電層33A、43Aは、ゲート絶縁層21に接する第1接触面33a、43aと、チャネル領域Ch2側に位置する第1導電層31、41の側面お

よび第2導電層32, 42の側面に接触する第2接触面33b, 43bとを有することとなる。

[0148] 以上のような構成とすることにより、本実施の形態に係る薄膜トランジスタ17Dにおいても、実施の形態4に係る薄膜トランジスタ17Cとほぼ同様の効果が得られる。

[0149] 図25および図26は、図24に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第2D工程および第3D工程を示す図である。図25および図26を参照して本実施の形態に係る薄膜トランジスタ基板2Dの製造方法について説明する。

[0150] 本実施の形態に係る薄膜トランジスタ基板2Dの製造方法は、実施の形態4に係る薄膜トランジスタ基板2Cの製造方法と比較した場合に、ソース電極およびドレイン電極形成工程が相違し、その他の工程についてはほぼ同様である。

[0151] 具体的には、本実施の形態に係る薄膜トランジスタ基板2Dの製造方法におけるソース電極およびドレイン電極形成工程は、実施の形態4におけるソース電極およびドレイン電極形成工程の第2C工程から第4C工程に代えて、第2D工程および第3D工程を有する。

[0152] また、本実施の形態に係る薄膜トランジスタ基板2Dの製造方法におけるソース電極およびドレイン電極形成工程の第2D工程および第3D工程は、実施の形態2に係る薄膜トランジスタ基板2Aの製造方法におけるソース電極およびドレイン電極形成工程の第2A工程および第3A工程とほぼ同様であるため、詳細な説明については省略する。

[0153] 本実施の形態に係る薄膜トランジスタ基板2Dの製造方法にあつては、まず、ソース電極およびドレイン電極形成工程の第1C工程にて、実施の形態4に係る薄膜トランジスタ基板の製造方法と同様の処理を施すことによって、絶縁性基板19上に第1導電層31, 41および第2導電層32, 42を形成する。

[0154] 続いて、図25に示すように、ソース電極およびドレイン電極形成工程の

第2 D工程において、スパッタリング法、CVD法、真空蒸着法等により、第1導電層3 1, 4 1および第2導電層3 2, 4 2が形成された絶縁性基板1 9全体に、第3導電膜6 1 Aを成膜する。

[0155] 次に、図2 6に示すように、ソース電極およびドレイン電極形成工程の第3 D工程において、ドライエッチング法による異方性エッチングにより、第1導電層3 1, 4 1および第2導電層3 2, 4 2の側面にサイドウォール状の第3導電層3 3 A, 4 3 Aを形成する。これにより、ゲート絶縁層上にソース電極3 0 Aおよびドレイン電極4 0 Aが形成されることとなる。

[0156] 続いて、有機半導体層形成工程にて実施の形態4に係る薄膜トランジスタの製造方法と同様の処理を施すことにより、本実施の形態に係る薄膜トランジスタ1 7 Dを製造することができる。

[0157] 次に、ゲート絶縁層形成工程、ゲート電極形成工程、および平坦化膜形成工程にて実施の形態4に係る薄膜トランジスタの製造方法と同様の処理を施した後に、画素電極を形成することにより本実施の形態に係る薄膜トランジスタ基板2 Dを製造することができる。

[0158] (実施の形態6)

図2 7は、本実施の形態に係る薄膜トランジスタを具備する薄膜トランジスタ基板を示す概略断面図である。図2 7を参照して、本実施の形態に係る薄膜トランジスタ1 7 Eを具備する薄膜トランジスタ基板2 Eについて説明する。

[0159] 図2 7に示すように、本実施の形態に係る薄膜トランジスタ基板2 Eは、実施の形態4に係る薄膜トランジスタ基板2 Cと比較した場合に、薄膜トランジスタ1 7 Cにおけるソース電極3 0 Bおよびドレイン電極4 0 Bの第3導電層3 3 B, 4 3 Bの形状が相違し、その他の構成においては、ほぼ同様である。

[0160] 具体的には、第3導電層3 3 B, 4 3 Bは、ゲート絶縁層2 1が位置する側とは反対側に向けて第1導電層3 1, 4 1の側面および第2導電層3 2, 4 2の側面に沿って延在する部分と、第1導電層3 1, 4 1が位置する側と

は反対側に向けてゲート絶縁層 2 1 に沿って延在する部分とによって構成されている。

[0161] これにより、十分なフレキシブル性を確保することができ、薄膜トランジスタ基板 2 E を曲げた際に、第 3 導電層 3 3 B, 4 3 B がゲート絶縁層 2 1 から浮き上がることを防止することができる。この結果、本実施の形態に係る薄膜トランジスタ 1 7 E にあっては、これを備える薄膜トランジスタ基板 2 E が曲げられた場合でも、トランジスタの動作が安定する。

[0162] 以上のような構成とすることにより、本実施の形態に係る薄膜トランジスタ 1 7 E にあっても、実施の形態 4 に係る薄膜トランジスタ 1 7 D とほぼ同様の効果が得られ、さらに薄膜トランジスタ基板を凸状に折り曲げた場合であっても、薄膜トランジスタ 1 7 E の動作を安定させることができる。

[0163] 図 2 8 から図 3 1 は、図 2 7 に示す薄膜トランジスタ基板の製造工程におけるソース電極およびドレイン電極形成工程の第 2 E 工程から第 5 E 工程を示す図である。図 2 8 から図 3 1 を参照して本実施の形態に係る薄膜トランジスタ基板 2 E の製造方法について説明する。

[0164] 本実施の形態に係る薄膜トランジスタ基板 2 E の製造方法は、実施の形態 4 に係る薄膜トランジスタ基板 2 C の製造方法と比較した場合に、ソース電極およびドレイン電極形成工程が相違し、その他の工程についてはほぼ同様である。

[0165] 具体的には、本実施の形態に係る薄膜トランジスタ基板 2 E の製造方法におけるソース電極およびドレイン電極形成工程は、実施の形態 4 におけるソース電極およびドレイン電極形成工程の第 2 C 工程から第 4 C 工程に代えて、第 2 E 工程から第 5 E 工程を有する。

[0166] また、本実施の形態に係る薄膜トランジスタ基板 2 E の製造方法におけるソース電極およびドレイン電極形成工程の第 2 E 工程から第 5 E 工程は、実施の形態 3 に係る薄膜トランジスタ基板 2 B の製造方法におけるソース電極およびドレイン電極形成工程の第 2 B 工程および第 3 B 工程とほぼ同様であるため、詳細な説明については省略する。

- [0167] 本実施に形態に係る薄膜トランジスタ基板 2 E の製造方法にあつては、まず、ソース電極およびドレイン電極形成工程の第 1 C 工程にて、実施の形態 4 に係る薄膜トランジスタ基板の製造方法と同様の処理を施すことによって、絶縁性基板 1 9 上に第 1 導電層 3 1, 4 1 および第 2 導電層 3 2, 4 2 を形成する。
- [0168] 続いて、図 2 8 に示すように、ソース電極およびドレイン電極形成工程の第 2 E 工程において、スパッタリング法、CVD 法、真空蒸着法等により、第 1 導電層 3 1, 4 1 および第 2 導電層 3 2, 4 2 が形成された絶縁性基板 1 9 全体に第 3 導電膜 6 1 B を成膜する。
- [0169] 続いて、図 2 9 に示すように、ソース電極およびドレイン電極形成工程の第 3 E 工程において、第 3 導電膜 6 1 B が成膜された絶縁性基板 1 9 全体に感光性樹脂膜等のレジストを塗布して焼成することによりレジスト膜 6 2 を形成する。
- [0170] 次に、図 3 0 に示すように、ソース電極およびドレイン電極形成工程の第 4 E 工程において、ドライエッチング法により、第 3 導電膜 6 1 B のうち第 3 導電層 3 3 B, 4 3 B に対応する部分を覆うようにサイドウォール形状のレジスト膜 6 2 を形成する。
- [0171] 続いて、図 3 1 に示すように、第 3 導電膜 6 1 B のうち第 3 導電層 3 3 B, 4 3 B に対応する部分を覆うようにサイドウォール形状のレジスト膜 6 2 をマスクとして、第 3 導電膜 6 1 B をウェットエッチングして、第 3 導電膜 6 1 B をパターンニングする。その後、サイドウォール形状のレジスト膜 6 2 を除去することにより、ソース電極 3 0 とドレイン電極 4 0 とが並ぶ方向における第 1 導電層 3 1, 4 1 の側面および第 2 導電層 3 2, 4 2 の側面に接触するように、第 3 導電層 3 3 B, 4 3 B を形成する。
- [0172] 続いて、有機半導体層形成工程にて実施の形態 4 に係る薄膜トランジスタの製造方法と同様の処理を施すことにより、本実施の形態に係る薄膜トランジスタ 1 7 D を製造することができる。
- [0173] 次に、ゲート絶縁層形成工程、ゲート電極形成工程、および平坦化膜形成

工程にて実施の形態４に係る薄膜トランジスタの製造方法と同様の処理を施した後に、画素電極を形成することにより本実施の形態に係る薄膜トランジスタ基板２Ｄを製造することができる。

[0174] 上述した実施の形態１から６においては、表示装置として薄膜トランジスタ基板を備えた液晶表示装置を例示したが、これに限定されず、有機ＥＬ（Electro Luminescence）表示装置、無機ＥＬ表示装置、電気泳動表示装置などの他の表示装置にも適用することができる。

[0175] 以上、本発明の実施の形態について説明したが、今回開示された実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

符号の説明

[0176] １ 液晶表示装置、２，２Ａ，２Ｂ，２Ｃ，２Ｄ，２Ｅ 薄膜トランジスタ基板、３ 対向基板、４ シール材、５ 液晶層、６，７ 偏光板、８ バックライトユニット、１０ 液晶表示パネル、１１ ソースドライバ、１２ ゲートドライバ、１３ 制御部、１４ 走査配線、１４ａ 中継配線、１５ 信号配線、１７，１７Ａ，１７Ｂ，１７Ｃ，１７Ｄ，１７Ｅ 薄膜トランジスタ、１９ 絶縁性基板、１９ａ 主表面、２０ ゲート電極、２１ ゲート絶縁層、３０，３０Ａ，３０Ｂ ソース電極、３１，４１ 第１導電層、３２，４２ 第２導電層、３３，３３Ａ，３３Ｂ，４３，４３Ａ，４３Ｂ 第３導電層、３３ａ，４３ａ 第１接触面、３３ｂ，４３ｂ 第２接触面、４０，４０Ａ，４０Ｂ ドレイン電極、５０ 有機半導体層、５１ パッシベーション膜、５２ 平坦化膜、５３ 画素電極、５３ａ ソース端子、５３ｂ ゲート端子、６０ レジストパターン、６１，６１Ａ，６１Ｂ 第３導電膜、６２ レジスト膜。

請求の範囲

[請求項1]

主表面を有する基板と、
前記主表面上に設けられたゲート電極と、
前記ゲート電極を覆うように前記主表面上に設けられたゲート絶縁層と、
前記ゲート絶縁層上において互いに対峙するとともに各々が前記ゲート絶縁層を介して前記ゲート電極に少なくともその一部が重なるように設けられたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極との間に位置する部分の前記ゲート絶縁層を覆うように、かつ、前記ソース電極上から前記ドレイン電極上に跨るように設けられた有機半導体層とを備え、
前記有機半導体層は、前記ソース電極と前記ドレイン電極との間において前記ゲート電極に重なるように形成されたチャネル領域を含み、
前記ソース電極および前記ドレイン電極は、前記ゲート絶縁層との密着性を高める第1導電層と、前記第1導電層上に積層されるとともに前記第1導電層よりも低い電気抵抗を有する第2導電層と、前記第1導電層および前記第2導電層の前記チャネル領域側に設けられるとともに前記有機半導体層にオーミック接触する第3導電層とを含み、
前記第3導電層は、前記ゲート絶縁層に接する第1接触面と、前記チャネル領域側に位置する前記第1導電層の側面および前記第2導電層の側面に接触する第2接触面とを有する、薄膜トランジスタ。

[請求項2]

前記第3導電層は、前記ゲート絶縁層が位置する側とは反対側に向けて前記第1導電層の側面および前記第2導電層の側面に沿って延在する部分と、前記第1導電層が位置する側とは反対側に向けて前記ゲート絶縁層に沿って延在する部分とによって構成されている、請求項1に記載の薄膜トランジスタ。

[請求項3]

主表面を有する基板と、

前記主表面上に互いに対峙するように設けられたソース電極およびドレイン電極と、

前記ソース電極と前記ドレイン電極との間に位置する部分の前記基板を覆うように、かつ、前記ソース電極上から前記ドレイン電極上に跨るように設けられた有機半導体層と、

前記ソース電極、前記ドレイン電極および前記有機半導体層を覆うように前記主表面上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に前記ゲート絶縁層を介して前記ソース電極および前記ドレイン電極の少なくとも一部ならびに前記ソース電極と前記ドレイン電極との間に位置する前記有機半導体層に重なるように設けられたゲート電極とを備え、

前記有機半導体層は、前記ソース電極と前記ドレイン電極との間において前記ゲート電極に重なるように設けられたチャネル領域を含み、

前記ソース電極および前記ドレイン電極は、前記基板との密着性を高める第1導電層と、前記第1導電層上に積層されるとともに前記第1導電層よりも低い電気抵抗を有する第2導電層と、前記第1導電層および前記第2導電層の前記チャネル領域側に設けられるとともに前記有機半導体層にオーミック接触する第3導電層とを含み、

前記第3導電層は、前記基板の前記主表面に接する第1接触面と、前記チャネル領域側に位置する前記第1導電層の側面および前記第2導電層の側面に接触する第2接触面とを有する、薄膜トランジスタ。

[請求項4]

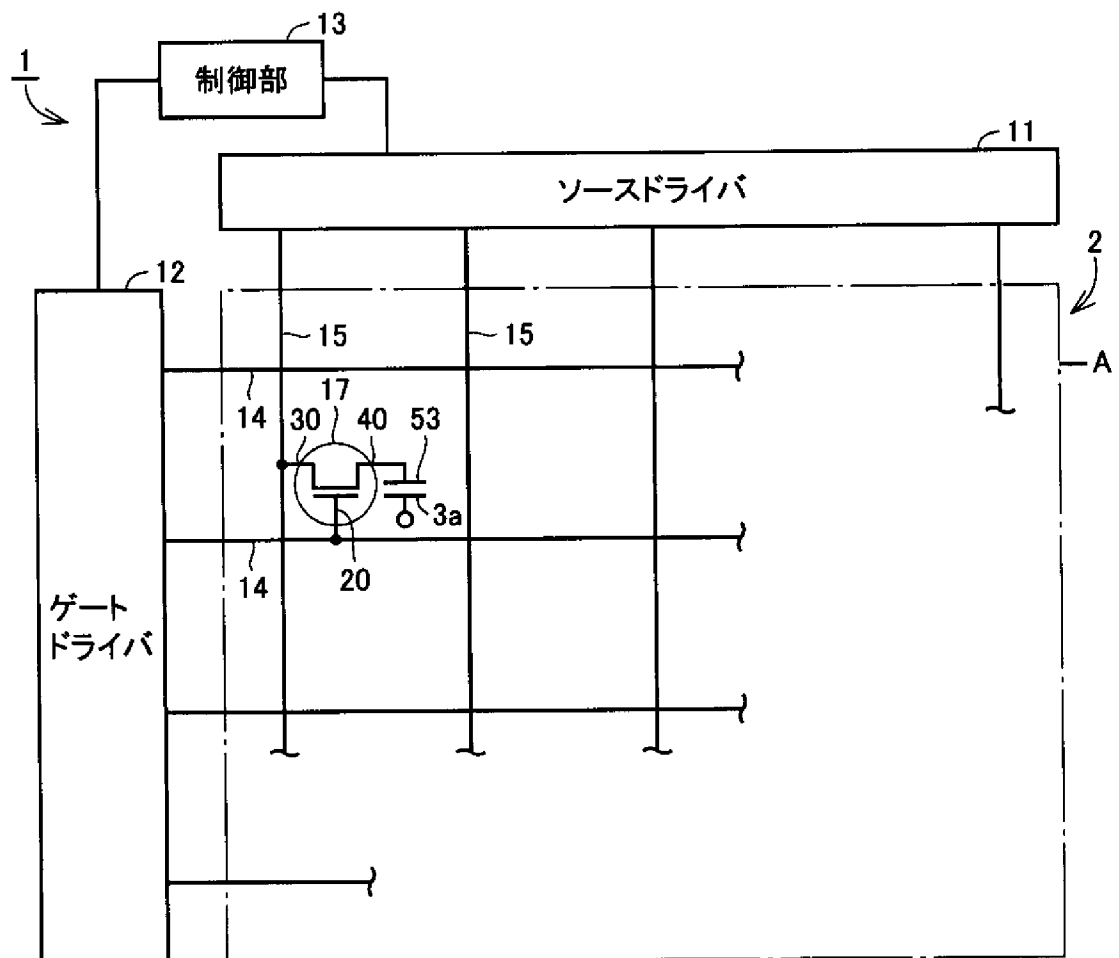
前記第3導電層は、前記基板が位置する側とは反対側に向けて前記第1導電層の側面および前記第2導電層の側面に沿って延在する部分と、前記第1導電層が位置する側とは反対側に向けて前記基板に沿って延在する部分とによって構成されている、請求項3に記載の薄膜トランジスタ。

[請求項5]

前記第3導電層は、前記第1接触面と前記第2接触面との境界部が

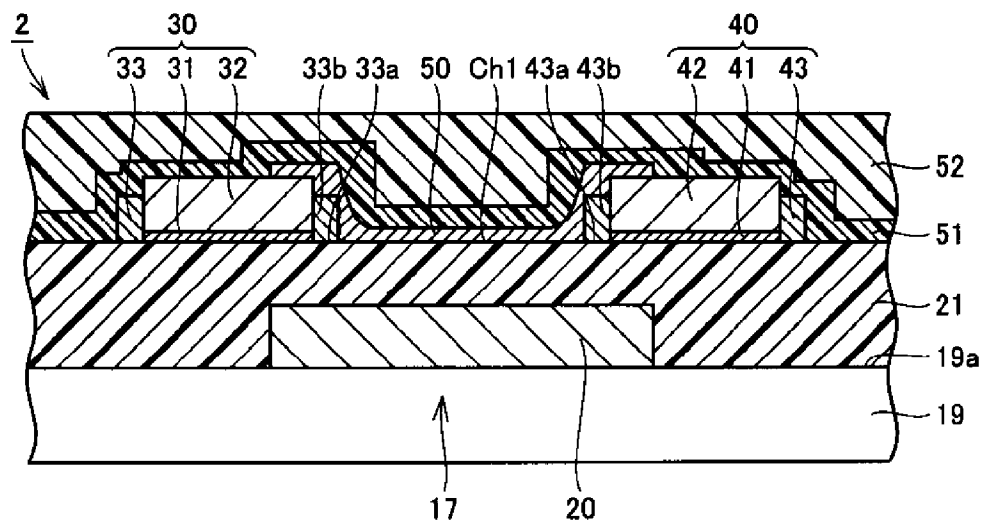
ら遠ざかる方向に向けて膨出する、請求項 1 または 3 に記載の薄膜トランジスタ。

图 1



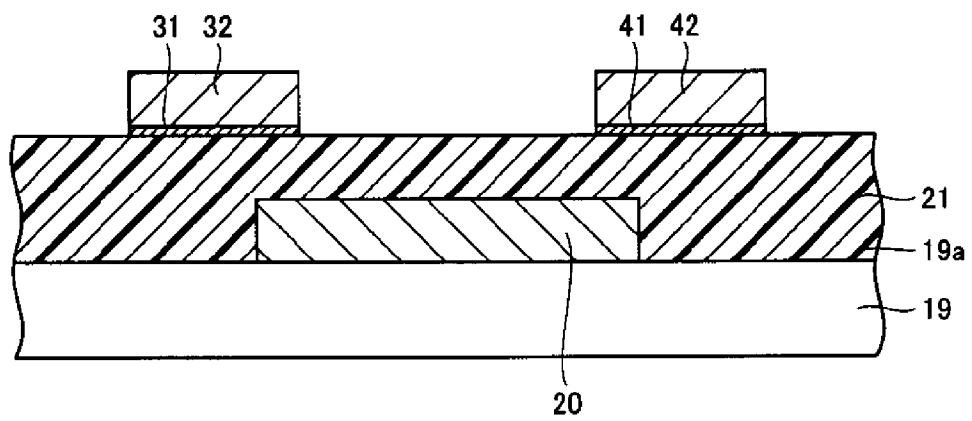
[図4]

図4



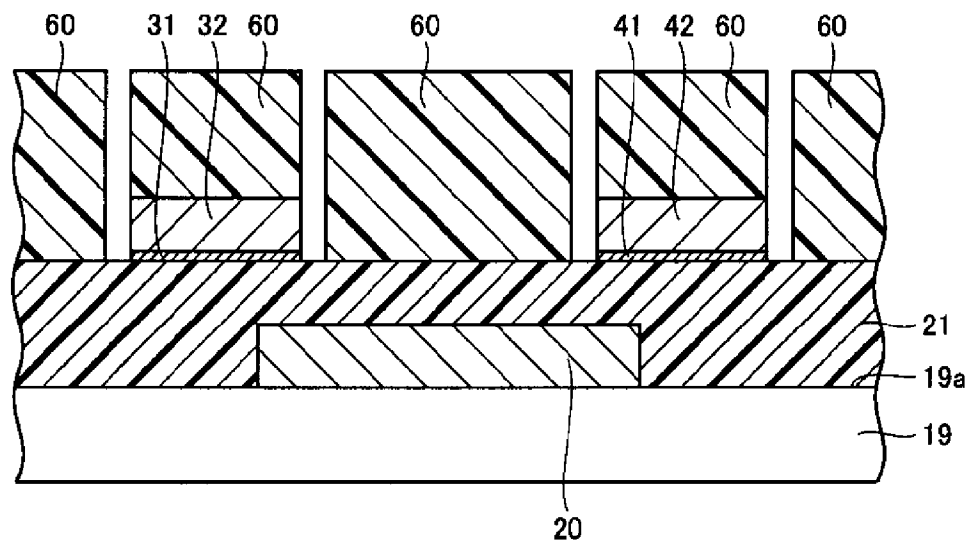
[図5]

図5



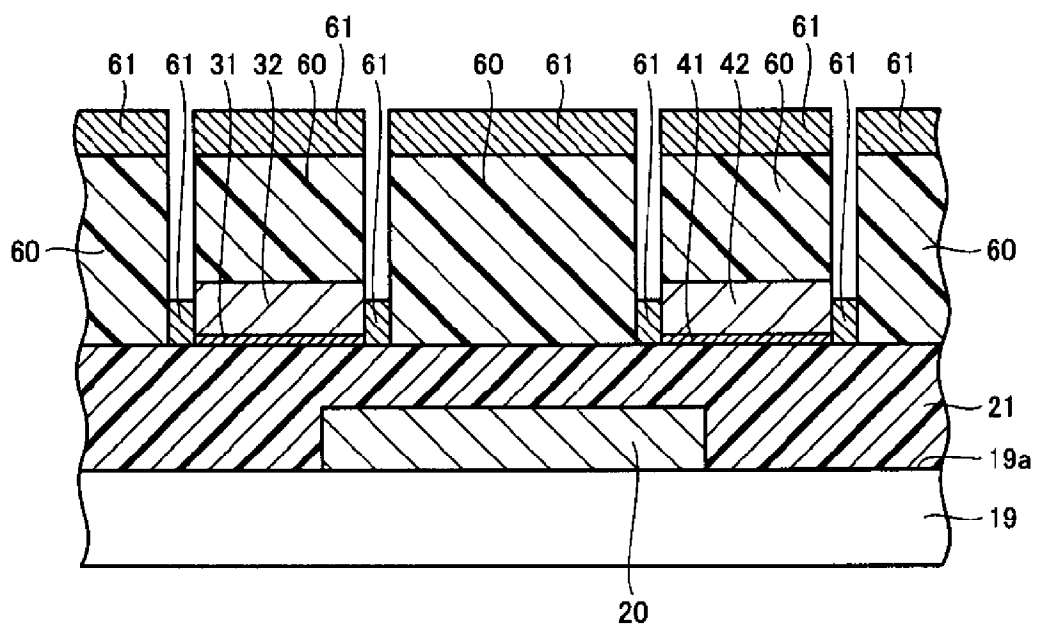
[図6]

図6



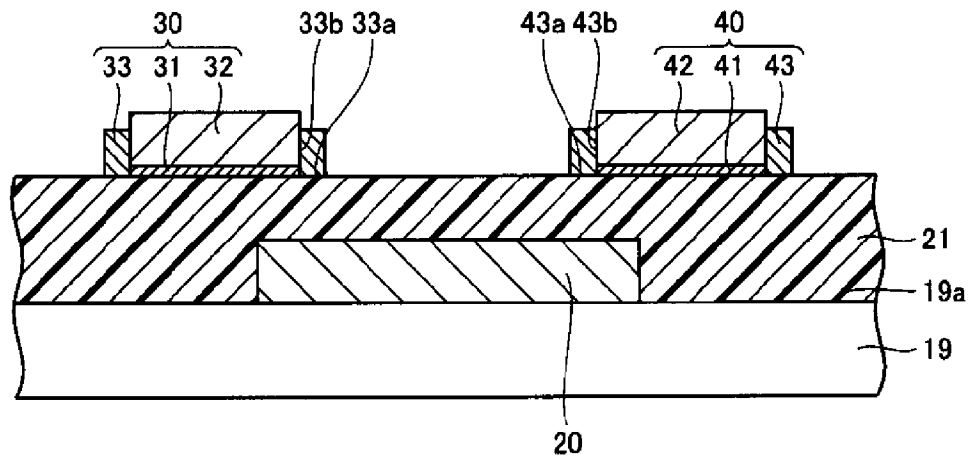
[図7]

図7



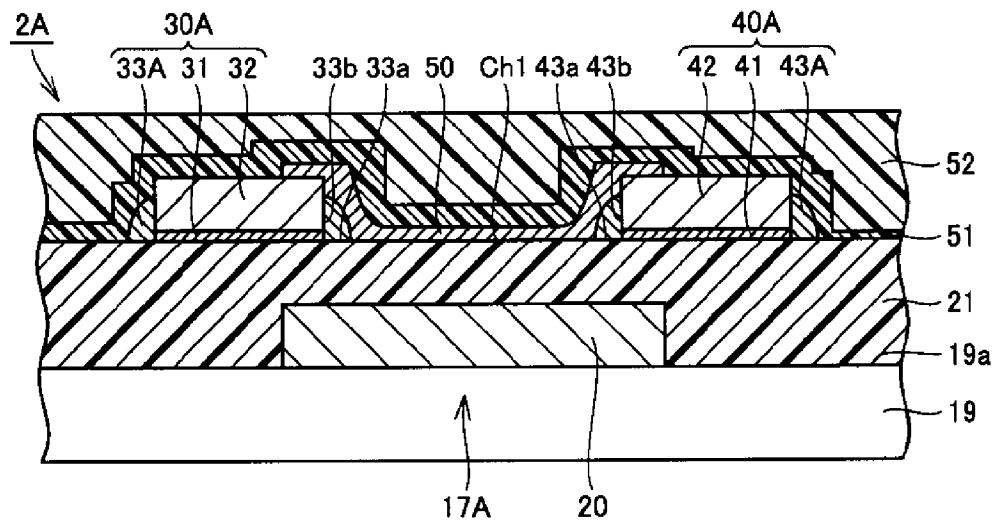
[図8]

図8



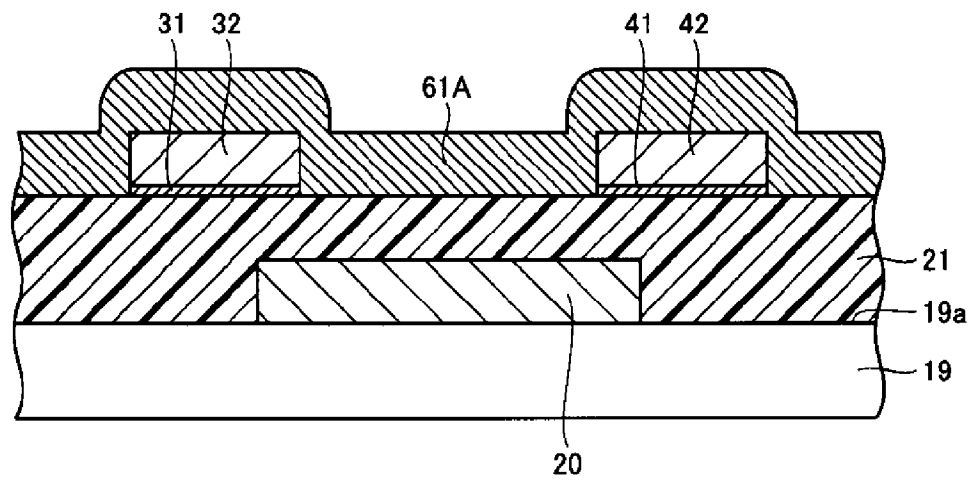
[図9]

図9



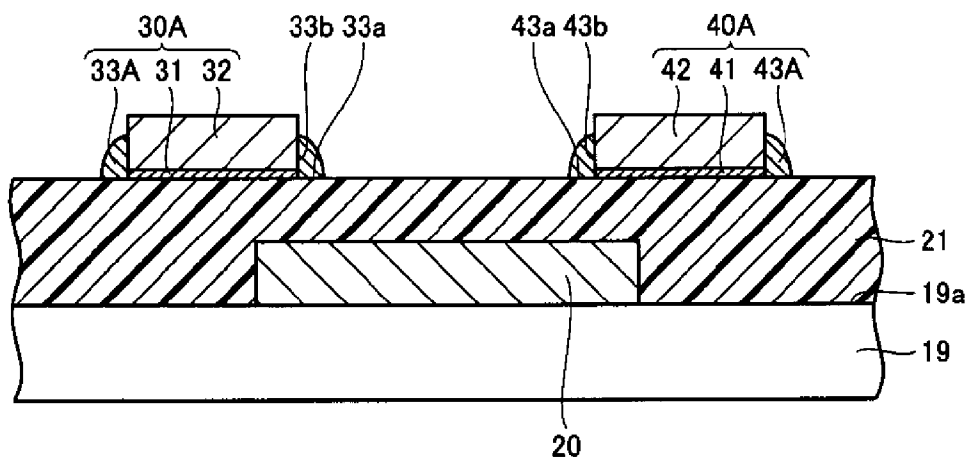
[図10]

図10



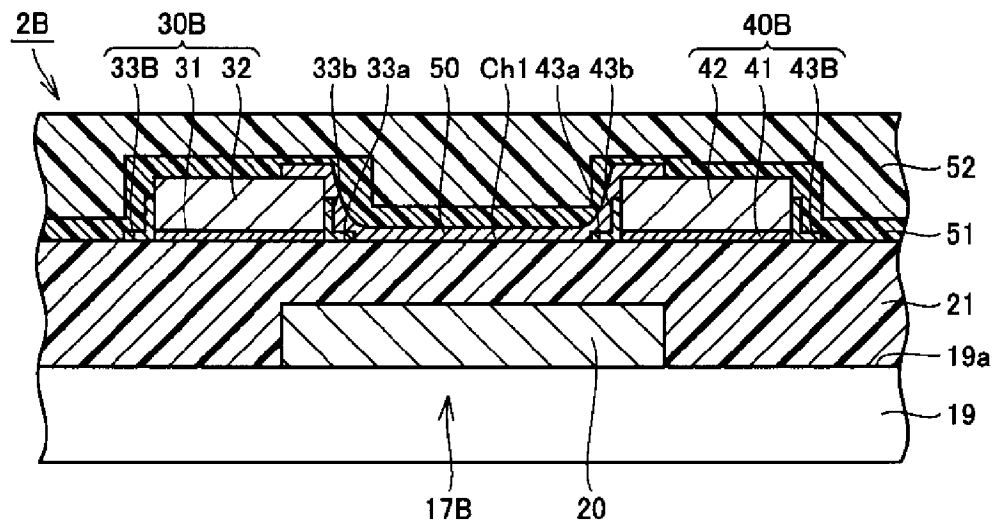
[図11]

図11



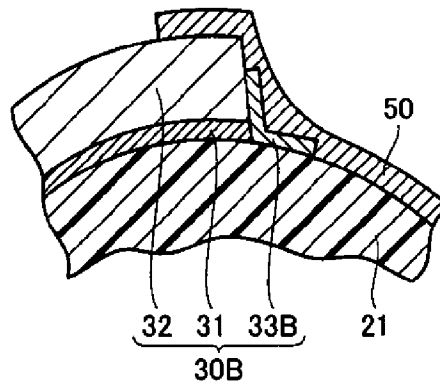
[図12]

図12



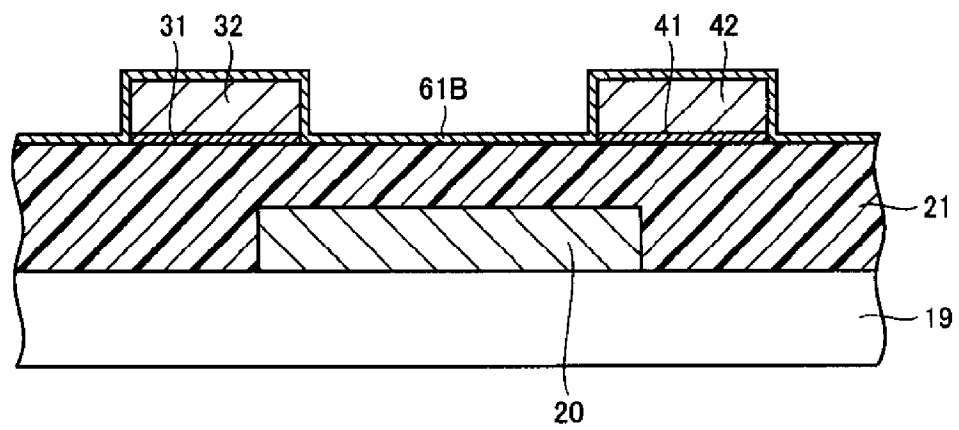
[図13]

図13



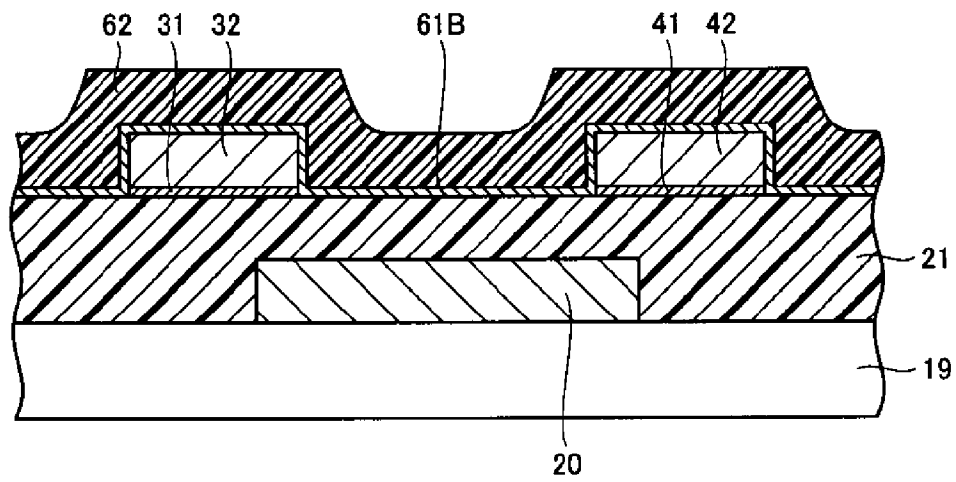
[図14]

図14



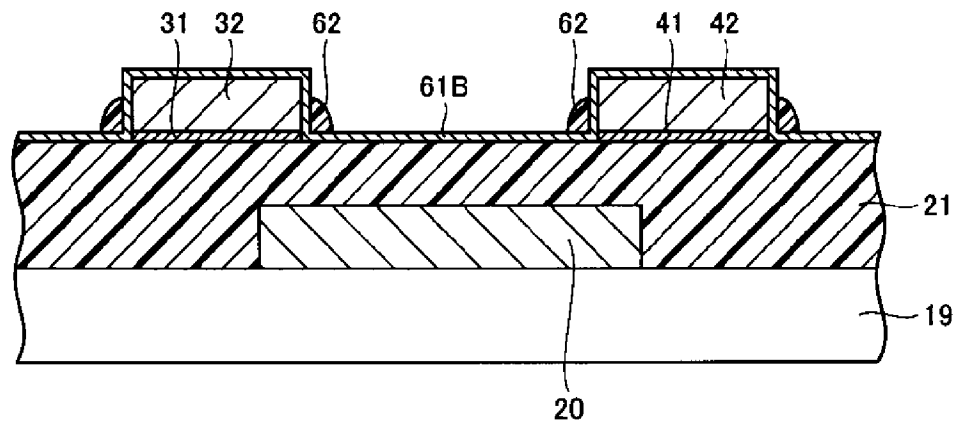
[図15]

図15



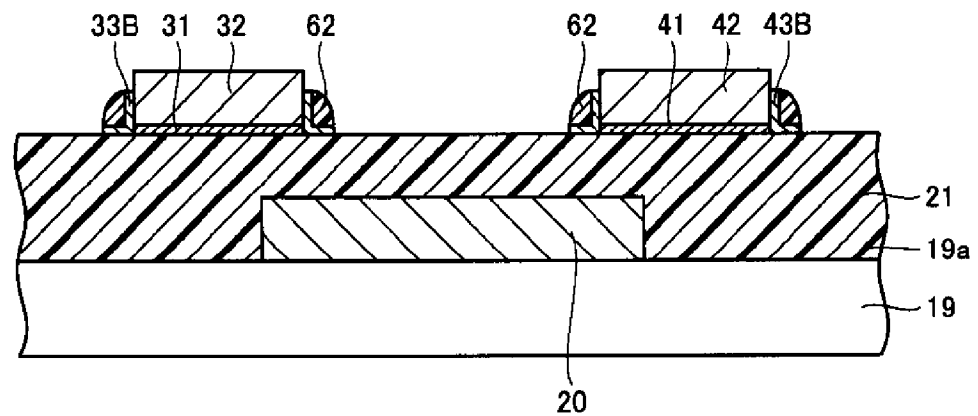
[図16]

図16



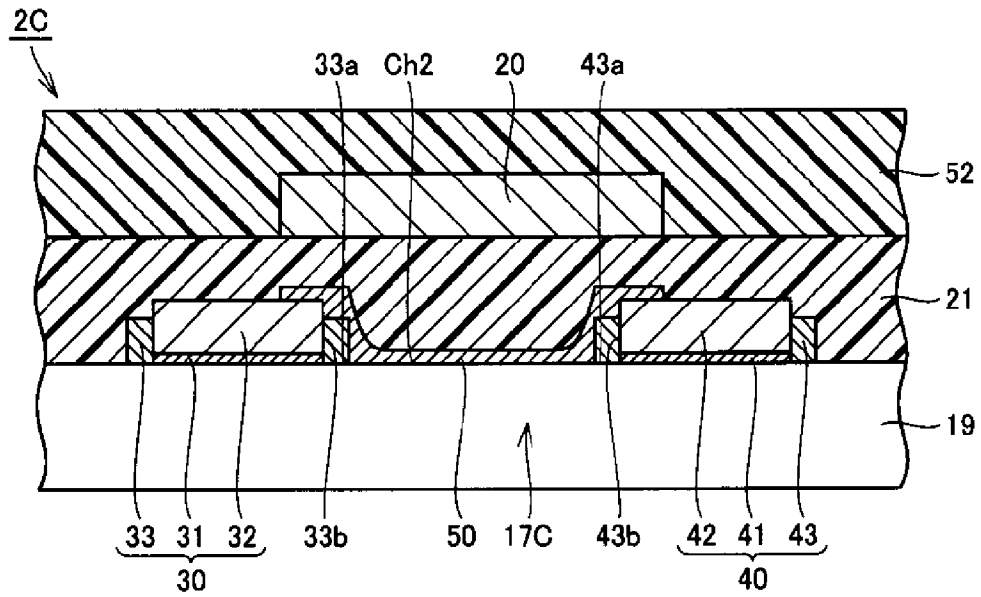
[図17]

図17



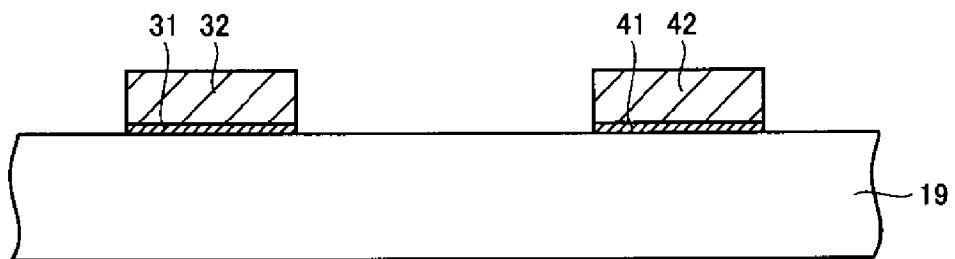
[図18]

図18



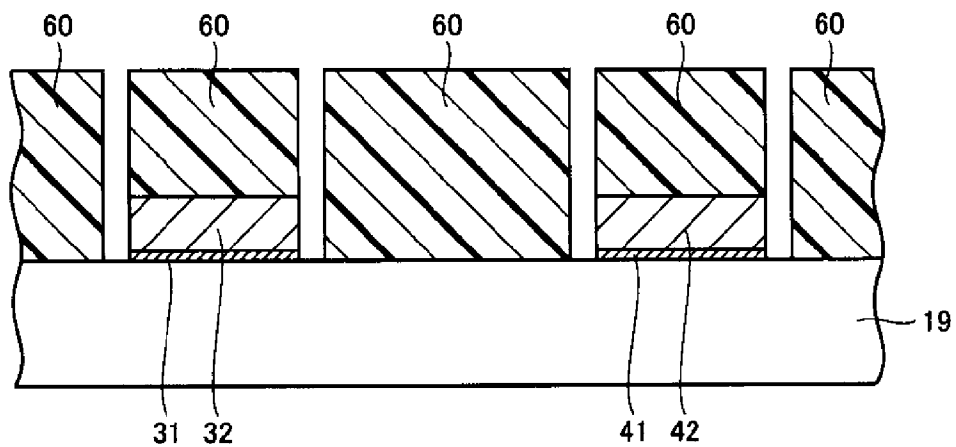
[図19]

図19



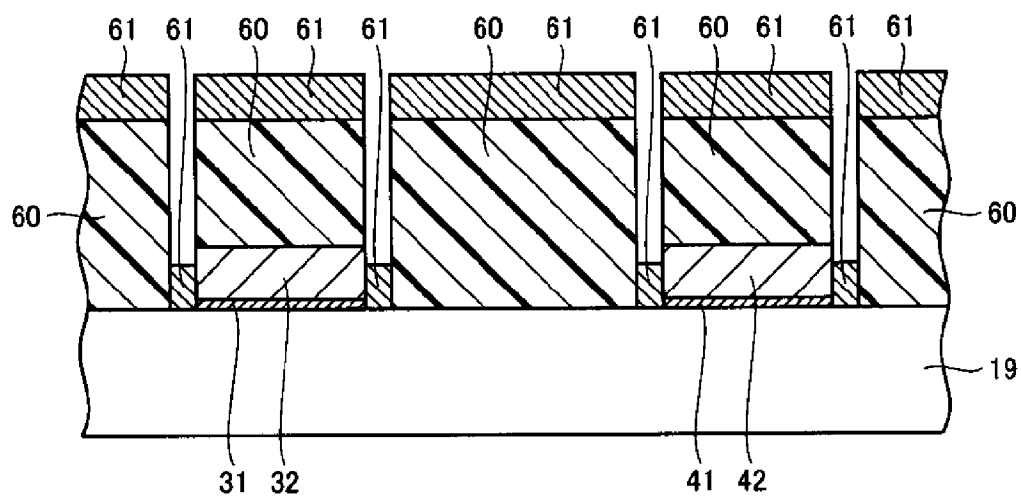
[図20]

図20



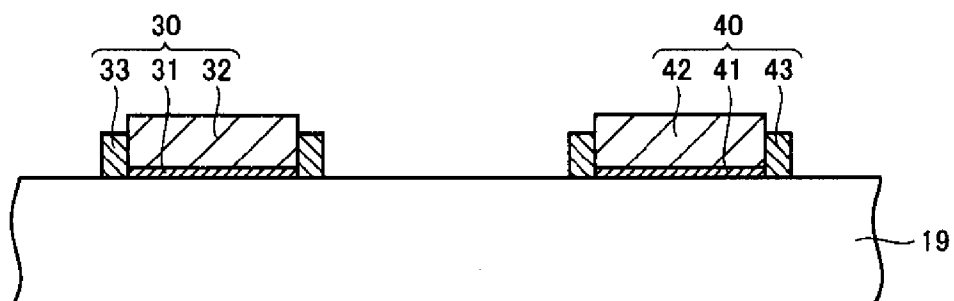
[図21]

図21



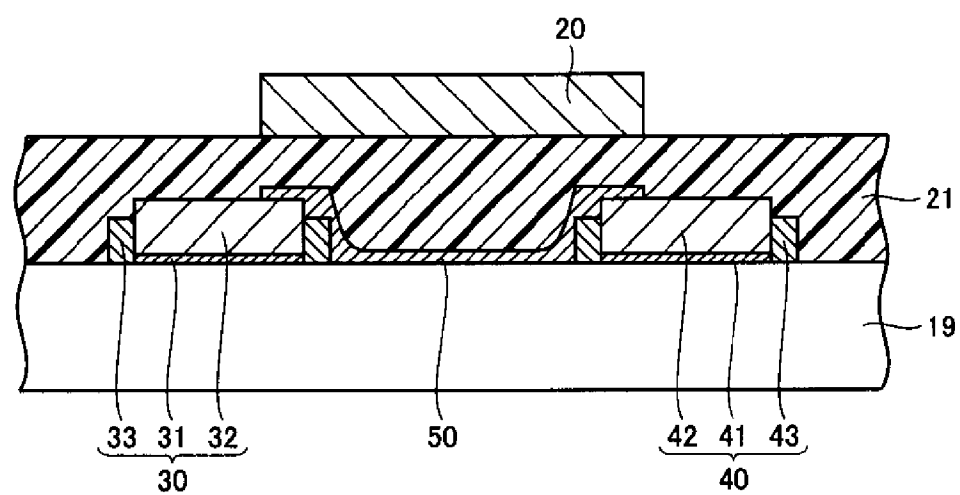
[図22]

図22



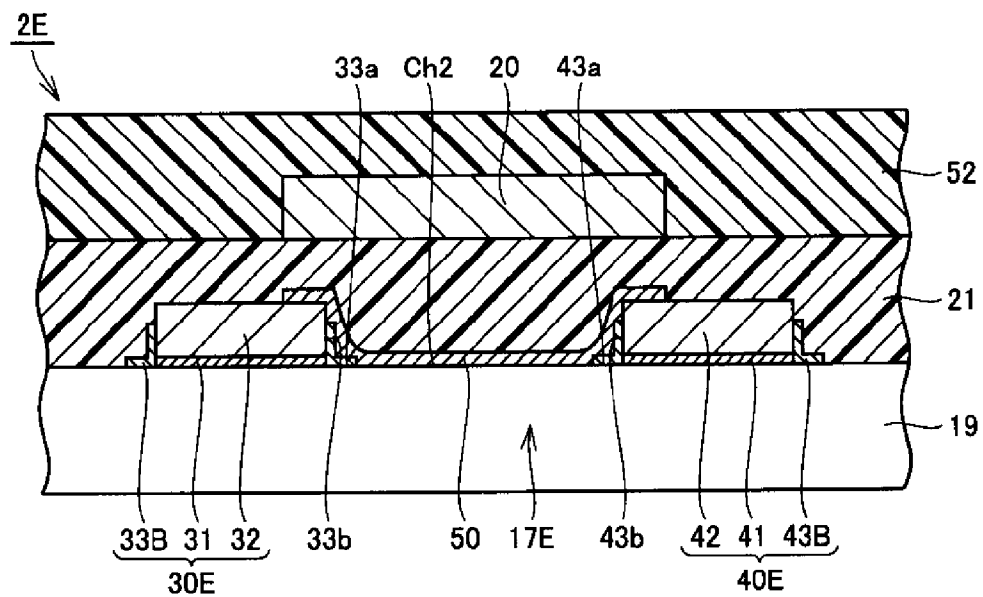
[図23]

図23



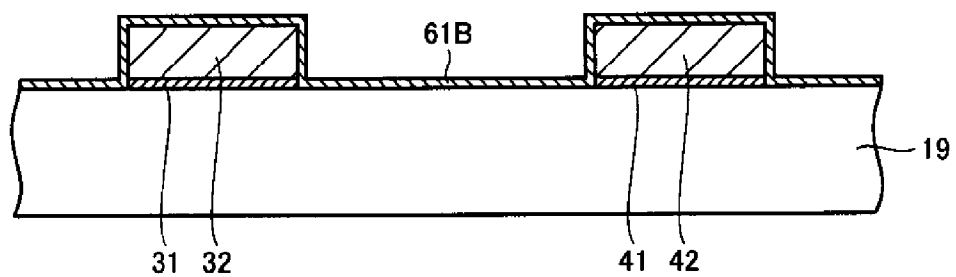
[図27]

図27



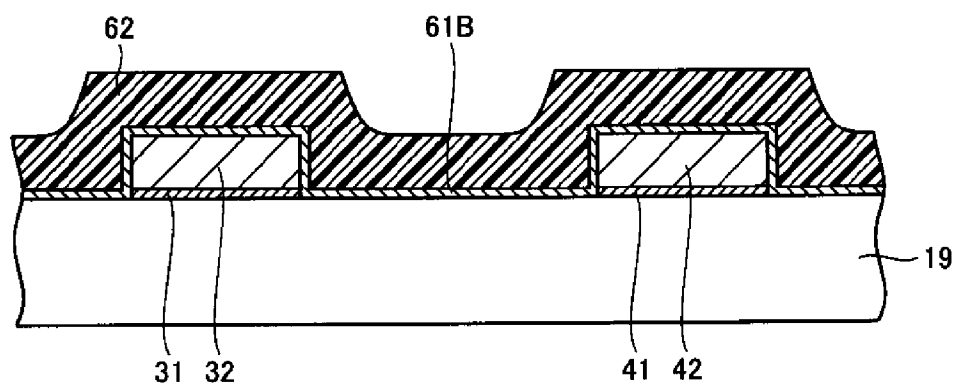
[図28]

図28



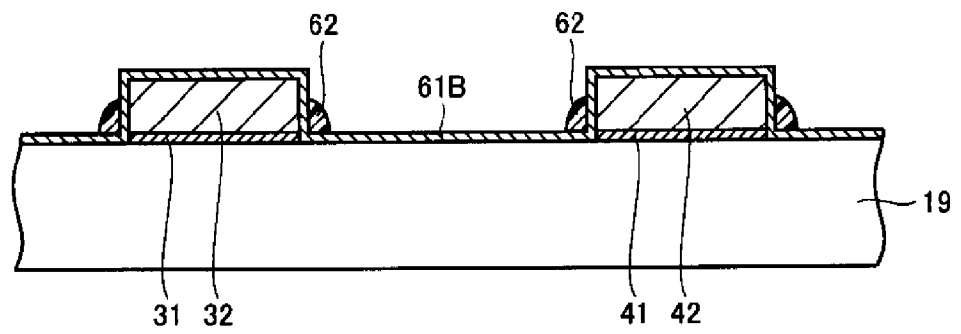
[図29]

図29



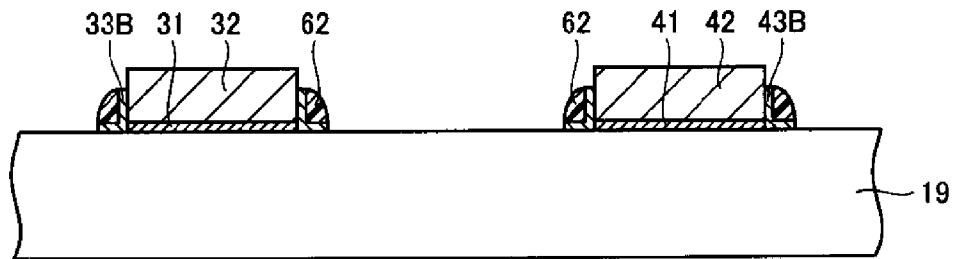
[図30]

図30



[図31]

図31



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/066267

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L29/41(2006.01)i, H01L51/05(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/28, H01L29/41, H01L51/05

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-130920 A (Sony Corp.), 05 June 2008 (05.06.2008), paragraph [0075] & US 2010/0314611 A1 & EP 2091077 A1 & WO 2008/062843 A1 & KR 10-2009-0082419 A & CN 101542698 A & TW 200838006 A	1-5
A	JP 2009-129949 A (Konica Minolta Holdings, Inc.), 11 June 2009 (11.06.2009), paragraphs [0032] to [0033] (Family: none)	1-5
A	JP 2006-302925 A (Sony Corp.), 02 November 2006 (02.11.2006), paragraphs [0069] to [0080] (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 September, 2014 (12.09.14)

Date of mailing of the international search report
22 September, 2014 (22.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/066267

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-173816 A (Samsung Electronics Co., Ltd.), 05 July 2007 (05.07.2007), entire text; all drawings & US 2007/0148456 A1 & KR 10-2007-0064765 A & CN 1987570 A	1-5
A	JP 2006-059896 A (Sony Corp.), 02 March 2006 (02.03.2006), fig. 1 (Family: none)	1-5
A	JP 2006-147613 A (Sony Corp.), 08 June 2006 (08.06.2006), fig. 1 (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L29/41(2006.01)i, H01L51/05(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/28, H01L29/41, H01L51/05

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-130920 A（ソニー株式会社） 2008.06.05, 段落【0075】 & US 2010/0314611 A1 & EP 2091077 A1 & WO 2008/062843 A1 & KR 10-2009-0082419 A & CN 101542698 A & TW 200838006 A	1-5
A	JP 2009-129949 A（コニカミノルタホールディングス株式会社） 2009.06.11, 段落【0032】－【0033】 （ファミリーなし）	1-5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 9 . 2 0 1 4

国際調査報告の発送日

2 2 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山口 大志

5 F

4 0 5 3

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-302925 A (ソニー株式会社) 2006.11.02, 段落【0069】－【0080】 (ファミリーなし)	1-5
A	JP 2007-173816 A (三星電子株式会社) 2007.07.05, 全文、全図 & US 2007/0148456 A1 & KR 10-2007-0064765 A & CN 1987570 A	1-5
A	JP 2006-059896 A (ソニー株式会社) 2006.03.02, 【図1】 (ファミリーなし)	1-5
A	JP 2006-147613 A (ソニー株式会社) 2006.06.08, 【図1】 (ファミリーなし)	1-5