(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월23일
(11) 등록번호 10-0880155
(24) 등록일자 2009년01월16일

(51) Int. Cl.[9]
H01L 29/786 (2006.01)
(21) 출원번호 10-2007-0081237
(22) 출원일자 2007년08월13일
심사청구일자 2007년08월13일
(56) 선행기술조사문헌
US5389580 A*
KR1020060049062 A*
KR1020070001439 A
KR100341709 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 서천동 1 경희대학교 국제캠퍼스내
(72) 발명자
장 진
서울 서초구 잠원동 65-32 신반포7차아파트 302-908
천준혁
서울 동대문구 회기동 1 경희대학교 정보디스플레이학과
(뒷면에 계속)
(74) 대리인
김인한, 김희곤

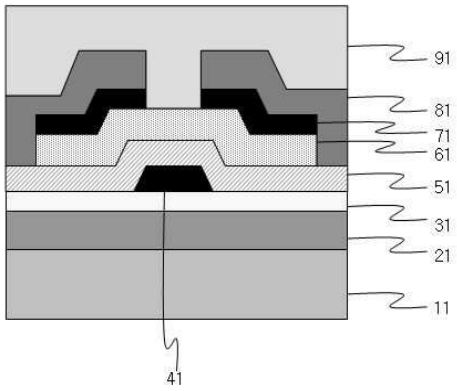
전체 청구항 수 : 총 22 항 심사관 : 최광섭

(54) 박막 트랜지스터 및 그 제조 방법

(57) 요 약

본 발명은 플렉서블(Flexible)한 그라파이트 기판(graphite substrate, 흑연 기판)을 구비한 박막 트랜지스터 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 폴리이미드(Polyimide, PI) 또는 실리케이트(Slicate)를 이용하여 평탄화 처리된 그라파이트 기판 상에 형성된 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

대 표 도 - 도1



(72) 발명자

배중호

서울 동대문구 회기동 경희대학교 정보디스플레이 학과

이원규

서울 동대문구 회기동 경희대학교 정보디스플레이 학과

특허청구의 범위

청구항 1

기판 상에 게이트 전극, 소오스 및 드레인 전극을 포함하는 박막트랜지스터에 있어서,

상기 기판은 플렉서블한 특성을 가진 그라파이트 기판으로 형성되고,

상기 그라파이트 기판상에 폴리이미드(Polyimide) 또는 실리케이트(silicate)를 이용하여 불규칙한 표면이 평탄화 처리된 평탄화층을 더 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제 1항에 있어서,

상기 박막 트랜지스터는 기판 상에 게이트 전극, 게이트 절연막, 비정질 실리콘층, N+ 비정질 실리콘층, 소오스 및 드레인 전극이 차례대로 형성된 역 스태거드형 박막트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제 1항에 있어서,

상기 박막 트랜지스터는 기판 상에 소스 및 드레인 전극, N+ 비정질 실리콘층, 비정질 실리콘층, 게이트 절연막 및 게이트 전극이 차례대로 형성된 스태거드형 박막트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제 1항에 있어서,

상기 박막 트랜지스터는 기판 상에 폴리실리콘층, 상기 폴리실리콘층 상에 게이트 전극, 소스 및 드레인 전극이 형성된 코플라나형 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제 2항에 있어서,

상기 비정질 실리콘 층 상에 형성된 에치 스토퍼를 더 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제 5항에 있어서,

상기 에치 스토퍼는

10 ~ 100㎚ 범위의 두께로 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제 1항 내지 제 4항 중 선택된 어느 하나의 항에 있어서,

상기 평탄화층 상에 단일층 또는 2 이상의 복수층으로 형성된 절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 8

제 7항에 있어서,

상기 절연막이 2 이상의 복수층으로 형성된 경우 최하부에 형성되는 층은 폴리아미드(PI) 또는 실리케이트로 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 9

제 1항 내지 제 4항 중 선택된 어느 하나의 항에 있어서,

상기 그라파이트 기판은

30 ~ 500um 범위의 두께로 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 10

삭제

청구항 11

제 1항에 있어서,

상기 평탄화층이 실리케이트를 이용하는 경우

상기 평탄화층은 상기 그라파이트 기판 전체를 감싸는 형태로 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 12

제 1항에 있어서,

상기 평탄화층은

100nm ~ 5000nm 범위의 두께로 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 13

기판 상에 게이트 전극, 소스 및 드레인 전극을 형성하는 박막 트랜지스터 제조 방법에 있어서,

플렉서블한 특성을 가지는 그라파이트 기판 상에 폴리이미드(Polyimide) 또는 실리케이트(silicate)를 이용하여 스핀코팅 또는 화학적 기계적연마(CMP) 방법에 의해 표면이 평탄화 처리된 평탄화층을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 14

제 13항에 있어서,

상기 박막 트랜지스터가 역 스태거드 방식인 경우, 상기 평탄화층을 형성하는 단계 이후에,

상기 평탄화층 상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 비정질 실리콘 층을 형성하는 단계와;

상기 비정질 실리콘 층 상에 N+ 비정질 실리콘층을 형성하는 단계 및;

상기 N+ 비정질 실리콘층 상에 소오스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 15

제 13항에 있어서,

상기 박막 트랜지스터가 스태거드 방식인 경우, 상기 평탄화층을 형성하는 단계 이후에,

상기 평탄화층 상에 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 상에 N+ 비정질 실리콘층을 형성하는 단계와;

상기 N+ 비정질 실리콘층 상에 비정질 실리콘 층을 형성하는 단계와;

상기 비정질 실리콘 층 상에 게이트 절연막을 형성하는 단계 및;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 16

제 13항에 있어서,

상기 박막 트랜지스터가 코플라나 방식인 경우, 상기 평탄화층을 형성한 이후에,

상기 평탄화층 상에 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 외부 상기 폴리실리콘층에 이온을 주입하여 N+ 또는 P+층을 형성하는 단계와;

상기 게이트 전극 상에 보호 절연막을 형성하는 단계와;

상기 보호 절연막 상에 소스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 17

제 14항에 있어서,

상기 비정질 실리콘 층 상에 에치 스토퍼를 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 18

제 17항에 있어서,

상기 에치 스토퍼 형성 단계는

10 ~ 100nm 범위의 두께로 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 19

제 13항 내지 제 16항 중 선택된 어느 하나의 항에 있어서,

상기 평탄화층 상에 단일층 또는 2 이상의 복수층으로 형성된 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 20

제 19항에 있어서,

상기 절연막 형성 단계는

상기 절연막이 2 이상의 복수층으로 형성되는 경우 최하부에 형성되는 층은 폴리아미드(PI) 또는 실리케이트를 이용하여 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 21

제 13항 내지 제 16항 중 선택된 어느 하나의 항에 있어서,

상기 그라파이트 기판은

30 ~ 500um 범위의 두께로 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 22

삭제

청구항 23

제 13항에 있어서,

상기 평탄화층 형성을 위해 실리케이트를 이용하는 경우

상기 평탄화층이 상기 그라파이트 기판 전체를 감싸는 형태로 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 24

제 13항에 있어서,

상기 평탄화층은 100nm ~ 5000nm 범위의 두께로 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 플렉서블(Flexible)한 그라파이트 기판(graphite substrate, 흑연 기판)을 구비한 박막 트랜지스터 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 폴리이미드(Polyimide, PI) 또는 실리케이트(Slicate)를 이용하여 평탄화 처리된 그라파이트 기판 상에 형성된 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

<2> 본 발명은 평면 패널형 디스플레이 장치의 드라이버 IC를 구성하는 박막 트랜지스터에 적용될 수 있다.

배 경 기 술

<3> 최근 정보 처리의 극대화와 더불어 OA, FA 기기도 점점 범용화되면서 대용량의 정보교환을 보다 정확하고 원활히 수행하기 위한 뛰어난 정보전자 소자의 수요가 폭발적으로 증가하고 있다.

<4> 이중 디스플레이 부분에서 일반적으로 사용되던 표시장치 중의 하나인 CRT(Cathode Ray Tube)는 TV를 비롯해서 계측기기, 정보 단말기기 등의 모니터에 주로 이용되고 있으나, 높은 휘도에도 불구하고 CRT의 자체 무게와 두께로 인해 전자 제품의 소형화, 경량화의 요구에 적극적으로 대응할 수 없었다.

<5> 따라서, 각종 디스플레이 장치가 박형, 소형, 경량화되는 추세에서 CRT는 일정한 한계를 가지고 있으며 이를 대체하기 위해 저 구동전압, 저 소비 전력의 특성을 갖는 액정표시장치(Liquid Crystal Display, LCD), 유기전계 디스플레이 장치(AMOLED), 가스 방전을 이용한 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계 발광 효과를 이용한 EL 표시소자(Electro Luminescence Display, ELD)등의 평면 패널형 디스플레이 장치에 대한 욕구가 급증하고 있으며, 이들의 실용화도 급속히 진행되고 있다.

<6> 이러한 욕구를 충족시키기 위해서는 경량화가 가능하고 고 휘도 및 고 해상도를 구현할 수 있으며 응답속도가 빠르고 시야각이 넓은 장점을 가지면서도, 플렉서블한 기판을 이용하여 종이와 같이 휘어질 수 있는 디스플레이 장치의 구현이 무엇보다도 필요한 실정이다.

발명의 내용

해결 하고자하는 과제

<7> 본 발명은 상기와 같은 필요성에 의해 안출된 것으로써, 본 발명의 목적은 플렉서블한 특성을 가지는 표면이 불규칙한 그라파이트 기판을 평탄화하고, 상기 그라파이트 기판 상에 형성된 박막 트랜지스터 및 그 제조 방법을 제공하는 데 있다.

과제 해결수단

<8> 상기와 같은 목적을 달성하기 위해 본 발명에 따른 박막 트랜지스터는 기판 상에 게이트 전극, 소오스 및 드레인 전극을 포함하는 박막트랜지스터에 있어서,상기 기판은 플렉서블한 특성을 가진 그라파이트 기판으로 형성되고, 상기 그라파이트 기판 상에 불규칙한 표면이 평탄화 처리된 평탄화층을 더 포함하는 것을 특징으로 한다.

<9> 여기서, 본 발명의 제 1실시예에 따른 박막 트랜지스터는 기판 상에 게이트 전극, 게이트 절연막, 비정질 실리콘층, N+ 비정질 실리콘층, 소오스 및 드레인 전극이 차례대로 형성된 박막트랜지스터이며, 상기 기판은 플렉

서블한 특성을 가진 그라파이트 기판으로 형성되고, 상기 그라파이트 기판 상에 불규칙한 표면이 평탄화 처리된 평탄화층을 더 포함하는 것을 특징으로 한다.

<10> 여기서, 상기 박막 트랜지스터는 상기 비정질 실리콘 층 상에 형성된 에치 스토퍼를 더 포함하는 것을 특징으로 한다. 그리고, 상기 에치 스토퍼는 10 ~ 100nm 범위의 두께로 형성되는 것이 바람직하다.

<11> 한편, 본 발명의 제 2실시예에 따른 박막 트랜지스터는 기판 상에 소스 및 드레인 전극, N+ 비정질 실리콘층, 비정질 실리콘층, 게이트 절연막 및 게이트 전극이 차례대로 형성된 스태거드형 박막트랜지스터이며, 상기 기판은 플렉서블한 특성을 가진 그라파이트 기판으로 형성되고, 상기 그라파이트 기판 상에 불규칙한 표면이 평탄화 처리된 평탄화층을 더 포함하는 것을 특징으로 한다.

<12> 그리고, 본 발명의 제 3실시예에 따른 박막 트랜지스터는 상기 박막 트랜지스터는 기판 상에 폴리실리콘층, 상기 폴리실리콘층 상에 게이트 전극, 소스 및 드레인 전극이 형성된 코플라나형 박막 트랜지스터이며, 상기 기판은 플렉서블한 특성을 가진 그라파이트 기판으로 형성되고, 상기 그라파이트 기판 상에 불규칙한 표면이 평탄화 처리된 평탄화층을 더 포함하는 것을 특징으로 한다.

<13> 그리고, 상기 제 1 내지 3 실시예에 따른 박막 트랜지스터는 평탄화층 상에 단일층 또는 2 이상의 복수층으로 형성된 절연막을 더 포함하는 것을 특징으로 한다.

<14> 여기서, 상기 절연막이 2 이상의 복수층으로 형성된 경우 최하부에 형성되는 층은 폴리아미드(PI) 또는 실리케이트로 형성된 것을 특징으로 한다.

<15> 또한, 상기 제 1 내지 3 실시예의 그라파이트 기판은 30 ~ 500um 범위의 두께로 형성되는 것이 바람직하다.

<16> 그리고, 상기 평탄화층은 상부에 폴리이미드(Polyimide) 또는 실리케이트(silicate)를 이용하여 형성된 것을 특징으로 한다.

<17> 여기서, 상기 평탄화층이 실리케이트를 이용하는 경우 상기 평탄화층은 상기 그라파이트 기판 전체를 감싸는 형태로 형성된 것을 특징으로 한다.

<18> 또한, 상기 평탄화층은 100nm ~ 5000nm 범위의 두께로 형성된 것을 특징으로 한다.

<19> 한편, 본 발명에 따른 박막트랜지스터 제조 방법은 기판 상에 게이트 전극, 소스 및 드레인 전극을 형성하는 박막 트랜지스터 제조 방법에 있어서, 플렉서블한 특성을 가지는 그라파이트 기판 상에 표면이 평탄화 처리된 평탄화층을 형성하는 단계를 포함하는 것을 특징으로 한다.

<20> 여기서, 본 발명의 제 1 실시예에 따른 박막트랜지스터 제조 방법은 플렉서블한 특성을 가지는 그라파이트 기판 상에 표면이 평탄화 처리된 평탄화층을 형성하는 단계와 상기 평탄화층 상에 게이트 전극을 형성하는 단계와 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와 상기 게이트 절연막 상에 비정질 실리콘 층을 형성하는 단계와 상기 비정질 실리콘 층 상에 N+ 비정질 실리콘층을 형성하는 단계 및 상기 N+층 상에 소오스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<21> 그리고, 상기 비정질 실리콘 층 상에 에치 스토퍼를 형성하는 단계를 더 포함하는 것을 특징으로 한다. 여기서, 상기 에치 스토퍼는 10 ~ 100nm 범위의 두께로 형성하는 것이 바람직하다.

<22> 한편, 본 발명의 제 2 실시예에 따른 박막 트랜지스터 제조 방법은 플렉서블한 특성을 가지는 그라파이트 기판 상에 표면이 평탄화 처리된 평탄화층을 형성하는 단계와 상기 평탄화층 상에 소스 및 드레인 전극을 형성하는 단계와 상기 소스 및 드레인 전극 상에 N+ 비정질 실리콘층을 형성하는 단계와 상기 N+ 비정질 실리콘층 상에 비정질 실리콘 층을 형성하는 단계와 상기 비정질 실리콘 층 상에 게이트 절연막을 형성하는 단계 및 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<23> 또한, 본 발명의 제 3 실시예에 따른 박막 트랜지스터는 플렉서블한 특성을 가지는 그라파이트 기판 상에 표면이 평탄화 처리된 평탄화층을 형성하는 단계와 상기 평탄화층 상에 폴리실리콘층을 형성하는 단계와 상기 폴리실리콘 상에 게이트 절연막을 형성하는 단계와 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와 상기 게이트 전극 외부 상기 폴리실리콘층에 이온을 주입하여 N+ 또는 P+층을 형성하는 단계와 상기 게이트 전극 상에 보호 절연막을 형성하는 단계와 상기 보호 절연막 상에 소스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<24> 그리고, 상기 제 1 내지 3 실시예에 따른 박막 트랜지스터 제조 방법은 상기 평탄화층 상에 상기 평탄화층 상에

단일층 또는 2 이상의 복수층으로 형성된 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<25> 여기서, 절연막 형성 단계는 상기 절연막이 2 이상의 복수층으로 형성되는 경우 최하부에 형성되는 층은 폴리아미드(PI) 또는 실리케이트를 이용하여 형성하는 것을 특징으로 한다.

<26> 또한, 상기 평탄화층 형성 단계는 그라파이트 기판 상부에 폴리이미드(Polyimide) 또는 실리케이트(silicate)를 이용하여 스핀코팅 또는 화학적 기계적 연마(CMP) 방법에 의해 형성하는 것을 특징으로 한다.

<27> 여기서, 상기 평탄화층 형성을 위해 실리케이트를 이용하는 경우 상기 평탄화층이 상기 그라파이트 기판 전체를 감싸는 형태로 형성하는 것을 특징으로 한다.

<28> 그리고, 상기 평탄화층은 100nm ~ 5000nm 범위의 두께로 형성하는 것을 특징으로 한다.

효 과

<29> 상기에서 살펴본 바와 같이, 본 발명에 따른 박막트랜지스터 및 그 제조 방법은 종이와 같이 휘어질 수 있는 플렉서블한 특성을 가지면서 고 휘도, 고 해상도, 빠른 응답속도 및 광 시야각을 제공할 수 있는 탁월한 효과가 발생한다.

발명의 실시를 위한 구체적인 내용

<30> 이하, 본 발명의 구체적인 구성 및 작용에 대하여 도면 및 실시예를 참조하여 상세하게 설명하기로 한다.

<31> 본 발명은 그라파이트 기판 상에 게이트 전극, 소스 및 드레인 전극을 포함하는 박막 트랜지스터이기만 하면 어떠한 방식의 박막 트랜지스터에도 적용할 수 있으나, 하기의 실시예에서는 역스태거드 방식, 스태거드 방식, 코플라나 방식에 대해서만 살펴 보기로 한다.

<32> <제 1 실시예>

<33> 도 1은 본 발명의 제 1 실시예에 따른 박막 트랜지스터를 개략적으로 도시한 단면도이다.

<34> 도 1을 참조하면, 본 발명의 제 1 실시예에 따른 박막 트랜지스터는 플렉서블한 특성을 가진 그라파이트(Graphite, 흑연) 기판(11)과 상기 그라파이트 기판 상에 형성된 평탄화층(21)과 상기 평탄화층 상에 형성된 게이트 전극(41)과 상기 게이트 전극 상에 형성된 게이트 절연막(51)과 상기 게이트 절연막 상에 형성된 비정질 실리콘 층(61)과 상기 비정질 실리콘층 상에 형성된 N+ 비정질 실리콘층(71)과 상기 N+ 비정질 실리콘층 상에 형성된 소오스 및 드레인 전극(81) 및 상기 소오스 및 드레인 전극 상에 형성된 보호 절연막(Passivation)(91)을 포함하여 구성될 수 있다.

<35> 여기서, 상기 평탄화층 상에 형성된 절연막(31)을 더 포함하여 구성될 수 있으며, 상기 상기 비정질 실리콘층 상에 형성된 에치 스토퍼(도 5, 100)를 더 포함하여 구성될 수 있다.

<36> 상기와 같이 구성되는 본 발명의 제 1 실시예에 따른 박막트랜지스터 제조방법에 대해 살펴보면 하기와 같다.

<37> 먼저, 플렉서블한 특성을 가지는 그라파이트 기판을 준비한다. 보다 구체적으로, 불규칙한 표면을 가지는 그라파이트 기판(11)의 표면을 평탄화시키기 위해서 평탄화 공정을 수행한다.

<38> 도 2는 본 발명의 바람직한 실시예에 따른 그라파이트 기판 상에 PI(Polyimide)를 이용하여 평탄화한 모식도이고, 도 3a 및 도 3b는 그라파이트 기판 상에 실리케이트(Spin-on-Glass)를 이용하여 평탄화한 모식도이다.

<39> 상기 평탄화 공정은 스핀 코팅(Spin coating) 공정을 이용하여 상기 플렉서블 그라파이트 기판의 표면을 절연층으로 피복할 수 있다. 이 경우에는 절연층을 평탄화 되지 않은 그라파이트 기판 표면에 형성시킴으로써 다른 부분보다 낮은 부분에는 절연층이 두껍게 형성되고, 다른 부분보다 높은 부분에는 절연층이 더 낮게 형성되어 전체적으로 평탄화되어 상기 그라파이트 기판 상에 평탄화층이 형성될 수 있다.

<40> 여기서 도 2 , 도 3a 및 도 3b를 참조하면, 상기 그라파이트 기판(12,13,14) 상에 폴리이미드(Polyimide, PI)(22) 또는 실리케이트(Silicate, Spin-on-Glass)(23,24)를 이용하여 평탄화층을 형성할 수 있으며, 하나의 층 또는 복수의 층으로 형성할 수 있다.

<41> 만일, 상기 실리케이트를 이용하여 평탄화할 경우에는 도 3b와 같이 그라파이트 기판 전체를 감싸는 형태로 평탄화가 진행될 수 있다.

<42> 상기 폴리이미드(PI) 또는 실리케이트(Spin-on-Glass)를 이용하여 형성된 평탄화층의 두께는 100nm ~ 5000nm

범위로 형성하는 것이 바람직하다.

<43> 보다 구체적으로, 폴리이미드(PI)를 이용하는 경우 500nm ~ 5000nm 범위의 두께로 형성하는 것이 바람직하고, 실리케이트(Spin-on-Glass)를 이용하는 경우는 100nm ~ 3000nm 범위의 두께로 형성하는 것이 바람직하다.

<44> 도 4는 평탄화 되지 않은 그라파이트 기판의 AFM 사진을 도시한 것이고, 도 5a는 PI(Polyimide)를 이용하여 평탄화된 그라파이트 기판의 AFM 사진을 도시한 것이고, 도 5b는 실리케이트(Spin-on-Glass)를 이용하여 평탄화된 그라파이트 기판의 AFM 사진을 도시한 것이다.

<45> 도 4를 통해 알 수 있듯이, 그라파이트 기판 자체는 표면 거칠기가 매우 높기 때문에 반드시 평탄화가 필요함을 알 수으며, 도 5를 통해 알 수 있듯이 PI 또는 실리케이트를 이용하여 평탄화한 경우 그라파이트 기판 표면의 거칠기가 감소됨을 알 수 있다.

<46> 또한, 상기 평탄화 공정은 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 방법에 의해 수행될 수 있다. 상기 화학적 기계적 연마(CMP) 방법은 그라파이트 기판 표면에 형성되어 있는 굴곡을 화학적 기계적 연마 방법에 의하여 연마함으로써 평탄화시키는 것이다.

<47> 상기 평탄화된 그라파이트 기판 상에 절연막(31)을 더 포함하여 구성되는 경우 절연막을 형성 단계를 포함한다.

<48> 상기 절연막(31)은 그라파이트 기판(11) 상에 실리콘 산화막이나 실리콘 질화막을 증착하여 형성될 수 있다.

<49> 상기 절연막(31)은 절연층 뿐만 아니라 완충층으로서의 역할도 수행할 수 있다.

<50> 상기 절연막(31)을 형성하는 방법으로는 상기 그라파이트 기판 상에 플라즈마 화학 기상 증착 방식(Plasma Enhanced Chemical Vapor Deposition, PECVD), 스퍼터링(Sputtering) 및 저압 화학 기상 증착 방식(Low Pressure Chemical Vapor Deposition, LPCVD)방식 등을 이용하여 절연막을 형성할 수 있으며, 50 ~ 150nm 범위의 두께로 형성될 수 있다.

<51> 여기서, 상기 그라파이트 기판의 양 면 중 비정질 실리콘 층이 형성되는 면 뿐만 아니라, 그 반대편에도 절연막을 형성시키는 것이 바람직하다.

<52> 상기 그라파이트 기판 반대편 면에 형성된 절연막은 그라파이트의 표면을 보호하는 역할을 할 뿐만 아니라, 케미컬(Chemical) 등을 이용하여 기판에 소정의 처리를 하는 경우 상기 케미컬로부터 그라파이트 기판의 표면을 보호하는 역할을 할 수 있다.

<53> 그리고, 상기 절연막이 형성되되, 상기 절연막 상부에 제 2 절연막을 더 형성시킬 수 있다. 여기서, 상기 제 2 절연막은 질화막, 산화막 또는 실리케이트 (Spin-on-Glass) 등의 물질을 한층 또는 2이상의 층으로 형성시킴으로써 본 발명에 의해 제조되는 박막트랜지스터 소자의 특성을 향상시킬 수 있다. 여기서, 상기 절연막(31)을 2이상의 복수층으로 형성하는 경우 최하부 절연층은 PI 또는 실리케이트를 이용하여 형성할 수 있다.

<54> 이어서, 상기 평탄화층(21) 또는 절연막(31) 상에 게이트 금속을 증착하고 패터닝하여 게이트 전극(41)을 형성한다. 여기서, 게이트 금속은 몰리브덴(Mo), 몰리텅스텐(MoW), 텅스텐(W), 크롬(Cr), 알루미늄(Al) 중 어느 하나 또는 이들의 합금으로 형성될 수 있다.

<55> 이 때, 상기 게이트 전극(41)은 라디오 프리컨시(radio frequency) 전력을 이용한 화학 기상 증착(Chemical Vapor Deposition, CVD) 또는 플라즈마 스퍼터링(Plasma sputturing) 방법에 의해 형성될 수 있다.

<56> 그리고, 상기 게이트 전극(41) 상에 게이트 절연막(51)을 형성한다. 상기 게이트 절연막(51)은 실리콘 산화막, 실리콘 질화막 또는 실리케이트막으로 형성할 수 있다. 상기 게이트 절연막은 300℃에서 550℃ 사이의 온도 범위에서 플라즈마 화학 기상 증착(PECVD), 스퍼터링 및 저압 화학 기상 증착 방식(LPCVD), 스핀 코팅 방식을 이용하여 형성할 수 있다.

<57> 상기 게이트 절연막은 100nm ~ 400nm 범위의 두께로 형성되는 것이 바람직하고, 서로 다른 두께를 가지는 2 이상의 다중막으로 형성될 수 있다.

<58> 이어서, 상기 게이트 절연막(51) 상에 비정질 실리콘층(61)을 형성한다. 상기 비정질 실리콘층의 두께는 500 ~ 10000Å 으로 형성시키는 것이 바람직하다.

<59> 상기 비정질 실리콘층(61)은 한번의 증착 공정으로 형성시킬 수 있지만, 여러 번의 공정으로 나누어서 복수층

으로 적층시켜서 형성시킬 수도 있다.

<60> 여기서, 복수층으로 적층시켜 형성된 비정질 실리콘층(61)은 동일한 증착방법에 의하여 비정질 실리콘을 증착하더라도 공정 조건이나 재료의 조성비를 달리하여 서로 다른 층을 복수층으로 증착하여 이루어지는 복수층일 수 있으며, 각 층을 서로 다른 증착 방법에 의해 형성시켜서 형성되는 복수층일 수 있다.

<61> 이어서, 상기 비정질 실리콘층(61) 상에 N+ 비정질 실리콘층(71)을 형성한다. 상기 N+ 비정질 실리콘층은 플라즈마 화학 기상 증착 방식(PEDVD), 스퍼터링 및 저압 화학 기상 증착 방식(LPCVD)을 이용하여 형성 시킬 수 있다.

<62> 한편, 에치스토퍼 구조인 경우 상기 비정질 실리콘층과 N+ 비정질 실리콘층 사이에 에치스토퍼(100)를 형성하는 단계를 더 포함할 수 있다.

<63> 도 6은 본 발명의 바람직한 실시예에 따른 에치스토퍼 방식의 박막 트랜지스터를 개략적으로 도시한 단면도이다.

<64> 도 6을 참조하면, 에치 스토퍼(100)는 상기 비정질 실리콘 상에 실리콘 산화막, 실리콘 질화막 또는 실리케이트막을 증착한 후 패터닝하여 형성한다.

<65> 상기 에치스토퍼(100)는 소오스-드레인 전극이 형성된 후 n+ 비정질 실리콘층을 에칭할 때 채널 쪽에서 n+ 비정질 실리콘층 에칭때 비정질 실리콘층이 에칭되는 것을 막는 역할을 한다.

<66> 그리고, 상기 N+비정질 실리콘층(71) 및 게이트 절연막(51) 상에 소오스/드레인 전극(81)을 형성한다. 여기서, 상기 소오스/드레인 금속은 게이트 금속과 마찬가지로 몰리브덴(Mo), 몰리텅스텐(MoW), 텅스텐(W), 크롬(Cr), 알루미늄(Al) 중 어느 하나 또는 이들의 합금으로 형성될 수 있으며, 소오스/드레인 전극은 라디오 프리컨시(radio frequency) 전력을 이용한 화학 기상 증착(Chemical Vapor Deposition, CVD) 또는 플라즈마 스퍼터링(Plasma sputturing) 방법에 의해 형성될 수 있다.

<67> 상기 소오스/드레인 금속(81) 상에 보호 절연막(Passivation)(91)을 형성한다. 상기 보호 절연막(91)은 실리콘 산화막, 실리콘 질화막 또는 실리케이트막으로 형성할 수 있으며, 플라즈마 화학 기상 증착 방식(PECVD), 스퍼터링 및 저압 화학 기상 증착 방식(LPCVD), 스핀 코팅 방식을 이용하여 형성할 수 있다.

<68> 도 7은 본 발명의 바람직한 실시예에 따른 박막 트랜지스터의 전이 특성을 나타낸 그래프이다.

<69> 도 7을 참조하면, 플렉서블한 특성을 가진 그라파이트 기판 상에 형성된 박막 트랜지스터는 전계효과 이동도가 0.04㎠/Vs, 문턱 전압이 4.9V, 서브 문턱 기울기(Subthreshold slope)가 2.1V의 우수한 전기적 특성을 보임을 알 수 있다.

<70> <제 2 실시예>

<71> 도 8은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 구조를 개략적으로 도시한 단면도이다.

<72> 도 8을 참조하면, 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 플렉서블한 특성을 가진 그라파이트 기판(15)과 상기 그라파이트 기판 상에 형성된 평탄화층(25)과 상기 평탄화층 상에 형성된 소스 및 드레인 전극(85), 상기 소스 및 드레인 전극 상에 형성된 N+ 비정질 실리콘층(75)과 상기 N+ 비정질 실리콘층 상에 형성된 비정질 실리콘층(65)과 상기 비정질 실리콘층 상에 형성된 게이트 절연막(55)과 상기 게이트 절연막 상에 형성된 게이트 전극(45) 및 상기 게이트 전극 상에 형성된 보호 절연막(95)을 포함하여 구성될 수 있다.

<73> 여기서, 상기 평탄화층(25) 상에 형성된 절연막(35)을 더 포함하여 구성될 수 있다.

<74> 상기 제 2 실시예에 따른 박막 트랜지스터는 플렉서블한 특성을 가지는 그라파이트 기판 상에 표면이 평탄화 처리된 평탄화층을 형성하는 단계와 상기 평탄화층 상에 소스 및 드레인 전극을 형성하는 단계와 상기 소스 및 드레인 전극 상에 N+ 층을 형성하는 단계와 상기 N+ 층 상에 비정질 실리콘 층을 형성하는 단계와 상기 비정질 실리콘 층 상에 게이트 절연막을 형성하는 단계와 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계 및 상기 게이트 전극 상에 보호 절연막을 형성하는 단계를 포함하여 제조될 수 있다.

<75> <제 3실시예>

<76> 도 9는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 구조를 개략적으로 도시한 단면도이다.

<77> 도 9를 참조하면, 본 발명의 제 3 실시예에 따른 박막 트랜지스터는 플렉서블한 특성을 가진 그라파이트

기판(16)과 상기 그라파이트 기판 상에 형성된 평탄화층(26)과 상기 평탄화층 상에 형성된 폴리실리콘층(66) 및 N+ 또는 P+층(76)과 상기 폴리실리콘층 상에 형성된 게이트 절연막(46)과 상기 게이트 절연막 상에 게이트 전극(56)과 상기 폴리실리콘층 상에 형성된 보호 절연막(96) 및 상기 보호 절연막 상에 소스 및 드레인 전극(86)을 포함하여 구성될 수 있다.

<78> 여기서, 상기 평탄화층(26 상에 형성된 절연막(36)을 더 포함하여 구성될 수 있다.

<79> 상기 제 3 실시예에 따른 박막 트랜지스터는 플렉서블한 특성을 가지는 그라파이트 기판 상에 표면이 평탄화 처리된 평탄화층을 형성하는 단계와 상기 평탄화층 상에 폴리실리콘층을 형성하는 단계와 상기 폴리실리콘 상에 게이트 절연막을 형성하는 단계와 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와 상기 게이트 전극 외부 상기 폴리실리콘층에 이온을 주입하여 N+ 또는 P+ 층을 형성하는 단계와 상기 게이트 전극 상에 보호 절연막을 형성하는 단계와 상기 보호 절연막 상에 소스 및 드레인 전극을 형성하는 단계를 포함하여 제조될 수 있다.

<80> 상기 제 1 실시예는 역 스태거드 방식의 박막 트랜지스터에 관한 것이고, 상기 제 2 실시예는 스태거드 방식의 박막 트랜지스터에 관한 것이고, 상기 제 3 실시예는 코플라나 방식의 박막 트랜지스터에 관한 것으로 상기 제 2 및 3 실시예는 적층되는 순서만 구별될 뿐 각 단계를 형성하는 방법은 제 1 실시예와 완전히 동일하므로 각 단계에 대한 구체적인 제조 방법은 생략하기로 한다.

<81> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 발명의 보호범위는 상기 실시예에 한정되는 것이 아니며, 해당 기술분야의 통상의 지식을 갖는 자라면 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<82> 도 1은 본 발명의 제 1 실시예에 따른 박막 트랜지스터를 개략적으로 도시한 단면도이다.

<83> 도 2는 본 발명의 바람직한 실시예에 따른 그라파이트 기판 상에 PI를 이용하여 평탄화한 모식도이고, 도 3a 및 도 3b는 그라파이트 기판 상에 실리케이트(Spin-on-Glass)를 이용하여 평탄화한 모식도이다.

<84> 도 4는 평탄화 되지 않은 그라파이트 기판의 AFM 사진을 도시한 것이고, 도 5a는 PI(Polyimide)를 이용하여 평탄화된 그라파이트 기판의 AFM 사진을 도시한 것이고, 도 5b는 실리케이트(Spin-on-Glass)를 이용하여 평탄화된 그라파이트 기판의 AFM 사진을 도시한 것이다.

<85> 도 6은 본 발명의 바람직한 실시예에 따른 에치스토퍼 방식의 박막 트랜지스터를 개략적으로 도시한 단면도이다.

<86> 도 7은 본 발명의 바람직한 실시예에 따른 박막 트랜지스터의 전이 특성을 나타낸 그래프이다.

<87> 도 8은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 구조를 개략적으로 도시한 단면도이다.

<88> 도 9는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 구조를 개략적으로 도시한 단면도이다.

<89> *도면의 주요부분에 대한 부호의 설명*

<90> 11, 12, 13, 14, 15, 16 : 그라파이트 기판 21, 25, 26 : 평탄화층

<91> 22 : PI 평탄화층 23, 24 : 실리케이트 평탄화층

<92> 31, 35, 36 : 절연막 41, 45, 46 : 게이트 전극

<93> 51, 55, 56 : 게이트 절연막 61, 65 : 비정질 실리콘층

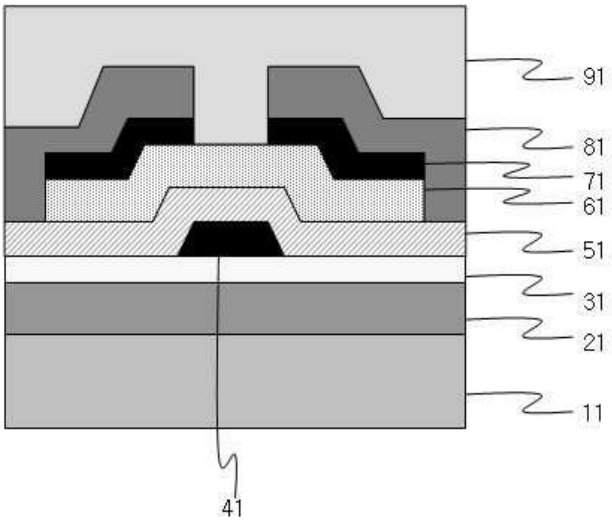
<94> 66 : 폴리실리콘층 76 : N+ 또는 P+층

<95> 71, 75 : N+ 비정질 실리콘층 81, 85, 86 : 소오스 및 드레인 전극

<96> 91, 95, 96 : 보호 절연막(Passivation) 100 : 에치 스토퍼

도면

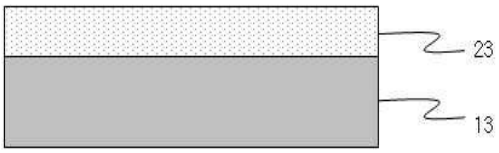
도면1



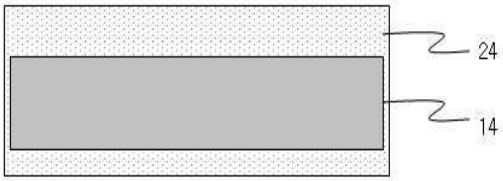
도면2



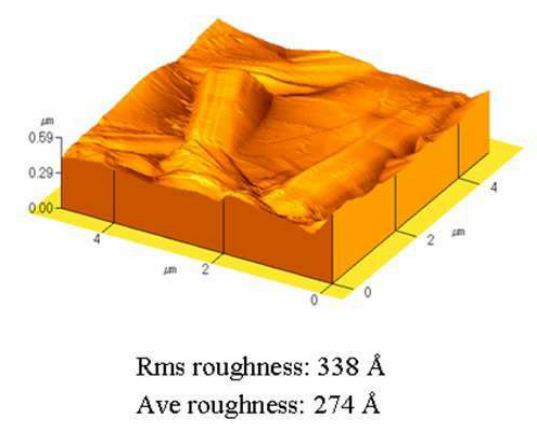
도면3a



도면3b

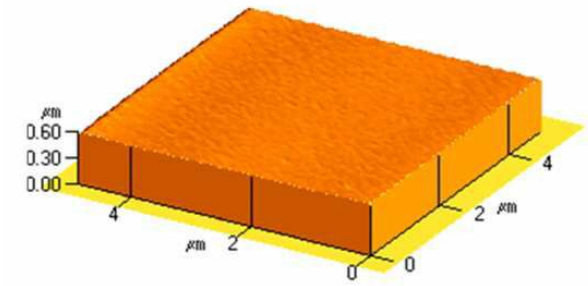


도면4



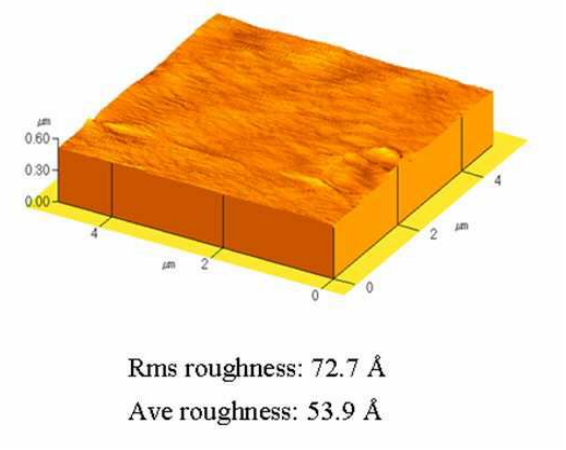
Rms roughness: 338 Å
Ave roughness: 274 Å

도면5a



Rms roughness: 17.4 Å
Ave roughness: 11.8 Å

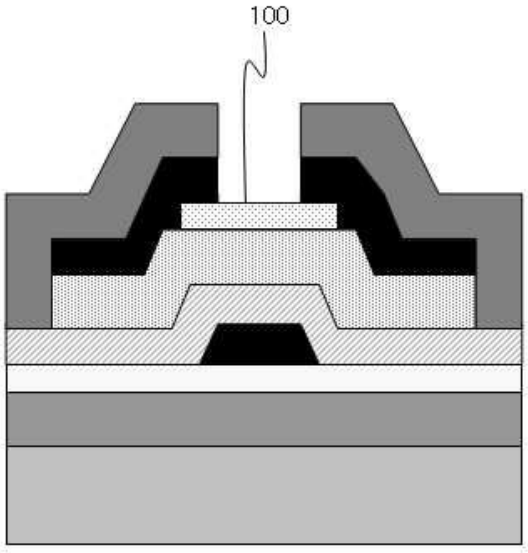
도면5b



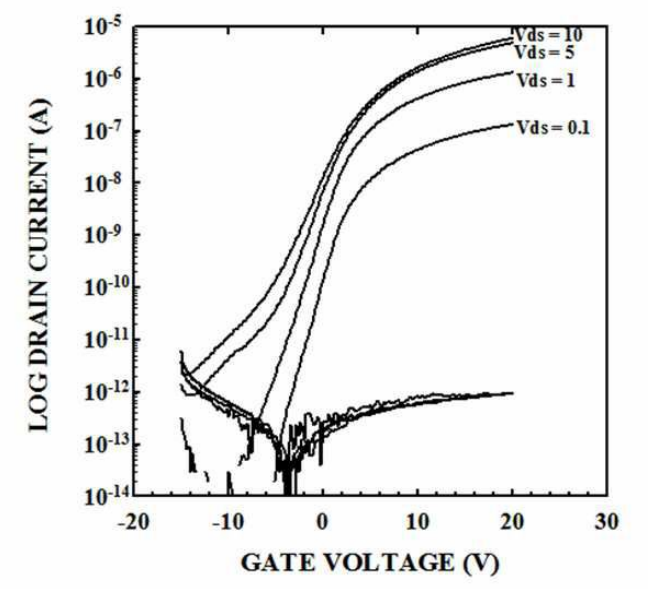
Rms roughness: 72.7 Å

Ave roughness: 53.9 Å

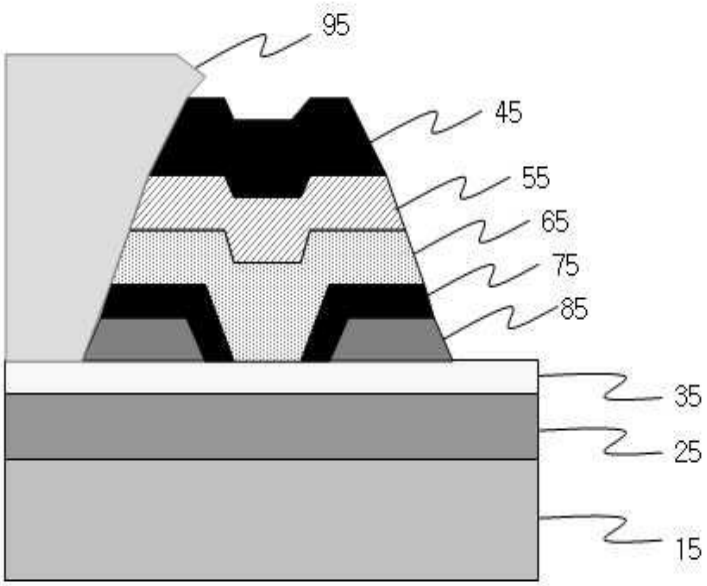
도면6



도면7


LOG DRAIN CURRENT (A)
GATE VOLTAGE (V)
Vds = 10
Vds = 5
Vds = 1
Vds = 0.1
10-5
10-6
10-7
10-8
10-9
10-10
10-11
10-12
10-13
10-14
-20
-10
0
10
20
30

도면8


95
45
55
65
75
85
35
25
15

도면9

