

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和3年4月1日(2021.4.1)

【公開番号】特開2018-133086(P2018-133086A)

【公開日】平成30年8月23日(2018.8.23)

【年通号数】公開・登録公報2018-032

【出願番号】特願2018-23874(P2018-23874)

【国際特許分類】

G 06 F 12/0895 (2016.01)

【F I】

G 06 F 12/0895 1 0 0

【手続補正書】

【提出日】令和3年2月9日(2021.2.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ハイブリッドメモリーモジュールの動作方法であって、

D R A M キャッシュ (cache) 、フラッシュメモリー (f l a s h m e m o r y) 、ブルームフィルター (b l o o m F i l t e r) 、メタデータキャッシュ (m e t a d a t a c a c h e) を保存する S R A M を含むハイブリッドメモリーモジュールを提供するステップと、

ここで、前記 D R A M キャッシュは、前記フラッシュメモリーに保存された複数のデータのキャッシュされたコピー及び前記複数のデータのキャッシュされたコピーに対応するメタデータを含み、前記メタデータキャッシュは前記 D R A M キャッシュに含まれたメタデータの一部のキャッシュされたコピーを含み、

ホストコンピュータから前記ハイブリッドメモリーモジュールに保存されたデータに対するデータアクセス要請を受信するステップと、

前記データアクセス要請を復号化してホストアドレスを獲得するステップと、

ここで、前記ホストアドレスは D R A M キャッシュタグ (t a g) 及び D R A M キャッシュインデックス (i n d e x) を含み、

前記 D R A M キャッシュインデックスからメタデータアドレスを獲得するステップと、

ここで、前記メタデータアドレスはメタデータキャッシュタグ及びメタデータキャッシュインデックスを含み、

前記 S R A M に保存された前記メタデータキャッシュに存在してマッチングするメタデータキャッシュエントリー (m a t c h i n g m e t a d a t a c a c h e e n t r y) の存在に基づいて、メタデータキャッシュヒット (h i t) を判定するステップと、

ここで、前記マッチングするメタデータキャッシュエントリーは前記メタデータキャッシュタグ及び前記 D R A M キャッシュタグをペア (p a i r) で含み、

前記メタデータキャッシュヒットの場合、前記メタデータキャッシュエントリーの前記 D R A M キャッシュタグを使用し、前記 D R A M キャッシュに含まれた前記メタデータに対するアクセスを省略して、前記 D R A M キャッシュに含まれたデータのキャッシュされたコピーからデータを獲得するステップと、

前記 D R A M キャッシュから獲得された前記データのキャッシュされたコピーを前記ホ

ストコンピュータに返還するステップと、

前記 S R A M に保存された前記メタデータキャッシュの前記マッチングする前記メタデータキャッシュエントリーが存在しないことに基づいてメタデータキャッシュミスを判定するステップと、

前記メタデータキャッシュミスに基づいて、前記ブルームフィルターによってブルームフィルターテストを遂行し、前記ブルームフィルターテストの結果に基づいて D R A M キャッシュミスまたは潜在的な D R A M キャッシュヒットを判定するステップと、を包含する、ことを特徴とする動作方法。

【請求項 2】

前記メタデータキャッシュヒットを判定するステップは、

前記メタデータキャッシュに存在して前記マッチングする前記メタデータキャッシュエントリーの存在を判定するため、前記メタデータアドレスの前記メタデータキャッシュタグを一つ以上の前記メタデータキャッシュエントリーの前記メタデータキャッシュタグと比較するステップをさらに包含する、ことを特徴とする請求項 1 に記載の動作方法。

【請求項 3】

前記 D R A M キャッシュに含まれた前記メタデータに対するアクセスを省略して、前記 D R A M キャッシュミスに基づいて前記フラッシュメモリーに保存された複数のデータからデータを獲得するステップと、

そして前記フラッシュメモリーから獲得された前記データを前記ホストコンピュータに返還するステップと、をさらに包含する、ことを特徴とする請求項 1 に記載の動作方法。

【請求項 4】

前記メタデータキャッシュタグの比較と前記ブルームフィルターテストは、同時に遂行される、ことを特徴とする請求項 1 に記載の動作方法。

【請求項 5】

前記メタデータキャッシュミスと前記潜在的な D R A M キャッシュヒットに基づいて、前記 D R A M キャッシュに含まれた前記メタデータにアクセスするステップと、

前記ホストアドレスの前記 D R A M キャッシュタグと前記 D R A M キャッシュに含まれた前記メタデータの比較に基づいて、前記 D R A M キャッシュに前記データが保存されたか否かを判定するステップと、

前記ホストアドレスの前記 D R A M キャッシュタグにマッチングするエントリーが、前記 D R A M キャッシュに含まれた前記メタデータに存在する場合、前記 D R A M キャッシュから獲得されたデータのキャッシュされたコピーを前記ホストコンピュータに返還するステップと、

前記ホストアドレスの前記 D R A M キャッシュタグにマッチングするエントリーが前記 D R A M キャッシュに含まれた前記メタデータに存在しない場合、前記フラッシュメモリーから前記データを獲得し、前記フラッシュメモリーから獲得された前記データを前記ホストコンピュータに返還するステップと、をさらに包含する、ことを特徴とする請求項 1 に記載の動作方法。

【請求項 6】

前記ブルームフィルターは複数のエントリーを含むブルームフィルターアレイ (a r r a y) を含み、

前記ブルームフィルターテストは前記ブルームフィルターアレイにハッシュ関数 (h a s h _ f u n c t i o n) を適用し、肯定結果又は否定結果を提供する、ことを特徴とする請求項 1 に記載の動作方法。

【請求項 7】

前記ブルームフィルターアレイを削除するか又は前記ブルームフィルターアレイを再設定するステップをさらに包含する、ことを特徴とする請求項 6 に記載の動作方法。

【請求項 8】

前記メタデータキャッシュヒットの比率が臨界値より高い場合、前記ブルームフィルターを使用しないように前記ハイブリッドメモリーモジュールのキャッシュ制御器をプログ

ラムするステップをさらに包含する、ことを特徴とする請求項1に記載の動作方法。

【請求項9】

前記ハイブリッドメモリーモジュールはキャッシュ制御器を含み、

前記メタデータキャッシュヒットの比率が臨界値より低い場合、前記メタデータキャッシュを使用しないように前記キャッシュ制御器をプログラムするステップをさらに包含する、ことを特徴とする請求項1に記載の動作方法。

【請求項10】

低電力の条件で、前記ブルームフィルター及び前記メタデータキャッシュを順次にアクセスするステップをさらに包含する、ことを特徴とする請求項1に記載の動作方法。

【請求項11】

フラッシュメモリーと、

前記フラッシュメモリーに保存された複数のデータのキャッシュされたコピーと前記複数のデータのキャッシュされたコピーに対応するメタデータを含むDRAMキャッシュと、

前記DRAMキャッシュに含まれた前記メタデータの一部のキャッシュされたコピーを含むメタデータキャッシュとブルームフィルターを保存するSRAMと、

ホストコンピュータにインターフェースを提供するメモリーインターフェースと、

前記DRAMキャッシュに含まれたキャッシュされたコピー及び前記フラッシュメモリーに保存された複数のデータにアクセスするメモリーアクセス制御器と、

前記DRAMキャッシュに対するアクセスを制御するDRAM制御器と、

前記フラッシュメモリーに対するアクセスを制御するフラッシュ制御器と、

前記ホストコンピュータから受信したデータアクセス要請で要請されたデータに対応する前記DRAMキャッシュに含まれたキャッシュされたデータの存在を判定するキャッシュ制御器と、を含み、

前記キャッシュ制御器は、

前記メモリーインターフェースを経由して前記ホストコンピュータから受信した前記データアクセスの要請を復号化してホストアドレスを獲得し、前記ホストアドレスはDRAMキャッシュタグ及びDRAMキャッシュインデックスを含み、

前記DRAMキャッシュインデックスからメタデータアドレスを獲得し、前記メタデータアドレスはメタデータキャッシュタグ及びメタデータキャッシュインデックスを含み、

前記SRAMに保存された前記メタデータキャッシュに存在してマッチングするメタデータキャッシュエントリーの存在に基づいて、メタデータキャッシュヒットを判定し、前記マッチングするメタデータキャッシュエントリーは前記メタデータキャッシュタグ及び前記DRAMキャッシュタグのペアを含み、

前記DRAMキャッシュに含まれた前記メタデータに対するアクセスを省略して、前記DRAM制御器に、前記マッチングするメタデータキャッシュエントリーの前記DRAMキャッシュタグを使ってメタデータキャッシュヒットに基づき、前記DRAMキャッシュに含まれたキャッシュされたコピーからデータを獲得するように指示し、

前記メモリーアクセス制御器は前記DRAMキャッシュから獲得された前記データのキャッシュされたコピーを前記ホストコンピュータに返還するように構成され、

前記キャッシュ制御器は、さらに前記SRAMに保存されたメタデータキャッシュの前記マッチングするメタデータキャッシュが存在しないことに基づいてメタデータキャッシュミスを判定し、前記ブルームフィルターによってブルームフィルターテストを行い、前記ブルームフィルターテストの結果に基づいてDRAMキャッシュミス、または潜在的なDRAMキャッシュヒットを判定するよう構成されることを特徴とするハイブリッドメモリーモジュール。

【請求項12】

前記キャッシュ制御器は、前記メタデータキャッシュに存在して前記マッチングする前記メタデータキャッシュエントリーの前記存在を判定するため、前記メタデータアドレスの前記メタデータキャッシュタグと一つ以上の前記メタデータキャッシュエントリーの前

記メタデータキャッシュタグを比較するように、さらに構成される、ことを特徴とする請求項11に記載のハイブリッドメモリーモジュール。

【請求項13】

前記キャッシュ制御器は、

前記DRAMキャッシュミスの場合、前記DRAMキャッシュに含まれたメタデータに対するアクセスを省略し、前記フラッシュ制御器に前記フラッシュメモリーに保存された前記複数のデータから前記データを獲得するように指示し、

前記メモリーアクセス制御器は前記フラッシュメモリーから獲得された前記データを前記ホストコンピュータに返還するように、さらに構成される、ことを特徴とする請求項12に記載のハイブリッドメモリーモジュール。

【請求項14】

前記キャッシュ制御器は、前記メタデータキャッシュタグの比較と前記ブルームフィルターテストを同時に遂行する、ことを特徴とする請求項11に記載のハイブリッドメモリーモジュール。

【請求項15】

前記メタデータキャッシュミスと前記潜在的なDRAMキャッシュヒットに基づいて、前記DRAM制御器は、

前記DRAMキャッシュの前記メタデータにアクセスし、

前記ホストアドレスの前記DRAMキャッシュタグと前記DRAMキャッシュに保存された前記メタデータの比較に基づいて、前記DRAMキャッシュに前記データが保存されたか否かを判定するように構成され、

前記ホストアドレスの前記DRAMキャッシュタグにマッチングするエントリーが、前記DRAMキャッシュに含まれた前記メタデータに存在する場合、前記DRAM制御器は前記DRAMキャッシュに含まれた前記キャッシュされたデータを獲得するように構成され、前記メモリー制御器は前記DRAMキャッシュから獲得された前記データのキャッシュされたコピーを前記ホストコンピュータに返還するように構成され、

前記ホストアドレスの前記DRAMキャッシュタグにマッチングするエントリーが、前記DRAMキャッシュに含まれた前記メタデータに存在しない場合、前記フラッシュ制御器は前記フラッシュメモリーから前記データを獲得するように構成され、前記メモリー制御器は前記フラッシュメモリーから獲得された前記データを前記ホストコンピュータに返還するように構成される、ことを特徴とする請求項11に記載のハイブリッドメモリーモジュール。

【請求項16】

前記ブルームフィルターは複数のエントリーを含むブルームフィルターアレイを含み、前記ブルームフィルターテストは前記ブルームフィルターアレイにハッシュ関数を適用し、肯定結果又は否定結果を提供する、ことを特徴とする請求項11に記載のハイブリッドメモリーモジュール。

【請求項17】

前記キャッシュ制御器は、前記ブルームフィルターアレイを削除するか又は前記ブルームフィルターアレイを再設定するように、さらに構成される、ことを特徴とする請求項16に記載のハイブリッドメモリーモジュール。

【請求項18】

前記キャッシュ制御器は、前記メタデータキャッシュヒットの比率が臨界値より高い場合、前記ブルームフィルターを使用しないようにプログラムされる、ことを特徴とする請求項11に記載のハイブリッドメモリーモジュール。

【請求項19】

前記キャッシュ制御器は、前記メタデータキャッシュヒットの比率が臨界値より低い場合、前記メタデータキャッシュを使用しないようにプログラムされる、ことを特徴とする請求項11に記載のハイブリッドメモリーモジュール。

【請求項20】

前記キャッシュ制御器は、低電力の条件で、前記ブルームフィルターと前記メタデータキャッシュに順次にアクセスするように構成される、ことを特徴とする請求項11に記載のハイブリッドメモリーモジュール。