

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4309362号
(P4309362)

(45) 発行日 平成21年8月5日(2009.8.5)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.	F 1
HO1L 21/336	(2006.01)
HO1L 29/786	(2006.01)
GO2F 1/1368	(2006.01)
GO9F 9/30	(2006.01)
HO1L 27/32	(2006.01)
HO1L	29/78
HO1L	29/78
GO2F	1/1368
GO9F	9/30
GO9F	9/30
	338
	365Z

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2005-72012 (P2005-72012)
(22) 出願日	平成17年3月14日 (2005.3.14)
(65) 公開番号	特開2006-13432 (P2006-13432A)
(43) 公開日	平成18年1月12日 (2006.1.12)
審査請求日	平成17年3月14日 (2005.3.14)
(31) 優先権主張番号	2004-049823
(32) 優先日	平成16年6月29日 (2004.6.29)
(33) 優先権主張国	韓国 (KR)

前置審査

(73) 特許権者	308040351 三星モバイルディスプレイ株式會社 大韓民国京畿道龍仁市器興区農書洞山24
(74) 代理人	100148835 弁理士 佐伯 義文
(74) 代理人	100089037 弁理士 渡邊 隆
(74) 代理人	100108453 弁理士 村山 靖彦
(72) 発明者	朴炳建 大韓民国京畿道水原市靈通區新洞575番 地 三星エスディアイ株式会社内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上部の第1の領域及び第2の領域に多結晶シリコン層パターンをそれぞれ形成する工程と、

全表面上部に第1のゲート絶縁膜を形成する工程と、

前記第1の領域の第1のゲート絶縁膜上部にトランジスタのチャンネル領域を保護する感光膜パターンを形成する工程と、

前記感光膜パターンをイオン注入マスクとして用いて、前記多結晶シリコン層パターンに不純物をイオン注入して、前記第1の領域にソース/ドレイン領域を形成すると共に、前記第2の領域に第1の電極を形成する工程と、

前記感光膜パターンをエッチングマスクとして前記第1のゲート絶縁膜をエッチングして第1のゲート絶縁膜パターンを形成した後、前記感光膜パターンを取り除く工程と、

全表面上部に第2のゲート絶縁膜を形成する工程と、

前記第2のゲート絶縁膜の第1の領域にゲート電極を形成し、前記第2の領域に第2の電極を形成する工程と、

全表面上部に層間絶縁膜を形成する工程と、

写真エッチング工程で前記第1の領域の層間絶縁膜及び第2のゲート絶縁膜をエッチングして、前記ソース/ドレイン領域を露出させるコンタクトホールを形成する工程と、

前記第1の領域のコンタクトホールを通じてソース/ドレイン領域に接続されるソース/ドレイン電極を形成し、前記第2の領域に第3電極を形成する工程と、

10

20

を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】

前記第1の電極は、下部キャパシタの下部電極として用いられることを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項 3】

前記第1のゲート絶縁膜は、シリコン酸化膜又はシリコン窒化膜から形成されることを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項 4】

前記第1のゲート絶縁膜は、400～1000 の厚さで形成されることを特徴とする請求項3に記載の薄膜トランジスタの製造方法。

10

【請求項 5】

前記第2のゲート絶縁膜は、シリコン酸化膜又はシリコン窒化膜から形成されることを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項 6】

前記第2のゲート絶縁膜は、200～800 の厚さで形成されることを特徴とする請求項5に記載の薄膜トランジスタの製造方法。

【請求項 7】

前記第2の電極は、下部キャパシタの上部電極として用いられると共に、上部キャパシタの下部電極として用いられることを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

20

【請求項 8】

前記第3電極は、上部キャパシタの上部電極であることを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ及びその製造方法に関し、より具体的には、有機エレクトロルミネセンス素子でキャパシタの誘電体膜の厚さを減少させ、静電容量の大きさを減少させることなくキャパシタの表面積を減少させることができ、有機エレクトロルミネセンス表示素子の開口率を増加させることのできる薄膜トランジスタ及びその製造方法に関する。

30

【背景技術】

【0002】

通常的に、アクティブマトリックスの有機エレクトロルミネセンス素子のような平板表示装置は、各単位画素が基本的にゲートライン、データライン及び電源供給ラインに繋がれる薄膜トランジスタ及びキャパシタ並びに有機エレクトロルミネセンス表示素子を具備する。前記キャパシタは、ゲートライン及びゲート電極、データライン、ソース/ドレン電極及び電源供給層並びにアノード電極などを形成するために多数の導電層が用いられる。このような導電層は、導電層間に形成される絶縁層にコンタクトホールを形成した後、導電層を埋め込んで電気的に接続させる。

40

【0003】

図1は、従来の有機エレクトロルミネセンス表示素子の平面図である。

図1を参照すれば、従来のアクティブマトリックスの有機エレクトロルミネセンス表示装置は、多数のゲートライン310、多数のデータライン320及び多数の電源供給ライン330、並びに前記ゲートライン310、データライン320及び電源供給ライン330に連結、構成される多数の画素を具備する。

【0004】

前記各画素は、多数のゲートライン310のうちの該当する一つのゲートラインと多数のデータライン320のうちの該当する一つのデータラインとに繋がれるスイッチング用薄膜トランジスタ370と、前記電源供給ライン330に繋がれる電界発光素子360駆

50

動用の薄膜トランジスタ350と、前記駆動用の薄膜トランジスタ350のゲート-ソース間電圧を維持させるためのキャパシタ340と、電界発光素子と、などからなる。

【0005】

前記駆動用の薄膜トランジスタ350は、ソース/ドレイン領域を備えた半導体層352と、ゲート電極354と、前記ソース/ドレイン領域とコンタクトホール355a、355bを通じてそれぞれ繋がれるソース/ドレイン電極356a、356bと、を具備し、前記スイッチング用薄膜トランジスタ370も同じ構造を持つ。

【0006】

前記キャパシタ340は、前記スイッチング用薄膜トランジスタ370のソース/ドレイン電極の一つ、例えばソース電極と駆動用の薄膜トランジスタ350のゲートとに繋がれる下部電極344と、前記駆動用の薄膜トランジスタ350のソース/ドレイン電極の一つ、例えばソース電極356aと共に通電源ライン330とに繋がれる上部電極146と、を具備する。開口部365を具備する電界発光素子のアノード電極である画素電極360、361は、ビアホール358を通じて前記駆動用の薄膜トランジスタ350のソース/ドレイン電極356a、356bの一つ、例えばドレイン電極356bに繋がれる。

10

【0007】

図2A及び図2Bは、従来技術に係る薄膜トランジスタの形成手順を示す断面図である。

【0008】

まず、第1の領域(A)と第2の領域(B)とに区分される基板100の全面にプラズマ強化化学気相蒸着(Plasma Enhanced Chemical Vapor Deposition、PECVD)法を実施して、シリコン酸化物からなる所定厚さの緩衝膜110を形成する。この時、前記緩衝膜110は、後工程で形成される非晶質シリコン層の結晶化工程時に、前記基板100内の不純物が拡散することを防止する。

20

【0009】

次に、前記緩衝膜110上部に、所定厚さの非晶質シリコン層(不図示)を蒸着する。続いて、前記非晶質シリコン層をELA(Excimer Laser Annealing)、SLS(Sequential Lateral Solidification)、MIC(Metal Induced Crystallization)又はMILC(Metal Induced Lateral Crystallization)法などを用いて結晶化し、写真エッ칭工程でパターニングして、単位画素内の第1の領域(A)と第2の領域(B)とに多結晶シリコン層パターン120を形成する。

30

【0010】

次に、全表面上部に第1のゲート絶縁膜130を形成する。この時、前記第1のゲート絶縁膜130は、シリコン酸化膜(SiO_2)又はシリコン窒化膜(SiN_x)を用いて、400~1000の厚さで形成する。

【0011】

次いで、前記第1のゲート絶縁膜130上部に、ゲート電極と、トランジスタのチャンネル領域として予定される部分を保護する感光膜パターン(不図示)とを形成する。そして、前記感光膜パターンをイオン注入マスクとして用いて前記多結晶シリコン層パターン120に不純物をイオン注入して、第1の領域(A)にソース/ドレイン領域122を形成し、第2の領域(B)に下部キャパシタ(C1)の下部電極として用いられる第1の電極124を形成する。その後、前記感光膜パターンを取り除く。

40

【0012】

次に、前記第1のゲート絶縁膜130上部に、第2のゲート絶縁膜132を形成する。前記第2のゲート絶縁膜132は、シリコン酸化膜(SiO_2)又はシリコン窒化膜(SiN_x)を用いて、200~800の厚さで形成する。一方、前記第2のゲート絶縁膜132は、感光膜パターンをイオン注入マスクとして用いて前記多結晶シリコン層パターン120に不純物をイオン注入して、第1の領域(A)にソース/ドレイン領域122を形成し、第2の領域(B)に下部キャパシタ(C1)の下部電極として用いられる第1の電極124を形成する段階前に形成することができる。

50

【0013】

次いで、前記第2のゲート絶縁膜132上部に、モリブデン(Mo)又はモリブデン-タンゲステン(Mo-W)のような合金の単一層、アルミニウム(Al)又はアルミニウム-ネオジム(Al-Nd)のようなアルミニウム合金の単一層、あるいは、上に言及した金属らの二重層でゲート電極用の金属層(不図示)を形成する。続いて、写真エッチング工程で前記ゲート電極用の金属層をエッチングして、前記第1の領域(A)にはゲート電極134を形成し、第2の領域(B)には下部キャパシタ(C1)の上部電極として用いられる第2の電極136を形成する。この時、前記第2の電極136は、下部キャパシタ(C1)の上部電極として用いられると共に、上部キャパシタ(C2)の下部電極として用いられ、前記第1の電極124と第2の電極136との間に介在される第1のゲート絶縁膜130と第2のゲート絶縁膜132との積層構造(d)は、下部キャパシタ(C1)の誘電体膜として用いられる。10

【0014】

次に、全表面上部に所定厚さの層間絶縁膜140を形成する。ここで、前記層間絶縁膜140は、シリコン酸化膜、シリコン窒化膜、及びその積層構造を用いて、3000~5000位の厚さで形成される。

【0015】

次いで、写真エッチング工程で前記層間絶縁膜140、第1のゲート絶縁膜130及び第2のゲート絶縁膜132をエッチングして、前記ソース/ドレイン領域122を露出させるコンタクトホール(不図示)を形成する。20

【0016】

次いで、前記コンタクトホールを含む全表面上部に電極物質を形成し、写真エッチング工程で前記電極物質をエッチングして、前記第1の領域(A)には、前記ソース/ドレイン領域122に接続されるソース/ドレイン電極150、152を形成し、第2の領域(B)には、上部キャパシタ(C2)の上部電極として用いられる第3電極154を形成する。この時、前記電極物質には、モリブデン(Mo)又はモリブデン-タンゲステン(Mo-W)のような合金の単一層、アルミニウム(Al)又はアルミニウム-ネオジム(Al-Nd)のようなアルミニウム合金の単一層、あるいは、上に言及した金属らの二重層などが用いられる。

【0017】

その後、全表面上部に、所定厚さのシリコン窒化膜などの無機絶縁膜により保護膜160を形成する。30

【0018】

前記したような構造を有する薄膜トランジスタの製造方法は、多結晶シリコン層パターン、ゲート絶縁膜及びゲート電極を下部キャパシタ(C1)として使用し、ゲート電極、層間絶縁膜及びソース/ドレイン電極を上部キャパシタ(C2)として使用している。前記下部キャパシタ(C1)と上部キャパシタ(C2)とは同じ面積内に形成される。前記下部キャパシタ(C1)は、二重ゲート絶縁膜を誘電体膜として使用しており、上部キャパシタ(C2)は、層間絶縁膜を誘電体膜として使用している。単位セル内においてキャパシタは比較的広い面積を占めており、素子の高集積化に伴って、高容量のキャパシタが要求されている。高容量のキャパシタが必要であるほど、単位セル内においてキャパシタの表面積が占める面積が増加し、このため、有機エレクトロルミネセンス素子の開口率の減少が不可避である40。

【発明の開示】**【発明が解決しようとする課題】****【0019】**

本発明の目的は、前記した従来技術の問題点を解決するためのものであって、本発明は、二重ゲート絶縁膜を用いる有機エレクトロルミネセンス素子の製造工程時に、ゲート絶縁膜の厚さを部分的に減少させてキャパシタの静電容量を増加させ、キャパシタの表面積を減少させることができ、有機エレクトロルミネセンス素子の開口率を増加させることのできる薄膜トランジスタ及びその製造方法を提供することにその目的がある。

【課題を解決するための手段】

50

【0020】

前記したような目的を達成するために、本発明に係る薄膜トランジスタは、第1の領域と第2の領域とが定義された基板と、前記基板の第1の領域及び第2の領域にそれぞれ具備される半導体層パターンと、前記第1の領域の半導体層パターンのチャンネル領域上に具備される第1のゲート絶縁膜パターンと、

全表面上部に具備される第2のゲート絶縁膜と、

前記第1の領域のチャンネル領域の上側及び第2の領域の半導体層パターンの上側にそれぞれ具備される第1の導電層パターンと、

全表面上部に具備される層間絶縁膜と、

前記第1の領域の層間絶縁膜及び第2のゲート絶縁膜を通じて前記半導体層パターンに接続され、第2の領域の第1の導電層パターンの上側に具備される第2の導電層パターンと、を含むことと、

前記半導体層パターンは、多結晶シリコン層パターンであることと、

前記第1の領域の半導体層パターンは、薄膜トランジスタのチャンネル領域及びソース/ドレイン領域であり、前記第2の領域の半導体層パターンは、下部キャパシタの下部電極であることと、

前記第1のゲート絶縁膜パターンは、シリコン酸化膜又はシリコン窒化膜から形成されることと、

前記第1のゲート絶縁膜パターンは、400～1000の厚さで形成されることと、

前記第2のゲート絶縁膜は、シリコン酸化膜又はシリコン窒化膜から形成されることと、

前記第2のゲート絶縁膜は、200～800の厚さで形成されることと、

前記第1の領域の第1の導電層パターンは、ゲート電極であり、第2の領域の第1の導電層パターンは、下部キャパシタの上部電極であると共に、上部キャパシタの下部電極であることと、

前記第1の領域の第2の導電層パターンは、ソース/ドレイン電極であり、第2の領域の第2の導電層パターンは、上部キャパシタの上部電極であることと、を特徴とする。

【0021】

前記したような目的を達成するために、本発明に係る薄膜トランジスタの製造方法は、基板上部の第1の領域及び第2の領域に多結晶シリコン層パターンをそれぞれ形成する工程と、

全表面上部に第1のゲート絶縁膜を形成する工程と、

前記第1の領域の第1のゲート絶縁膜上部にトランジスタのチャンネル領域を保護する感光膜パターンを形成する工程と、

前記感光膜パターンをイオン注入マスクとして用いて、前記多結晶シリコン層パターンに不純物をイオン注入して、前記第1の領域にソース/ドレイン領域を形成すると共に、前記第2の領域に第1の電極を形成する工程と、

前記感光膜パターンをエッチングマスクとして前記第1のゲート絶縁膜をエッチングして第1のゲート絶縁膜パターンを形成した後、前記感光膜パターンを取り除く工程と、

全表面上部に第2のゲート絶縁膜を形成する工程と、

前記第2のゲート絶縁膜の第1の領域にゲート電極を形成し、前記第2の領域に第2の電極を形成する工程と、

全表面上部に層間絶縁膜を形成する工程と、

写真エッチング工程で前記第1の領域の層間絶縁膜及び第2のゲート絶縁膜をエッチングして、前記ソース/ドレイン領域を露出させるコンタクトホールを形成する工程と、

前記第1の領域のコンタクトホールを通じてソース/ドレイン領域に接続されるソース/ドレイン電極を形成し、前記第2の領域に第3電極を形成する工程と、を含むことと、

前記第1の電極は、下部キャパシタの下部電極として用いられることと、

前記第1のゲート絶縁膜は、シリコン酸化膜又はシリコン窒化膜から形成されることと、

10

20

30

40

50

前記第1のゲート絶縁膜は、400～1000の厚さで形成されることと、

前記第2のゲート絶縁膜は、シリコン酸化膜又はシリコン窒化膜から形成されることと、

前記第2のゲート絶縁膜は、200～800の厚さで形成されることと、

前記第2の電極は、下部キャパシタの上部電極として用いられると共に、上部キャパシタの下部電極として用いられることと、

前記第3電極は、上部キャパシタの上部電極であることと、を特徴とする。

【発明を実施するための最良の形態】

【0022】

10

以下、本発明の実施例を添付の図面を参照して説明すると、下記の通りである。

【0023】

図3A乃至図3Gは、本発明に係る薄膜トランジスタの製造方法による工程断面図であつて、NMOS薄膜トランジスタ、PMOS薄膜トランジスタ又はCMOS薄膜トランジスタに区分することなく図示する。

【0024】

20

先に、第1の領域(A)と第2の領域(B)とに区分される基板200の全面に、シリコン酸化物をプラズマ-強化化学気相蒸着(Plasma Enhanced Chemical Vapor Deposition、PECVD)法で所定厚さの緩衝膜210を形成する。この時、前記緩衝膜210は、後工程で形成される非晶質シリコン層の結晶化工程時に、前記基板200内の不純物が拡散することを防止する。

【0025】

次に、前記緩衝膜210上部に、半導体層である非晶質シリコン層(不図示)を所定厚さで蒸着する。続いて、前記非晶質シリコン層をELA(Excimer Laser Annealing)、SLS(Sequential Lateral Solidification)、MIC(Metal Induced Crystallization)又はMILC(Metal Induced Lateral Crystallization)法などを用いて結晶化し、写真エッティング工程でパターニングして単位画素内の第1の領域(A)と第2の領域(B)とに半導体層パターンである多結晶シリコン層パターン220a、220bを形成する。

【0026】

30

次に、全表面上部に第1のゲート絶縁膜230を形成する。この時、前記第1のゲート絶縁膜230は、シリコン酸化膜(SiO₂)又はシリコン窒化膜(SiN_x)を用いて、400～1000の厚さ、好ましくは、800位の厚さで形成する。

【0027】

次いで、前記第1の領域(A)の第1のゲート絶縁膜230上部に、ゲート電極と、トランジスタのチャンネル領域として予定される部分を保護する感光膜パターン238とを形成する。そして、前記感光膜パターン238をイオン注入マスクとして用いて前記多結晶シリコン層パターン220に不純物をイオン注入して、ソース/ドレイン領域222a及び下部キャパシタ(C1)の下部電極として用いられる第1の電極222bを形成する。この時、前記イオン注入工程は、n+又はp+不純物をドーパントとして用いて行われる。前記薄膜トランジスタがCMOS薄膜トランジスタの場合、前記第1の電極222bにはn+不純物がイオン注入されることが有利である。

40

【0028】

続いて、前記感光膜パターン238をエッティングマスクとして前記第1のゲート絶縁膜230をエッティングして、トランジスタのチャンネル領域上部に第1のゲート絶縁膜パターン231を形成する。

その後、前記感光膜パターン238を取り除く。

【0029】

一方、LDD領域が必要であるNMOS薄膜トランジスタの場合、前記第1のゲート絶縁膜パターン231は、チャンネル領域の他、LDD領域まで延長して具備される。

【0030】

50

次に、全表面上部に第2のゲート絶縁膜232を形成する。前記第2のゲート絶縁膜232は、シリコン酸化膜(SiO₂)又はシリコン窒化膜(SiN_x)を用いて、200~800の厚さ、好ましくは、シリコン窒化膜(SiN_x)を用いて400位の厚さで形成する。

【0031】

次いで、前記第2のゲート絶縁膜232上部に、第1の導電層として、モリブデン(Mo)又はモリブデン-タンクスチン(Mo-W)のような合金の単一層、アルミニウム(Al)又はアルミニウム-ネオジム(Al-Nd)のようなアルミニウム合金の単一層、あるいは、先に言及した金属らの二重層ゲート電極用の金属層(不図示)を形成する。続いて、写真エッティング工程で前記ゲート電極用の金属層をエッティングして、第1の導電層パターンを形成し、前記第1の領域(A)にはゲート電極234を形成し、第2の領域(B)には下部キャパシタ(C1)の上部電極として用いられる第2の電極236を形成する。この時、前記第2の電極236は、下部キャパシタ(C1)の上部電極として用いられると共に、上部キャパシタ(C2)の下部電極として用いられる。前記第1の領域(A)には第1のゲート絶縁膜パターン231と第2のゲート絶縁膜234とがゲート絶縁膜(d₁)として用いられ、600~1800の厚さで形成される。そして、前記第2の領域(B)には第2のゲート絶縁膜234が下部キャパシタ(C1)の誘電体膜(d₂)として用いられ、200~800の厚さ、好ましくは、400位の厚さで形成される。

【0032】

次に、全表面上部に所定厚さの層間絶縁膜240を形成する。前記層間絶縁膜240は、シリコン酸化膜を用いて3000~5000、好ましくは、4000位の厚さで形成される。

【0033】

次いで、写真エッティング工程で前記層間絶縁膜240及び第2のゲート絶縁膜232をエッティングして、前記ソース/ドレイン領域222を露出させるコンタクトホール(不図示)を形成する。

【0034】

次に、前記コンタクトホールを含む全表面上部に、第2の導電層として電極物質を形成し、写真エッティング工程で前記電極物質をエッティングして第2の導電層パターンを形成し、前記第1の領域(A)には前記ソース/ドレイン領域222に接続されるソース/ドレイン電極250、252を形成し、第2の領域(B)には上部キャパシタ(C2)の上部電極として用いられる第3電極254を形成する。この時、前記電極物質には、モリブデン(Mo)又はモリブデン-タンクスチン(Mo-W)のような合金の単一層、アルミニウム(Al)又はアルミニウム-ネオジム(Al-Nd)のようなアルミニウム合金の単一層、あるいは、先に言及した金属らの二重層が用いられる。

【0035】

その後、全表面上部に、所定厚さのシリコン窒化膜などの無機絶縁膜で保護膜260を形成する。

【0036】

前記したように形成されたキャパシタは、図3Gに示されるように、下部キャパシタ(C1)と上部キャパシタ(C2)とが同じ大きさの面積内に垂直に形成される。

例えば、前記第1のゲート絶縁膜230の厚さが800であり、第2のゲート絶縁膜232の厚さが400であり、層間絶縁膜240の厚さが1200である場合、本発明に係るキャパシタの表面積は、下記式(1)のように表現できる。

【0037】

【数1】

式(1)

$$A = \frac{Cst}{\frac{\epsilon ILD}{dILD} + \frac{1}{\frac{dGI1}{\epsilon GI1} + \frac{dGI2}{\epsilon GI2}}}$$

【0038】

(ϵ は誘電定数、dは誘電体膜の厚さ、Cは静電容量、ILDは層間絶縁膜、GI1は第1のゲート絶縁膜、GI2は第2のゲート絶縁膜)

10

ここで、下部キャパシタ(C1)が第2のゲート絶縁膜232のみを誘電体膜として使用(GI1=0)するので、キャパシタの表面積は、下記式(2)の通りである。

【0039】

【数2】

式(2)

$$A' = \frac{Cst}{\frac{\epsilon ILD}{dILD} + \frac{\epsilon GI2}{dGI2}}$$

【0040】

20

前記のような条件で、当社の5tr+2cap構造を平板表示装置、例えば、有機エレクトロルミネッセンス表示装置に適用した場合、キャパシタの表面積は、27%程度減少し、それによる開口率は、10%以上向上する。

【0041】

また、当社の2tr+1cap構造を適用した場合には、キャパシタの面積が27%程度減少し、それによる開口率は2.7%以上向上する。

【0042】

[発明の効果]

前記したような本発明の実施例によれば、二重ゲート絶縁膜を用いる有機エレクトロルミネッセンス素子の製造時に、薄膜トランジスタ領域とキャパシタ領域とに形成されるゲート絶縁膜の厚さを異なって形成する。これによって、ゲート電極の電気的特性も維持し、キャパシタの静電容量を変化させることなく、表面積を減らすことができる。前記のように、キャパシタの表面積を減らすことで、有機エレクトロルミネッセンス素子の開口率を向上させることができ、リーク電流の減少のために静電容量を増加させる場合に、開口率の向上効果は更に増大するという利点がある。

30

【図面の簡単な説明】

【0043】

【図1】従来の有機エレクトロルミネッセンス表示素子の平面図である。

【図2A】従来技術に係る薄膜トランジスタの形成手順を示す断面図である。

40

【図2B】従来技術に係る薄膜トランジスタの形成手順を示す断面図である。

【図3A】本発明に係る薄膜トランジスタの形成手順を示す断面図である。

【図3B】本発明に係る薄膜トランジスタの形成手順を示す断面図である。

【図3C】本発明に係る薄膜トランジスタの形成手順を示す断面図である。

【図3D】本発明に係る薄膜トランジスタの形成手順を示す断面図である。

【図3E】本発明に係る薄膜トランジスタの形成手順を示す断面図である。

【図3F】本発明に係る薄膜トランジスタの形成手順を示す断面図である。

【図3G】本発明に係る薄膜トランジスタの形成手順を示す断面図である。

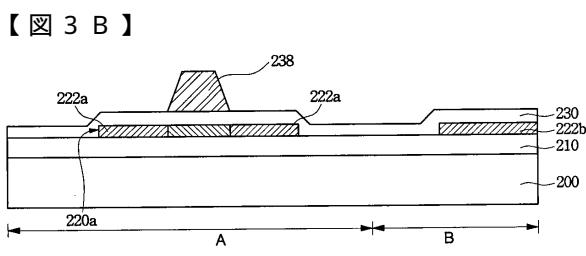
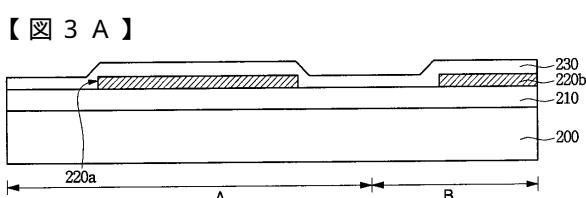
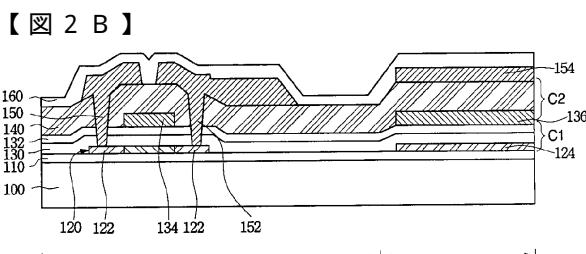
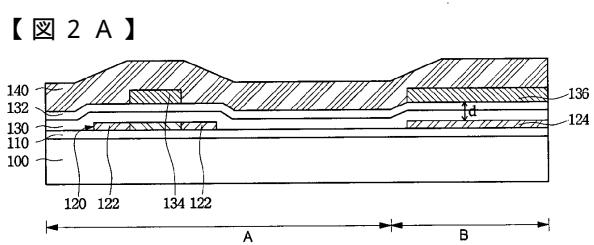
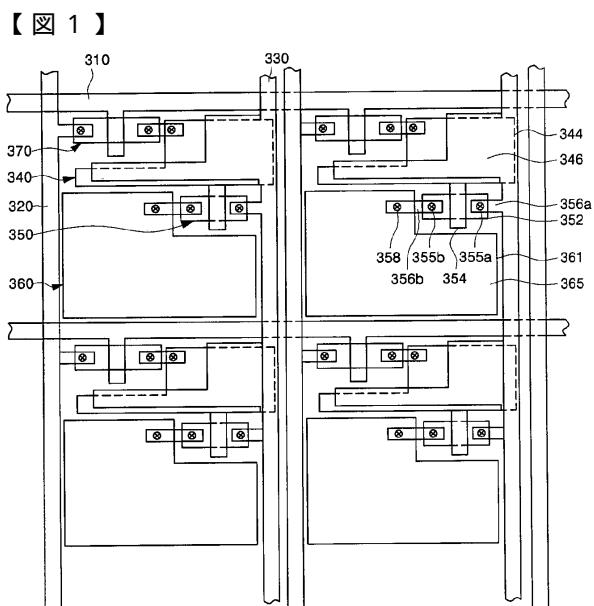
【符号の説明】

【0044】

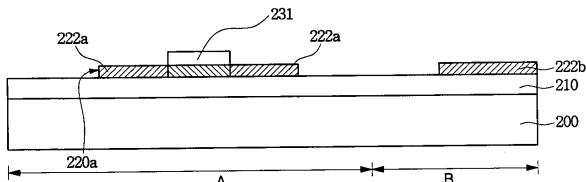
100、200 基板

50

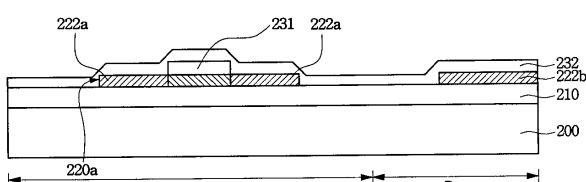
- 110、210 緩衝膜
 120、220a、220b 多結晶シリコン層パターン
 122、222a ソース/ドレイン領域
 124、222b 第1の電極
 130、230 第1のゲート絶縁膜
 132、232 第2のゲート絶縁膜
 134 ゲート電極
 136、236 第2の電極
 140、240 層間絶縁膜
 150、250 ソース電極
 152、252 ドレイン電極
 154、254 第3電極
 160、260 保護膜
 231 第1のゲート絶縁膜パターン 10



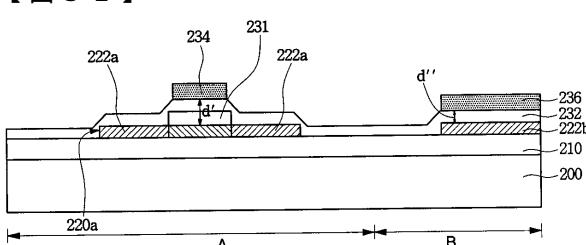
【図3C】



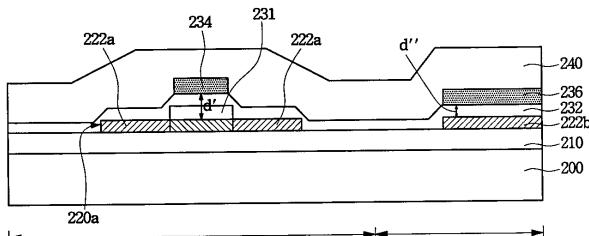
【図3D】



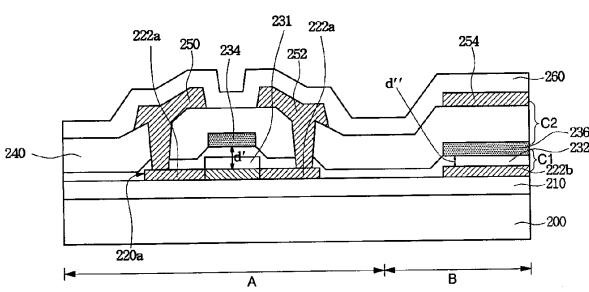
【図3E】



【図3F】



【図3G】



フロントページの続き

(56)参考文献 特開平04-219736(JP,A)
特開平04-291240(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 786
H 01 L 21 / 336
G 02 F 1 / 1368
G 09 F 9 / 30