（由本局填寫）

| | |
|---|---|
| 承辦人代碼： | |
| 大　　類： | |
| ＩＰＣ分類： | |

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　2001年03月28日　　特願2001-093660　　☑有　□無主張優先權

有關微生物已寄存於：　　寄存日期：　　，寄存號碼：



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（ 1 ）

發明之背景

1.發明範圍

本發明係與具有多晶矽膜與矽化物膜的積層構造之配線相關之半導體裝置及其製造方法相關。

2.發明之詳細說明

隨著半導體裝置之細微化，尋求MIS電晶體之閘(gate)電極及與閘電極相接續之配線(以下，兩者總稱為閘配線)的低光阻化。而多晶矽膜與金屬矽化物膜的積層構造，係以作為閘配線的低光阻化方法所為人知。

於美國專利5498908號，特開平3-203366號公報與特開平6-104259號公報中，則揭示上述的閘配線構造。該些文獻，係以防止在P型多晶矽膜與N型多晶矽膜之邊界附近之P型雜質以及N型雜質之相互擴散為目的。為此之故，例如：去除P型多晶矽膜與N型多晶矽膜之邊界區域上的金屬矽化物(Ti矽化物膜、W矽化物膜等)，並將被分斷的金屬矽化物膜們以金屬膜連接。

惟，在上述以前的技術中，為去除金屬矽化物膜，必須要圖案化(patterning)。為此之故，在被分斷的金屬矽化物膜之間，會產生以設計規則等為基礎之一定以上的間隔。用以接續被分斷之該等金屬矽化物膜的圖案幅度，會比上述間隔還大，同時也帶動面積的增加。又，為進行圖案化也需要多餘的步驟。尚且，Ti矽化物等因為具有比較高的光阻，因此要使閘電流配線的光阻完全



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 2 ）

降低有所困難。

有人提議使用以光阻比Ti矽化物還低的材料，Co矽化物($CoSi_2$)。惟，當使用Co矽化物替代Ti矽化物之情況下，會產生良率大幅降低的問題，使得適用在半導體裝置有所困難。

如同上述，在閘配線中使用多晶矽膜與金屬矽化物膜的積層構造的情況下，要獲得具有充分性能的半導體裝置是十分困難的。

發明之概要

本發明之第1觀點為一種半導體裝置，其中具備下列：第1配線，其含有：第1多晶矽膜，其係形成於上述半導體基板的上方，且含有第1導電型的雜質；及第1矽化物(silicide)膜，其係形成於第1多晶矽膜上方，且含有Co、Ni與Pd中至少一者；第2配線，其含有：第2多晶矽膜，其係形成於上述半導體基板之上方，與上述第1多晶矽膜相連，且含有第2導電型的雜質；及第2矽化物膜，其係形成於第2多晶矽膜上方，且含有Co、Ni與Pd中至少一者；及導電接續部，其具有與上述第1多晶矽膜與第2多晶矽膜之邊界區域相對之部分，且連接於上述第1矽化物膜與第2矽化物膜。

本發明之第2觀點係為一種半導體裝置之製造方法，其中具備下列各項步驟：在半導體基板的上方形成多晶矽膜之步驟、將第1導電型之雜質導入上述多晶矽e膜的第1區域中，而將第2導電型之雜質導入上述多晶矽膜的第2



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 3 ）

區域中之步驟、在含有上述第1以及第2的區域的上述多晶矽膜上，形成含有Co、Ni及Pd其中至少一個的金屬膜之步驟、使上述多晶矽膜與上述金屬膜反應，在上述第1區域上形成第1矽化物膜，而在第2的區域上形成第2矽化物膜之步驟、於上述第1的區域與第2的區域之邊界區域上，形成導電接續部，且使上述導電接續部與上述第1矽化物膜與第2矽化物膜接續之步驟。

圖示之簡單說明

圖1係為本發明之一實施型態中，半導體裝置的構成之一部分的平面圖圖示。

圖2A、圖2B以及圖2C係各為沿著圖1的A-A'之剖面圖，沿著B-B'之剖面圖以及沿著C-C'的剖面圖。

圖3A以及圖3B係為說明本發明之一實施型態中的半導體裝置之構成的剖面圖。

圖4係為說明本發明之一實施型態之半導體裝置的構成之平面圖。

圖5A、圖5B以及圖5C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖6A、圖6B以及圖6C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖7A、圖7B以及圖7C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖8A、圖8B以及圖8C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 4 ）

圖9A、圖9B以及圖9C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖10A、圖10B以及圖10C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖11A、圖11B以及圖11C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖12A、圖12B以及圖12C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖13A、圖13B以及圖13C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

圖14A、圖14B以及圖14C係為顯示本發明之一實施型態之半導體裝置之製造方法的一部分之剖面圖。

發明之詳細說明

以下則參照圖示以說明本發明之實施型態。

如上所述一般，藉由多晶矽膜及矽化鈷膜($CoSi_2$膜)的積層構造形成配線的情況下，會使產量降低。為探討其因，則對使用上述積層構造的閘配線進行解析。結果，發現存在Co矽化物膜的厚度較薄的地方，或是存在沒有形成Co矽化物之處，可以判定配線的光阻變得異常。

在探討Co矽化物膜形成不良之原因時，可以發現在佈植入As離子或是P離子的多晶矽區域($N^+$區域)與B離子所佈植入的多晶矽區域($P^+$區域)之邊界附近，得知形成不良的發生場所是很集中的。在進一步調查後，可以獲知，在邊界附近存在有厚的自然氧化膜的部分，因該厚



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 5 ）

的自然氧化膜而阻礙Co矽化物的形成。

使用以Ti矽化物($TiSi_2$)作為金屬矽化物膜之情況時，由於藉由Ti使自然氧化膜還原，所以自然氧化膜殘存有多少，並不會成為問題。惟，由於Co比Ti的還原力還弱之故，因此需要考慮因為殘存的自然氧化膜使得矽化物反應會受阻礙，因此產生Co矽化物形成不良之結果。

有關於在邊界附近存在較厚的自然氧化膜之理由，則如下述。當進行離子佈植入之際，因為光罩的位置偏離等之故，原本只有N型雜質離子(As離子或是P離子)、或是只有P型雜質離子(B離子)才能佈植入的區域中，產生兩方離子都佈植入之情形。於該情況下，在P型以及N型兩方的雜質離子佈植入的區域內，雜質的密度變高。在密度高的雜質之多結晶矽之上，可以獲得自然氧化膜的成長速度快的實驗結果。從而，在佈植入P型以及N型兩方的雜質離子的區域上，自然氧化膜的成長比其他區域還要加速。

尚且，上述較厚的自然氧化膜的厚度大約為2~5nm左右。又，Co矽化物的形成不良區域之幅度，則依賴光罩的位置精密度、裝置的狀態、自然氧化膜的厚度等，大約為0.1~0.2μm左右。

圖1係為顯示本發明之一實施型態中的半導體裝置之構成的一部分之平面圖。圖2A係為對應於沿著圖1之A-A'的剖面圖、圖2B係為對應於沿著圖1之B-B'的剖面圖、圖2C係為對應於沿著圖1之C-C'的剖面圖。



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 6 ）

在矽基板之表面部上，則形成P型井101、N型井121以及元件分離絕緣膜102。在P型井101以及N型井121之上方，夾有閘絕緣膜103，並且各自形成N型多晶矽配線104以及P型多晶矽配線124。在N型多晶矽配線104以及P型多晶矽配線124之側壁上，各自形成側壁絕緣膜106。在N型MIS電晶體區域中，夾著多晶矽配線104，且在P型井101之表面部上，形成N型源極/汲極107。在P型MIS電晶體區域中，夾著多晶矽配線124，在N型井121之表面部之上，形成P型源極/汲極127。

於源極/汲極107以及127上，各自形成Co矽化物電極108與128。又，於多晶矽配線104以及124之上，各自形成Co矽化物配線105以及125。藉由多晶矽配線104以及Co矽化物配線105之積層構造，形成含有N型MIS電晶體的閘電極的閘配線；而藉由多晶矽配線124以及Co矽化物配線125的積層構造，則形成含有P型MIS電晶體之閘電極的閘配線。

各閘配線其表面則被平坦化之層間絕緣膜109所覆蓋。層間絕緣膜109具有複數個孔，在各孔內，埋入以下所示的金屬電極(導電接續部)。而在N型多晶矽配線104與P型多晶矽配線124的邊界區域130上，形成電極112。該電極112，則具有與N型多晶矽配線104與P型多晶矽配線124之邊界區域130相對應之部分，且與矽化物配線105與矽化物配線125相接續。又，在矽化物配線105以及125上，各自都與電極111相接續。尚且，在矽



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 7 ）

化物電極108以及128上，各自與電極(接觸插頭)110相接續。

在層間絕緣膜109上形成配線113，各配線113則各自與其對應之電極110、111相接續。各配線113則被表面平坦化之層間絕緣膜114所覆蓋。層間絕緣膜114則具有通孔，在通孔內則埋有與配線113相接續之W穿通電極115。

在層間絕緣膜114上，則形成與W穿通電極115相接續之配線116。配線116則為表面平坦化之層間絕緣膜117所覆蓋。層間絕緣膜117則具有通孔，於通孔內，埋有與配線116相接續之W穿通電極118。於層間絕緣膜117之上，則形成與W穿通電極118相接續之配線119。層間絕緣膜117以及配線119之表面，則為鈍化膜120所覆蓋。

在上述的半導體裝置中，N型多晶矽配線104與P型多晶矽配線124間的邊界區域130上，存在有矽化物不良形成之區域。在該不良形成中，矽化物除呈現完全未成長之型態外，如圖3A所示一般，矽化物膜131則呈現部分形成的型態；如圖3B所示一般，尚包含比起多晶矽配線104以及124，矽化物膜131則呈現薄的形成型態等。上述如所述一般，在N型多晶矽配線104與P型多晶矽配線124間的邊界區域130之內，係因存在含有N型雜質以及P型雜質兩者之區域的情況所致。

於本實施型態中，例如圖4所顯示的模式，至少覆蓋邊



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 8 ）

界區域130一部分形成電極112，藉由該電極112，使矽化物配線105與矽化物配線125相接續。從而，矽化物配線105以及125之間，即使不會形成矽化物，亦可確保矽化物配線間的接續。

尚且，由於光阻罩位置脫落的方向等，於邊界區域130內，產生不會同時導入N型雜質與P型雜質的情況、或是指導入一方的情況。於該種情況下，於邊界區域130上，也會發生與矽化物配線105以及矽化物配線125連結的矽化膜可以正常形成的情況。

惟矽化物是否會發生形成不良之情況，係由製造時的要因所控制，因此無法在製造步驟前先預測。於本實施型態中，預先假設會產生矽化物形成不良的最大區域幅度(配線方向的幅度)，而預先設計比所假設的最大區域幅度(例如，0.1~0.2μm左右)還廣(例如0.2μm以上)的電極112之型式。據此，儘管無法得知是否會發生矽化物形成不良，亦可確實獲得具備低光阻的Co矽化物的特質之配線，而可以使配線的產量提昇。

又，本實施型態並非藉由以前的圖案化分斷矽化物配線。從而，隨著電極112之形成，可以控制面積之增加在最小限度內，而且無需增加圖案化步驟。又，藉由圖案化，與在分斷矽化物配線相同的情況時，在矽化物形成不良區域中，可以控制P型雜質以及N型雜質的相互擴散。

其次，本實施型態中，關於半導體裝置之製造方法之



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 9 ）

說明，請參照圖5A、圖5B以及圖5C~圖13A、圖13B以及圖13C。尚且，圖5A~圖13A係與沿著圖1之A-A'的剖面圖相對應；圖5B~圖13B係與沿著圖1之B-B'的剖面圖相對應；圖5C~圖13C係與沿著圖1之C-C'的剖面圖相對應。

首先，如圖5A、圖5B以及圖5C所示一般，在具有P型井101以及N型井121的半導體基板上，使用STI技術以形成元件分離絕緣膜102。其次，在P型井101以及N型井121的表面上形成閘絕緣膜103，在於閘絕緣膜103上堆積多晶矽膜201。接著，將閘絕緣膜103以及多晶矽膜201的堆積層圖案化為閘配線的形狀。其後，全面堆積矽氮化膜，再藉由RIE蝕刻矽氮化膜，並在積層膜的側壁上形成側壁絕緣膜106。

其次，如圖6A、圖6B以及圖6C所示一般，在N型井121區域上，形成光阻膜202。接著，以光阻膜202為罩，在P型井101以及多晶矽膜201上佈植入N型雜質(As或P)離子。尚且，藉由進行N型雜質之活性化，同時在P型井101的表面部上形成N型源極/汲極107，並形成N型多晶矽配線104。

其次，如圖7A、圖7B以及圖7C所示一般，在去除光阻膜202之後，於P型井101之區域上，形成光阻膜203。其次，以光阻膜203作為罩，在N型井121以及多晶矽膜201上佈植入P型雜質(B)離子。尚且，藉由進行P型雜質之活性化，同時在N型井121的表面部上形成P型



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 10 ）

源極/汲極127，並形成P型多晶矽配線124。

其次，如圖8A、圖8B以及圖8C所示一般，在去除光阻膜203之後，進行藥液處理等，將在源極/汲極107以及127與多晶矽配線104以及124之表面上所形成的自然氧化膜去除。其後，全面地堆積鈷(Co)膜204。

其次，如圖9A、圖9B以及圖9C所示一般，進行熱處理後，使鈷(Co)膜204與矽反應。結果，在N型多晶矽配線104上形成矽化鈷膜($CoSi_2$膜)105；而在P型多晶矽配線124上形成矽化鈷膜125。又，在源極/汲極107上形成矽化鈷膜108；而在源極/汲極127上形成矽化鈷膜128。且去除未反應的鈷(Co)膜。於本例中，在N型多晶矽配線104與P型多晶矽配線124間的邊界區域內，同時含有N型雜質與P型雜質。從而，如同既已敘述之理由，在N型多晶矽配線104以及P型多晶矽配線124間的邊界區域上，存在著矽化鈷(Co)膜形成不良之區域。

其次，如圖10A、圖10B以及圖10C所示一般，覆蓋著具有多晶矽膜與矽化鈷(Co)膜之積層構造的閘配線，形成平坦化之層間絕緣膜109。

其次，如圖11A、圖11B以及圖11C所示一般，在層間絕緣膜109內，同時形成複數個孔。亦即，在N型多晶矽配線104與P型多晶矽配線124間的邊界區域上，形成孔207；在矽化物配線105以及125上各自形成孔206；而在矽化鈷(Co)電極108以及128上各自形成孔205。

其次，如圖12A、圖12B以及圖12C所示一般，同時



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 11 ）

在孔205、206以及207之內埋入Ti、TiN以及W的多層構造之金屬膜。據此，在孔207內形成電極112，且藉由該電極112使矽化物配線105以及125相接續。又，在孔206內形成電極111。尚且，在孔205內形成電極110。

其次，如圖13A、圖13B以及圖13C所示一般，在層間絕緣膜109上，以濺射法(sputtering)等堆積，例如Ti/TiN/AlCu/Ti/TiN的積層構造之多層配線膜。尚且，將該多層配線膜圖案化，以形成配線113。其後，在層間絕緣膜109上，形成覆蓋配線113之層間絕緣膜114。

尚且於其後，形成穿通電極115、配線116、層間絕緣膜117、穿通電極118、配線119以及鈍化膜120；而形成如圖2A、圖2B以及圖2C所示般的半導體裝置。

根據上述的製造方法時，由於電極112係與電極110以及111同時形成，因此無須追加特別的步驟，便得以在N型多晶矽配線104與P型多晶矽配線124間的邊界區域上，形成電極112。

尚且，如圖14A、圖14B以及圖14C所示一般，即使以雙波紋製程，形成層間絕緣膜109上之構造亦可。於圖14A、圖14B以及圖14C中，301、305以及309代表氮化矽膜；302、306以及310則代表層間絕緣膜；303、307以及311則代表屏障金屬；304、308以及312代表配線以及插頭；313則為鈍化膜。

尚且，以上所說明的實施型態，係以矽化鈷膜為例所



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 12 ）

作之說明；使用矽化鎳($NiSi_2$)膜或是矽化鈀($PdSi_2$)膜取代矽化鈷膜亦可。又，亦可使用含有鈷、鎳以及鈀中的二個以上的矽化物膜。鈷、鎳以及鈀比鈦的還原力弱。因此，如既已說明般地，自可以形成矽化物不良之區域得知，使用與上述實施型態相同的方法是有效的。

又，由上述實施型態中所獲得之半導體裝置，亦可適用在下列各項裝置上，例如：配線原則0.18μm或是0.15μm的邏輯裝置(logic device)、SRAM裝置、DRAM/Logic混合裝置等。

本發明可由熟悉此項技藝者進行其他修改。因此本發明，廣泛而言，並非侷限於上述敘述之詳細內容與實施型態。因此，在不脫離本專利申請範圍與其相當之範圍定義下之發明觀念之精神與範圍內，皆可適用各式各樣不同之實施型態。

元件符號說明

| | |
|---|---|
| 101 | P型井 |
| 102 | 元件分離絕緣膜 |
| 103 | 閘絕緣膜 |
| 104 | N型多晶矽配線 |
| 105, 125, 128 | 矽化鈷配線 |
| 106 | 側壁絕緣膜 |
| 107 | N型源極／汲極 |
| 108 | 矽化物電極 |
| 109, 114, 117, 302, 306, 310 | 層間絕緣膜 |



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 13 ）

| | |
|---|---|
| 110, 111, 112 | 電極 |
| 115, 118 | 穿通電極 |
| 113, 116, 119, 304, 308, 312 | 配線 |
| 120, 313 | 鈍化膜 |
| 121 | N型井 |
| 124 | P型多晶矽配線 |
| 127 | P型源極／汲極 |
| 130 | 邊界區域 |
| 201 | 多晶矽膜 |
| 202, 203 | 光阻膜 |
| 204 | Co膜 |
| 205, 206, 207 | 孔 |
| 301, 305, 309 | 氮化矽膜 |
| 303, 307, 311 | 屏障金屬 |



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A5
B5

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

本發明提供一種半導體裝置，其具備下列各項：

半導體基板；

第1配線，其含有：第1多晶矽膜，其係形成於上述半導體基板的上方，且含有第1導電型的雜質；及第1矽化物(silicide)膜，其係形成於第1多晶矽膜上方，且含有Co、Ni與Pd中至少一者；

第2配線，其含有：第2多晶矽膜，其係形成於上述半導體基板之上方，與上述第1多晶矽膜相連，且含有第2導電型的雜質；及第2矽化物膜，其係形成於第2多晶矽膜上方，且含有Co、Ni與Pd中至少一者；及

導電接續部，其具有與上述第1多晶矽膜與第2多晶矽膜之邊界區域相對之部分，且連接於上述第1矽化物膜與第2矽化物膜。

日文發明摘要（發明之名稱：半導体装置及びその製造方法）

半導体基板と、前記半導体基板の上方に形成され、第1導電型の不純物を含有する第1のポリシリコン膜と、第1のポリシリコン膜上に形成されCo、Ni及びPdの少なくとも一つを含有する第1のシリサイド膜とを含む第1の配線と、前記半導体基板の上方に形成され、前記第1のポリシリコン膜とつながり第2導電型の不純物を含有する第2のポリシリコン膜と、第2のポリシリコン膜上に形成されCo、Ni及びPdの少なくとも一つを含有する第2のシリサイド膜と、を含む第2の配線と、前記第1のポリシリコン膜と第2のポリシリコン膜との境界領域に対応した部分を有し、前記第1のシリサイド膜と第2のシリサイド膜とに接続された導電接続部と、を備えた半導体装置が提供される。



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

## 六、 申請專利範圍

1. 一種半導體裝置，其具備：

半導體基板；

第1配線，其含有：第1多晶矽膜，其係形成於上述半導體基板的上方，且含有第1導電型的雜質；及第1矽化物(silicide)膜，其係形成於第1多晶矽膜上方，且含有Co、Ni與Pd中至少一者；

第2配線，其含有：第2多晶矽膜，其係形成於上述半導體基板之上方，與上述第1多晶矽膜相連，且含有第2導電型的雜質；及第2矽化物膜，其係形成於第2多晶矽膜上方，且含有Co、Ni與Pd中至少一者；及

導電接續部，其具有與上述第1多晶矽膜與第2多晶矽膜之邊界區域相對之部分，且連接於上述第1矽化物膜與第2矽化物膜。

2. 如申請專利範圍第1項之半導體裝置，其中

上述第1之配線包含有第1導電型MIS電晶體之閘電極；

而上述的第2之配線包含有第2導電型MIS電晶體之閘電極。

3. 如申請專利範圍第1項之半導體裝置，其中

上述導電接續部覆蓋著上述邊界區域之至少一部分。

4. 如申請專利範圍第1項之半導體裝置，其中

上述邊界區域包含有第1導電型之雜質及第2導電型之雜質之至少一者。



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、 申請專利範圍

5. 如申請專利範圍第1項之半導體裝置，其中

於上述邊界區域上，並無形成矽化物膜。

6. 如申請專利範圍第1項之半導體裝置，其中

在上述邊界區域上之至少一部分上，形成有矽化物膜。

7. 如申請專利範圍第6項之半導體裝置，其中

上述矽化物膜比上述第1以及第2的矽化物膜還薄。

8. 如申請專利範圍第1項之半導體裝置，其中

尚具備覆蓋上述第1以及第2之配線的絕緣膜，且在上述絕緣膜內，形成有上述導電接續部。

9. 如申請專利範圍第8項之半導體裝置，其中

尚具備於上述絕緣膜內，與上述導電接續部分開而形成之其他的導電接續部，上述其他的導電接續部係使用與上述導電接續部同一材料所形成的。

10. 如申請專利範圍第9項之半導體裝置，其中

上述導電接續部之上面、上述其他的導電接續部之上面以及上述絕緣膜之上面，係在略同一平面內。

11. 如申請專利範圍第9項之半導體裝置，其中

上述其他的導電接續部係與上述第1的矽化物膜、第2的矽化物膜、或是上述半導體基板上的矽化物膜相接續。

12. 如申請專利範圍第9項之半導體裝置，其中

尚具備形成於上述絕緣膜上的上層配線，上述上層配線係與上述其他的導電接續部相接續。



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

## 六、 申請專利範圍

13. 一種半導體裝置之製造方法，其具備下列各項步驟：

在半導體基板的上方形成多晶矽膜之步驟；

在上述多晶矽膜的第1之區域內導入第1導電型之雜質，而在上述多晶矽膜的第2之區域內導入第2導電型之雜質之步驟；

在含有上述第1以及第2之區域之上述多晶矽膜上，形成包含有鈷(Co)、鎳(Ni)以及鈀(Pd)中至少一者的金屬膜之步驟；

使上述多晶矽膜與上述金屬膜反應，在上述第1的區域上形成第1矽化物膜；而在上述第2的區域上形成第2的矽化物膜之步驟；

在上述第1之區域與第2之區域的邊界區域上，形成導電接續部，將上述導電接續部與上述第1的矽化物膜與第2的矽化物膜接續之步驟。

14. 如申請專利範圍第13項之半導體裝置之製造方法，其中

上述導電接續部覆蓋住上述邊界區域之至少一部分。

15. 如申請專利範圍第13項之半導體裝置之製造方法，其中

尚且具備有形成覆蓋上述第1以及第2之矽化物膜之絕緣膜之步驟；

上述導電接續部之形成步驟，包含有在上述絕緣膜內形成上述導電接續部之步驟。



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、 申請專利範圍

16. 如申請專利範圍第15項之半導體裝置之製造方法，其中

上述導電接續部之形成步驟，包含有在上述絕緣膜內形成與上述導電接續部分開之其他的導電接續部之步驟。

17. 如申請專利範圍第16項之半導體裝置之製造方法，其中

上述其他的導電接續部之形成步驟，包含有將上述其他的導電接續部與上述第1矽化物膜、第2矽化物膜、或是上述半導體基板上的矽化物膜接續之步驟。

18. 如申請專利範圍第16項之半導體裝置之製造方法，其中

尚且具備在上述絕緣膜上形成上層配線，將上述上層配線與上述其他的導電接續部相接續之步驟。

19. 如申請專利範圍第13項之半導體裝置之製造方法，其中

將上述第1導電型之雜質導入之步驟，包含在上述多晶矽膜之第1的區域以及在上述半導體基板之第2導電型之區域上，導入上述第1導電型之雜質之步驟；

導入上述第2導電型之雜質之步驟，包含在上述多晶矽膜之第2的區域以及在上述半導體基板之第1導電型之區域上，導入上述第2導電型之雜質之步驟。

20. 如申請專利範圍第19項之半導體裝置之製造方法，其中



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、 申請專利範圍

上述金屬膜之形成步驟，包含在上述多晶矽膜、上述半導體基板之第1導電型之區域以及第2導電型之區域上，形成上述金屬膜之步驟；

使上述金屬膜反應之步驟，包含使上述半導體基板之第1導電型之區域以及第2導電型之區域與上述金屬膜反應，且在上述第1導電型之區域上，形成第3之矽化物膜，而在上述第2導電型之區域上，形成第4矽化物膜之步驟。



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

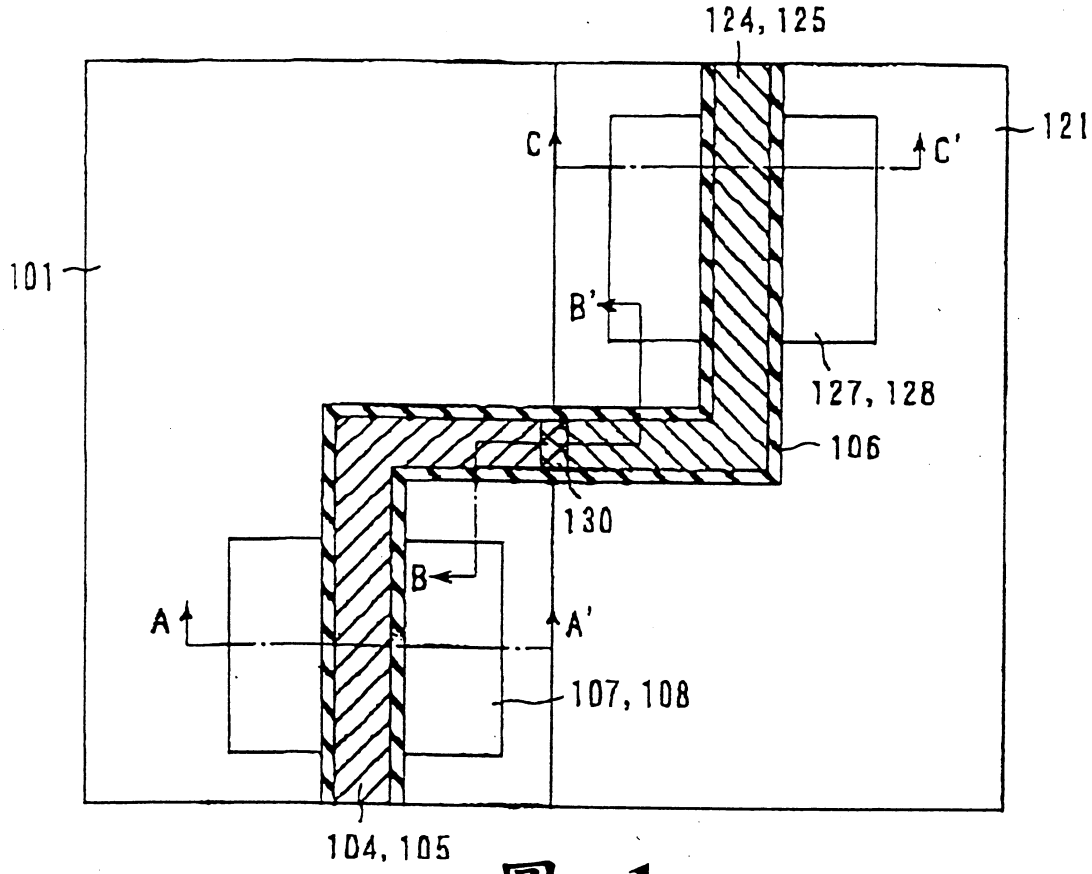
124, 125
121
C
C'
101
B'
127, 128
106
130
B
A
A'
107, 108
104, 105

圖 1

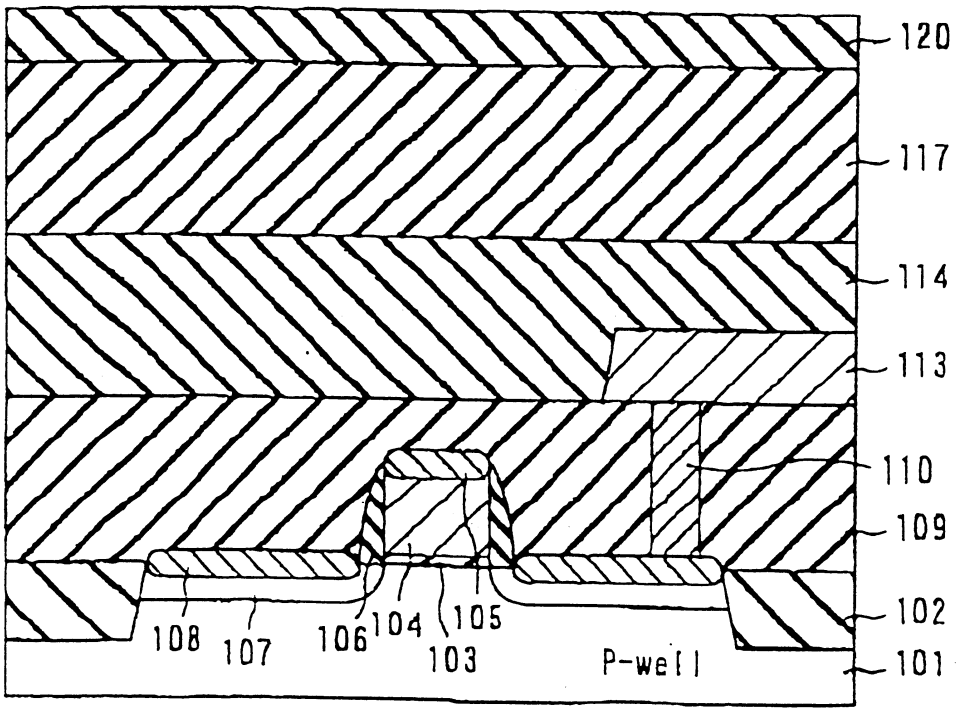
120
117
114
113
110
109
102
101
108
107
106
104
105
103
P-well

圖 2A

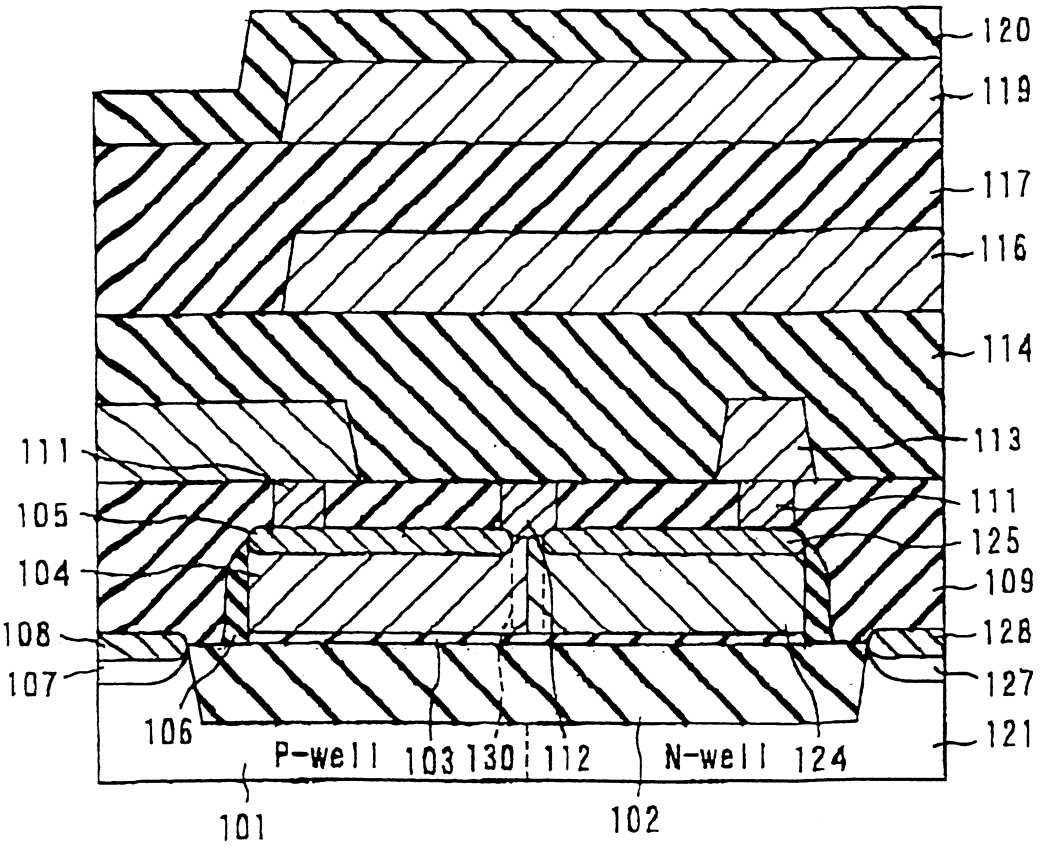
120
119
117
116
114
113
111
105
104
108
107
106
111
125
109
128
127
121
P-well
103
130
112
N-well
124
101
102

圖 2B

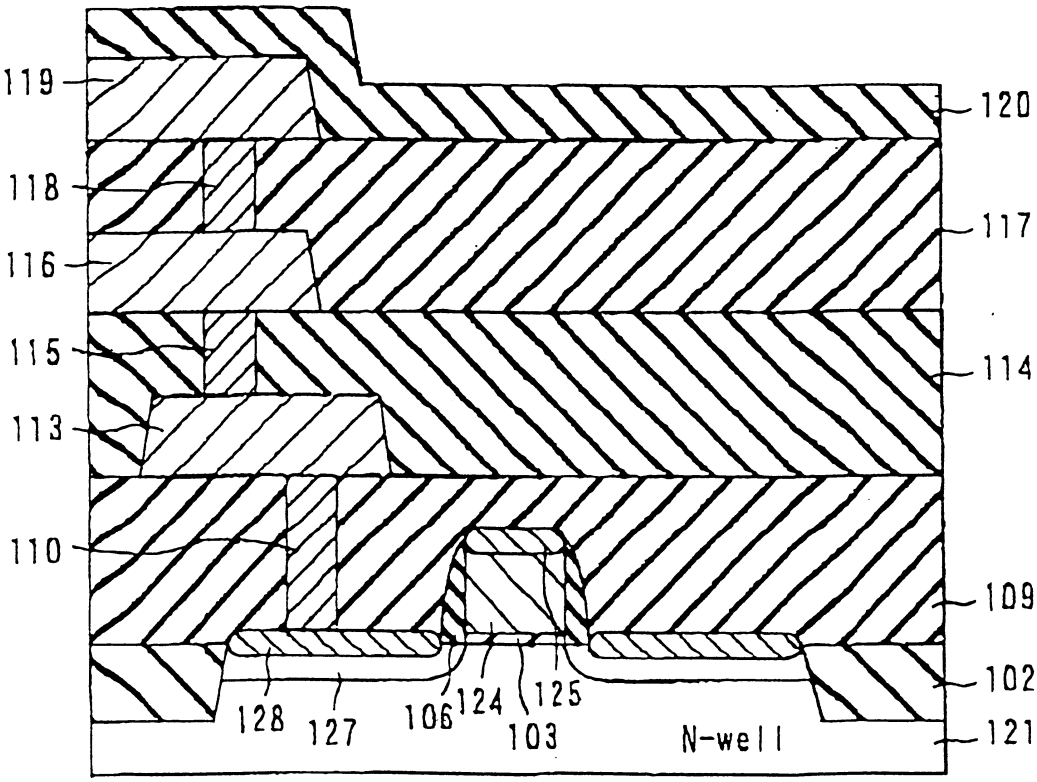
119
118
116
115
113
110
120
117
114
109
102
121
128
127
106
124
125
103
N-well

圖 2C

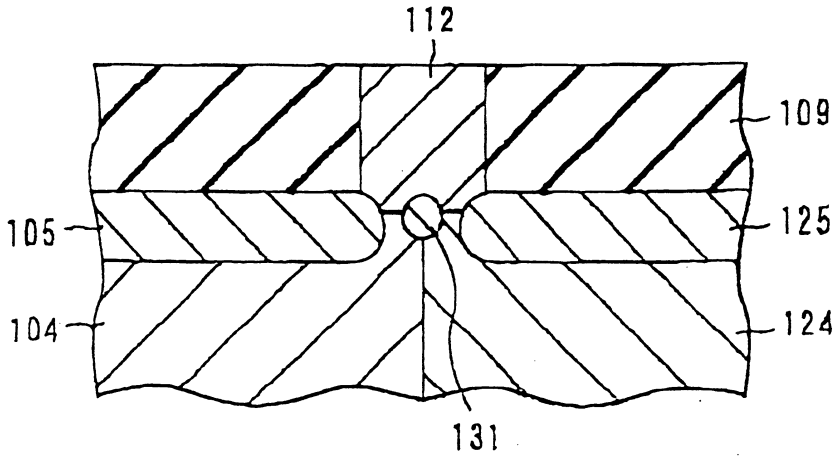
112
109
105
125
104
124
131

圖 3A

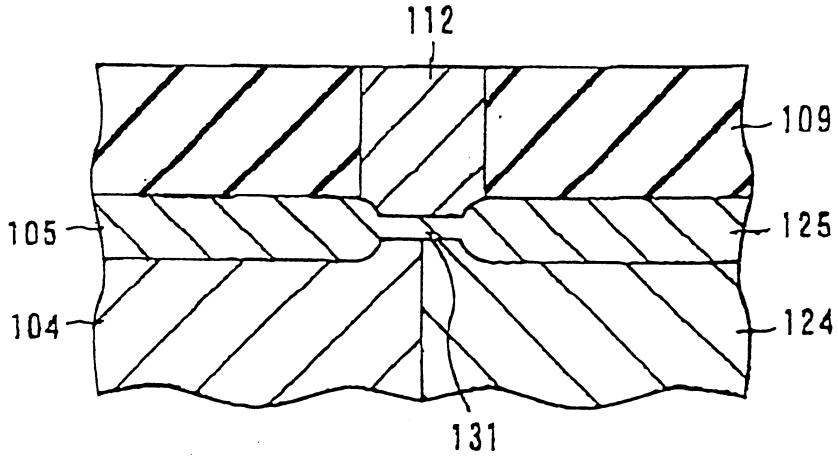
112
109
105
125
104
124
131

圖 3B

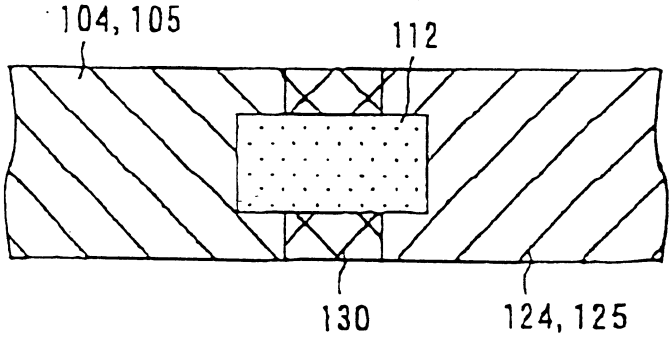
104, 105
112
130
124, 125

圖 4

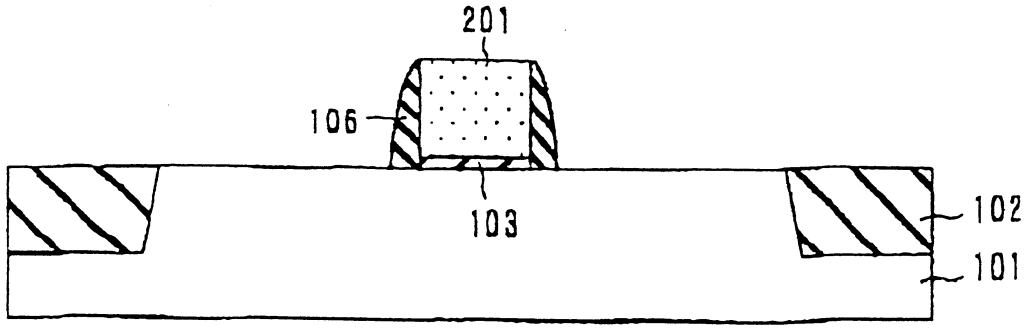


圖 5A

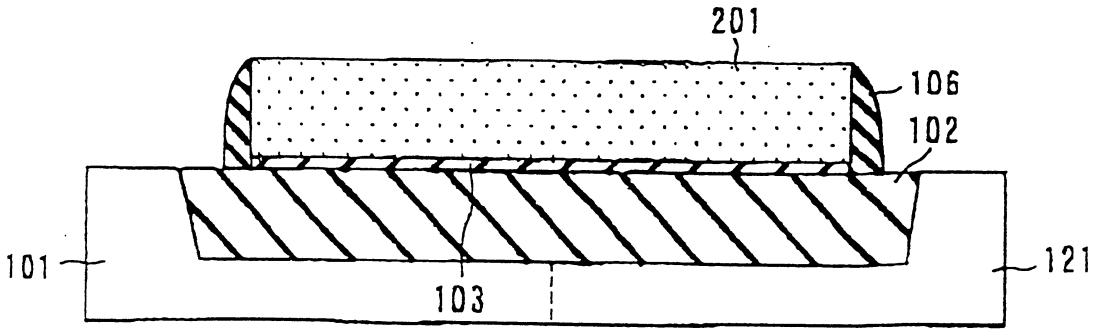


圖 5B

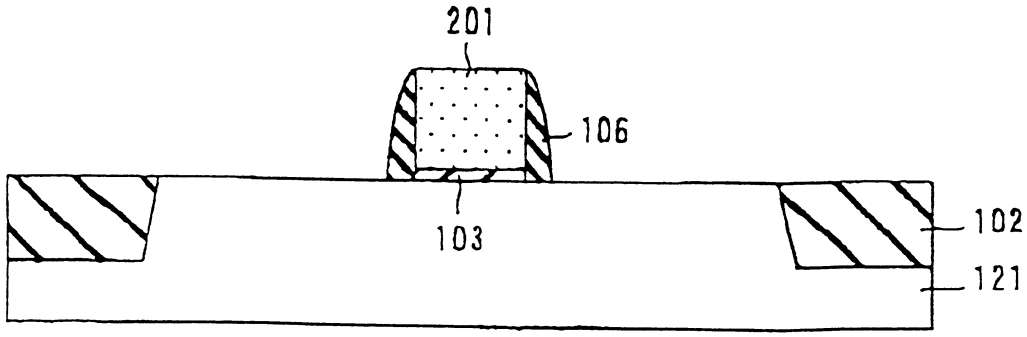


圖 5C

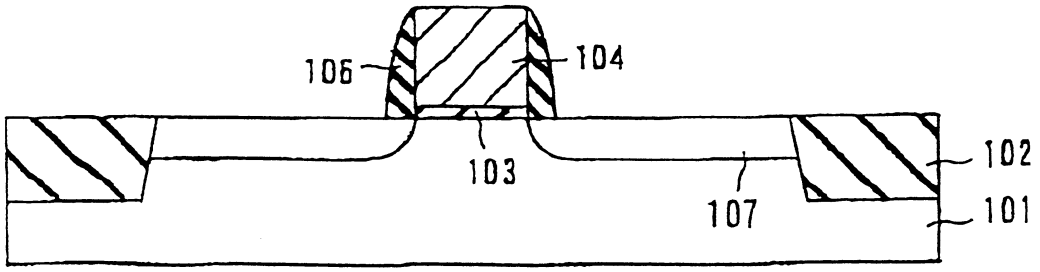
106
104
103
107
102
101

圖 6A

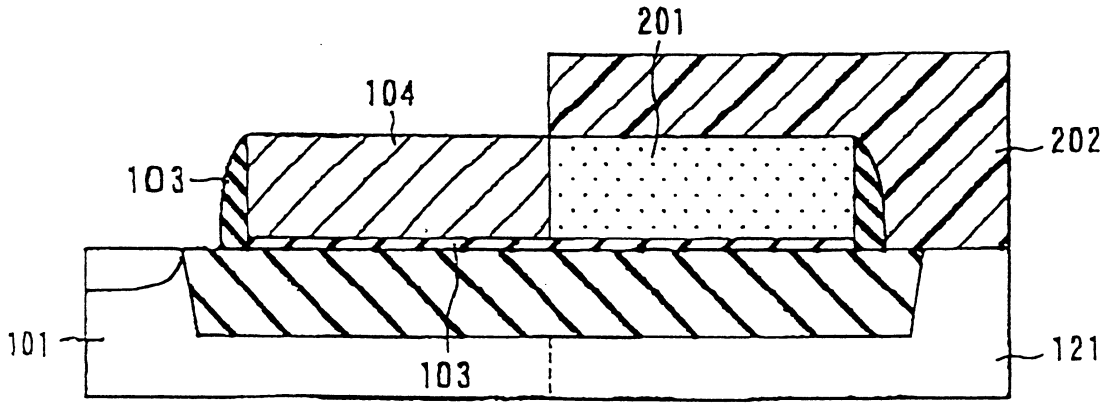
201
104
103
202
101
103
121

圖 6B

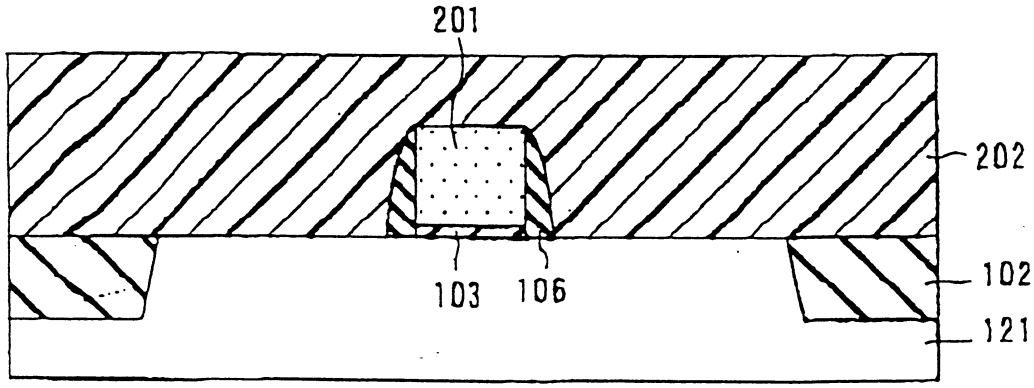
201
202
103
106
102
121

圖 6C

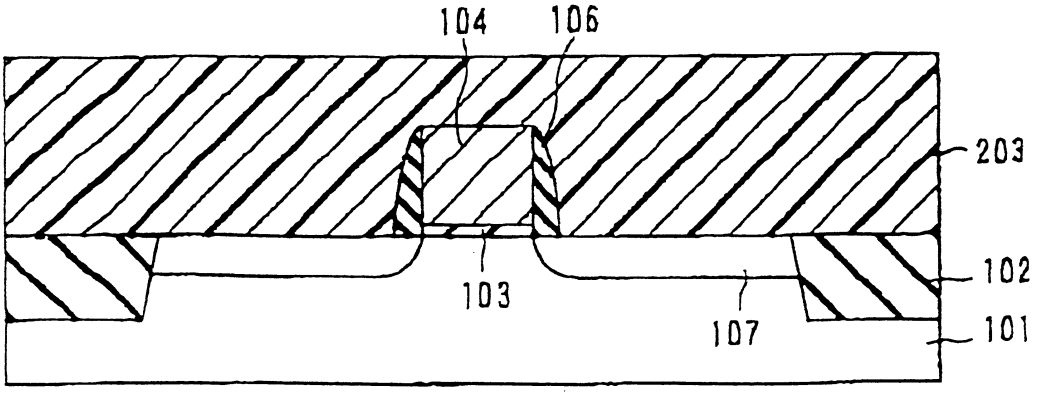
104
106
203
102
103
107
101

圖 7A

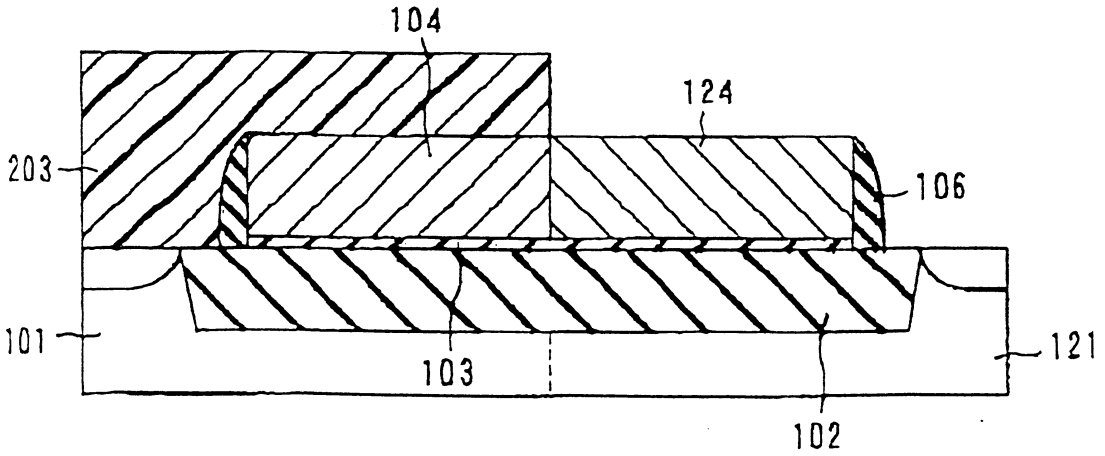
104
124
203
106
101
103
121
102

圖 7B

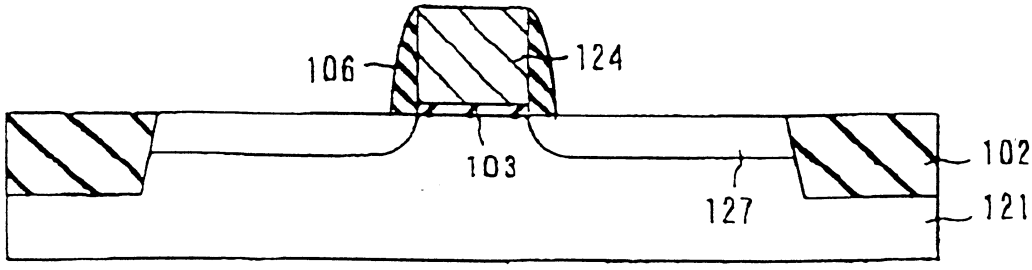
106
124
103
102
127
121

圖 7C

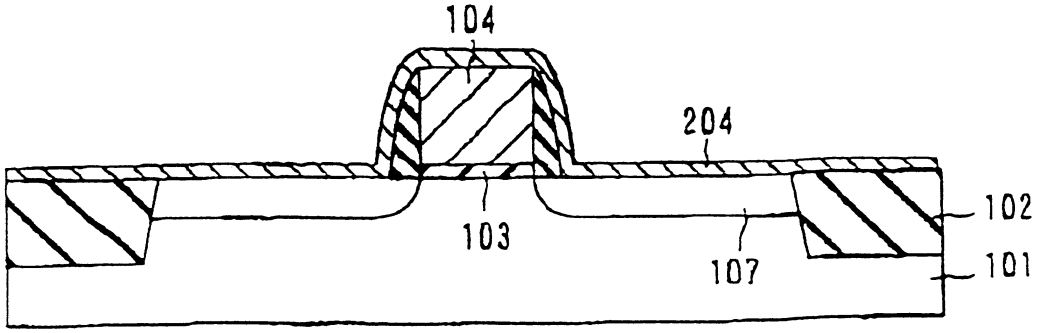
104
204
102
103
107
101

圖 8A

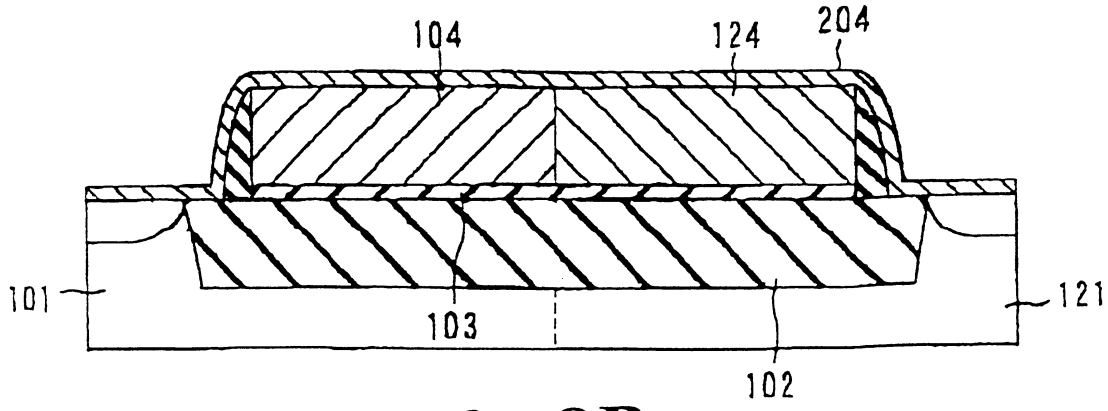
104
124
204
101
103
121
102

圖 8B

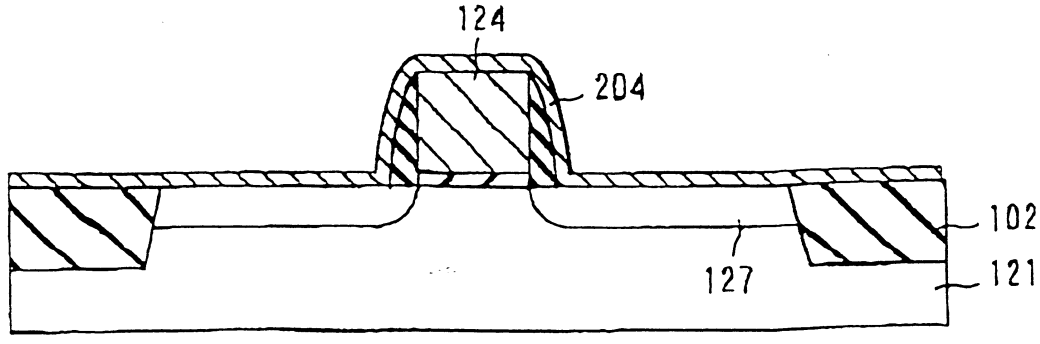
124
204
102
127
121

圖 8C

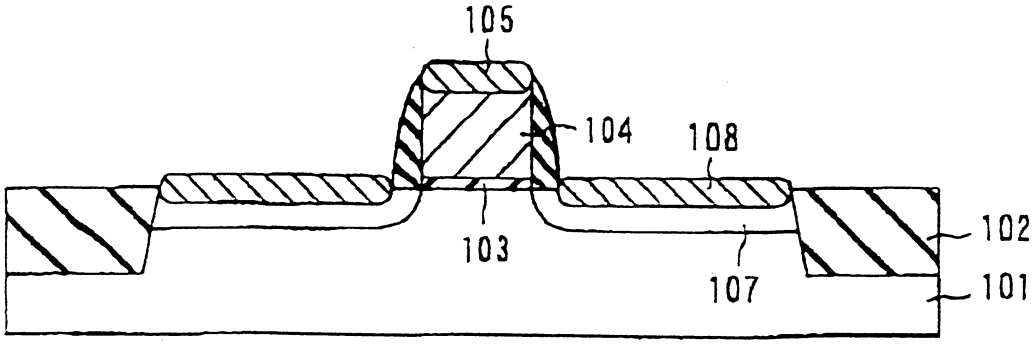
105
104
108
103
107
102
101

圖 9A

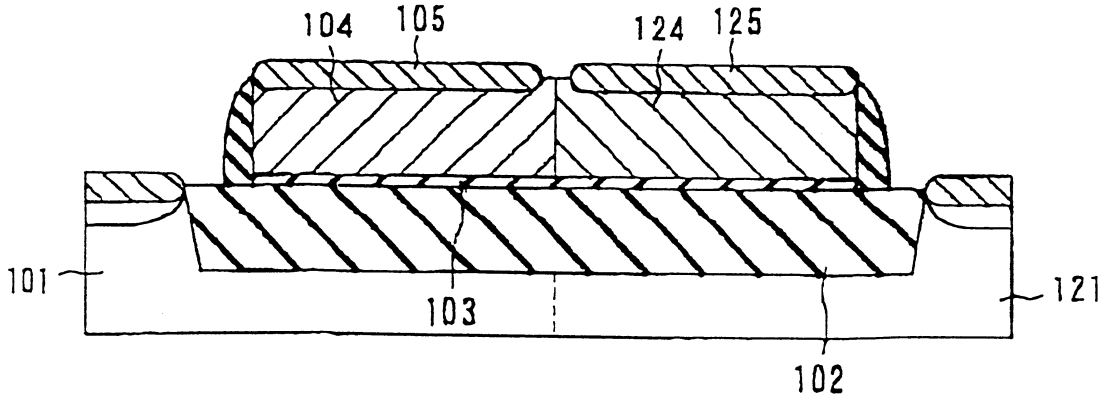
104
105
124
125
101
103
102
121

圖 9B

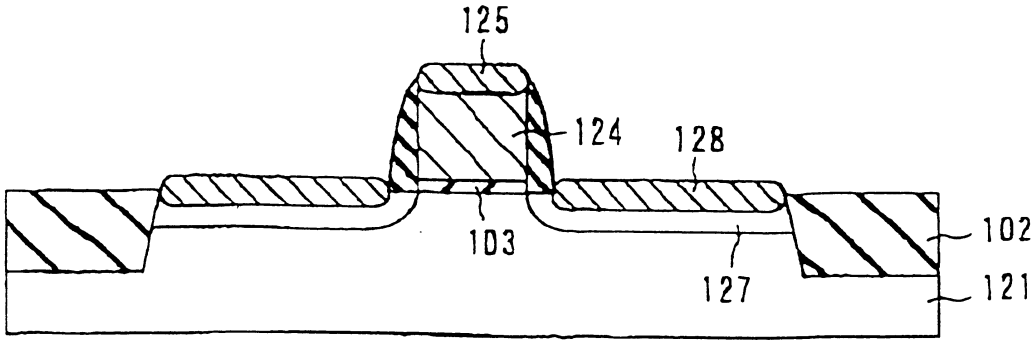
125
124
128
103
127
102
121

圖 9C

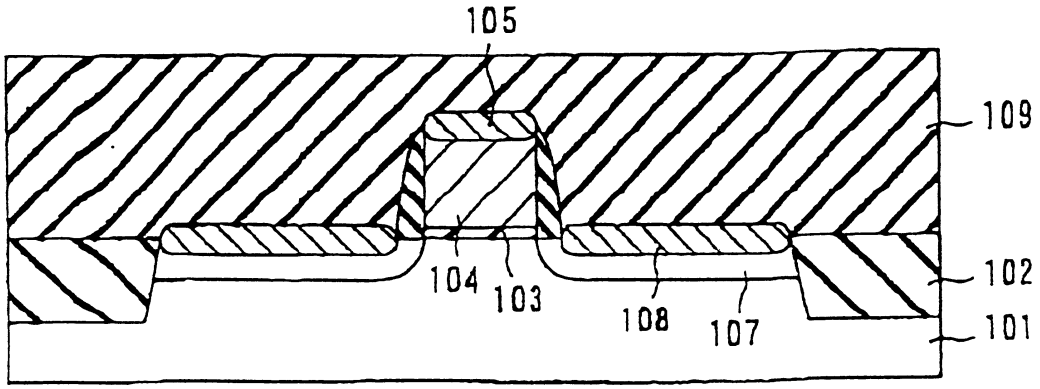


圖 10A

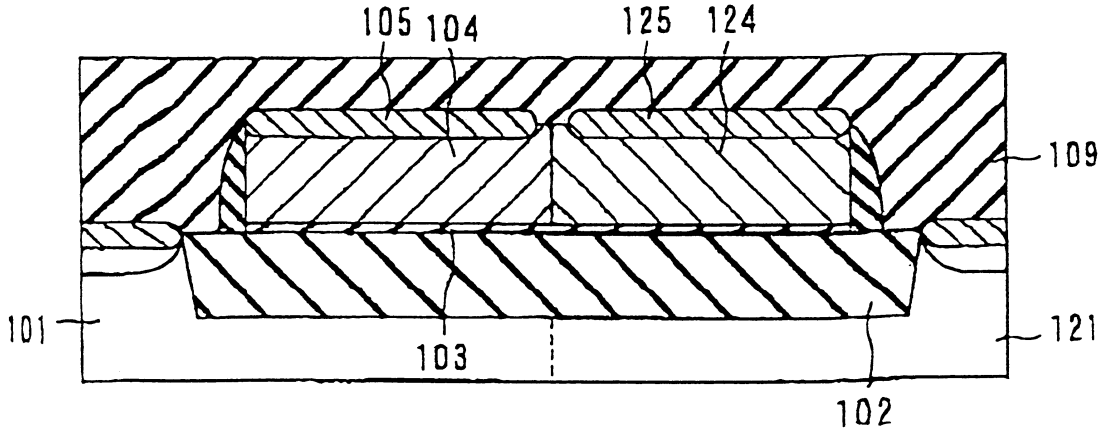


圖 10B

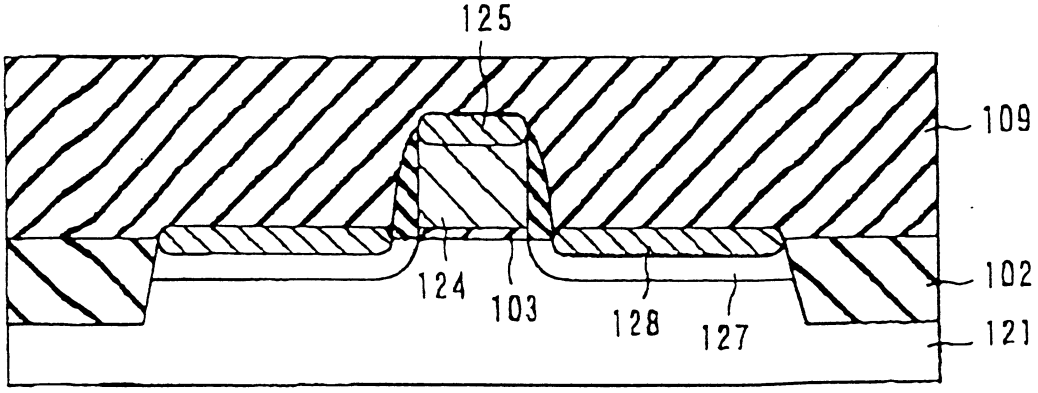


圖 10C

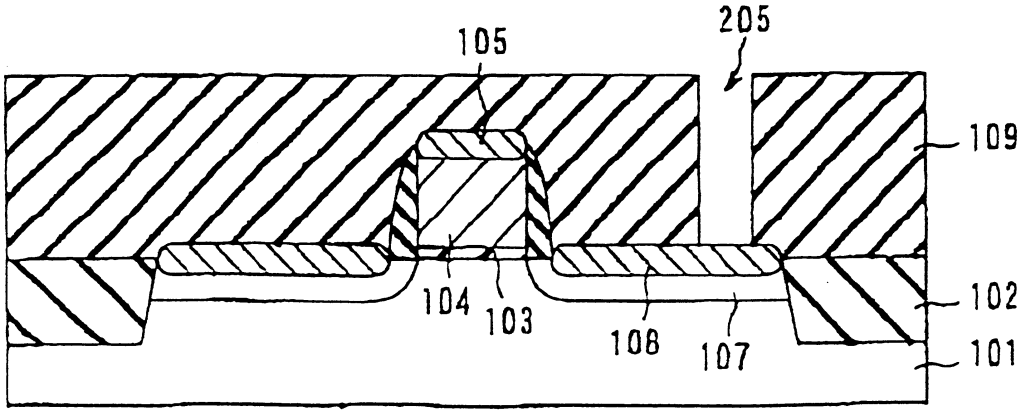


圖 11A

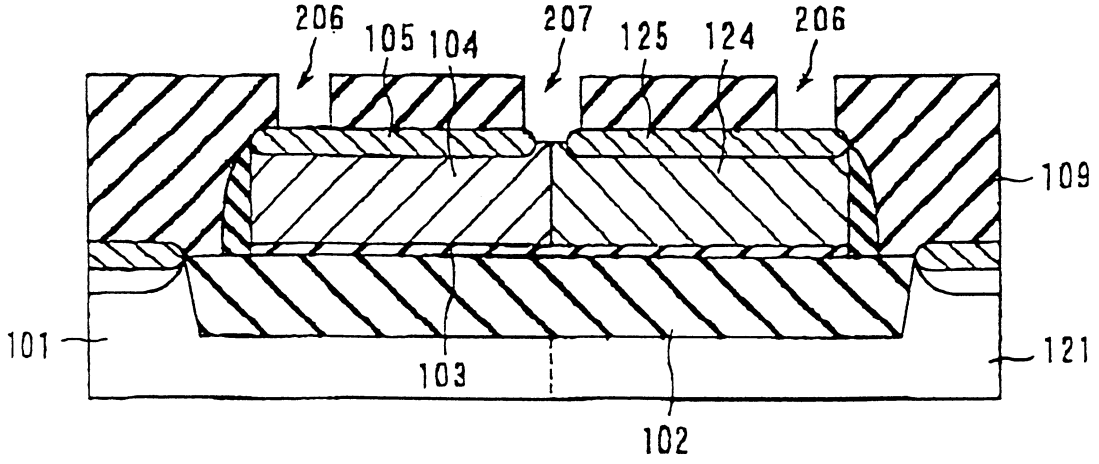


圖 11B

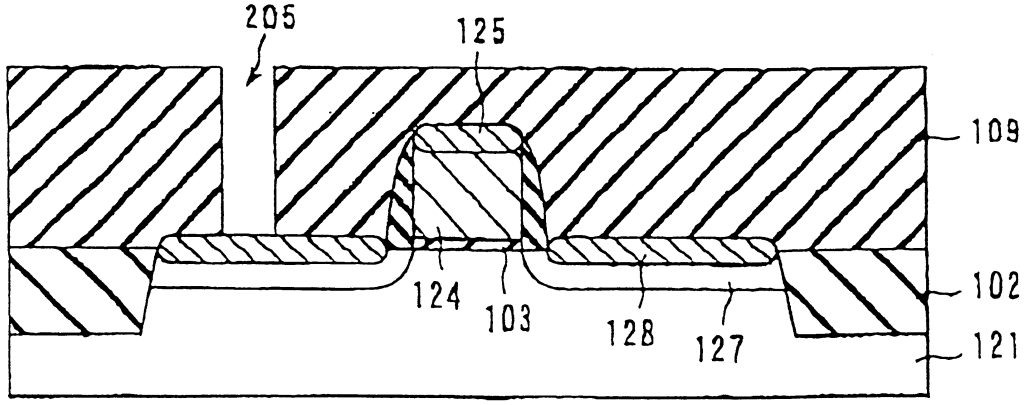


圖 11C

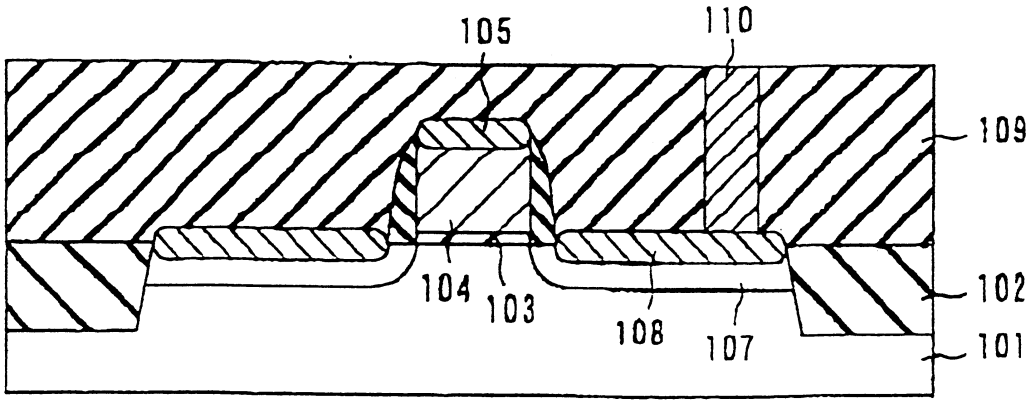


圖 12A

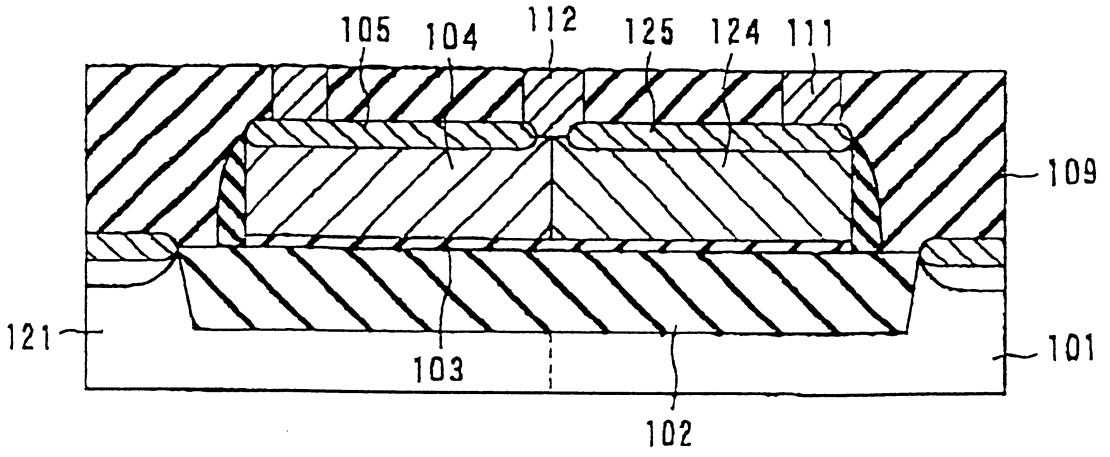


圖 12B

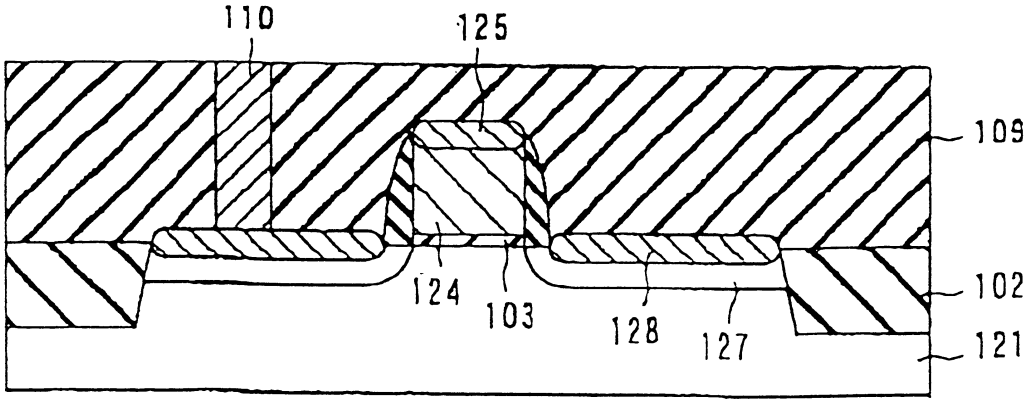


圖 12C

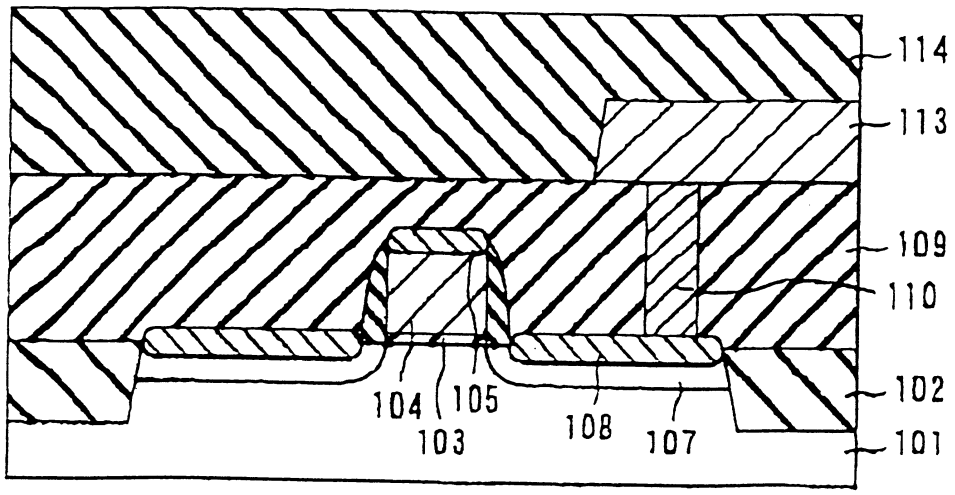


圖 13A

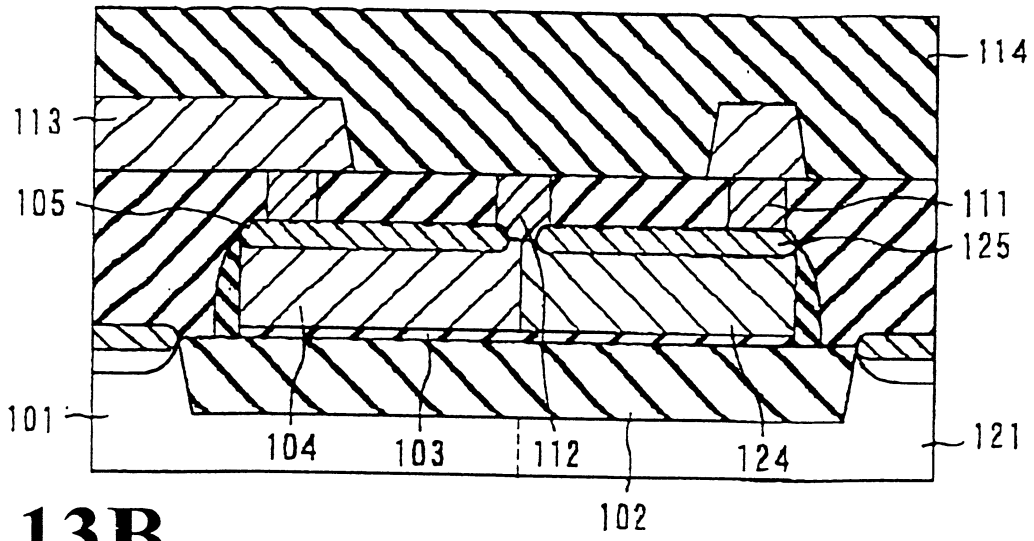


圖 13B

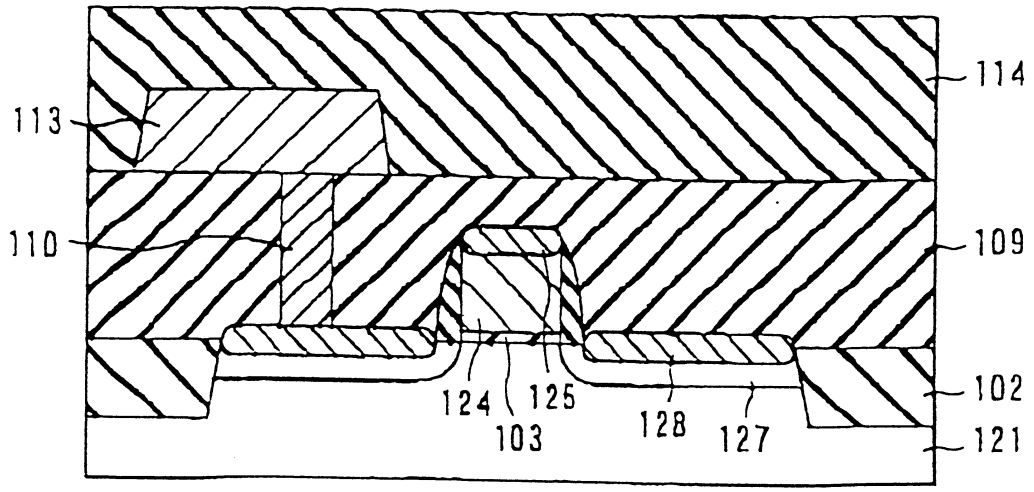


圖 13C

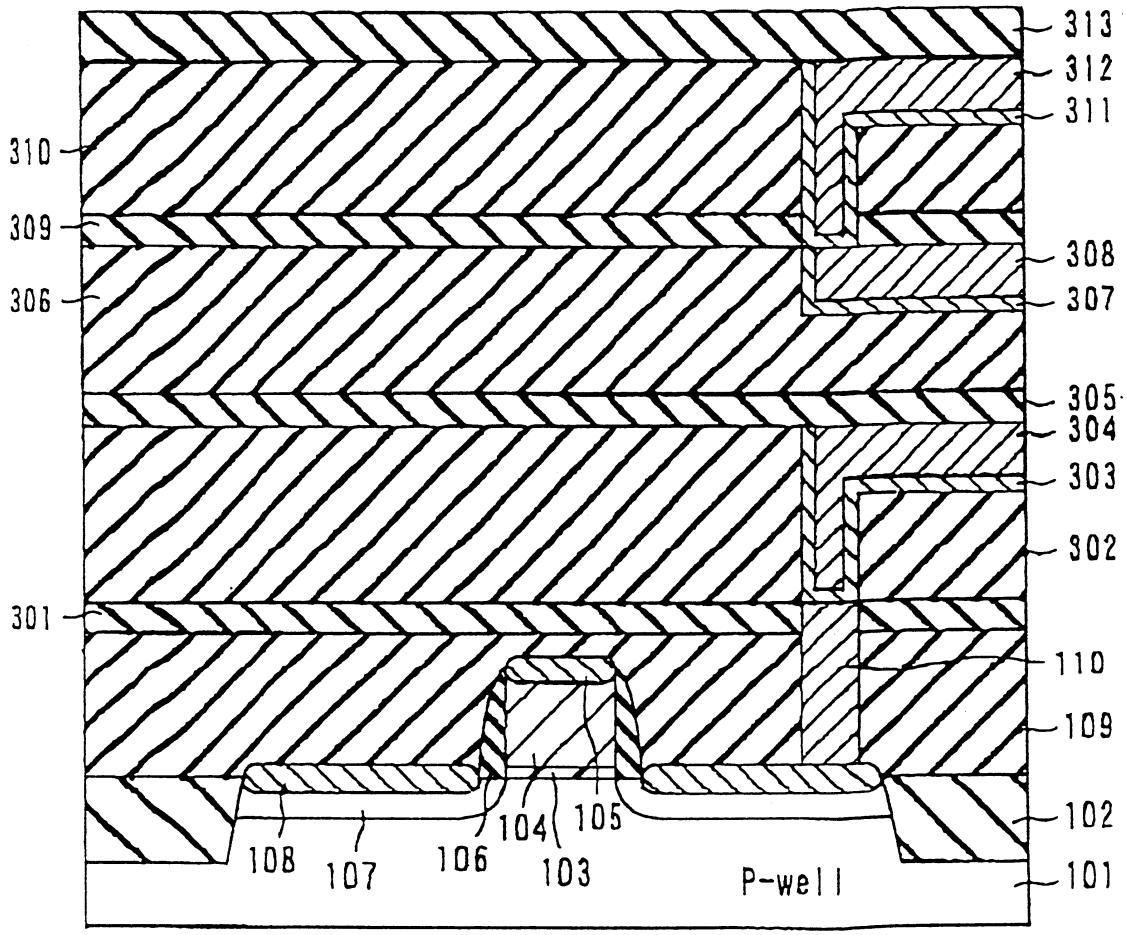
313
312
311
310
309
308
306
307
305
304
303
302
301
110
109
102
104
105
108
107
106
103
P-well
101

圖 14A

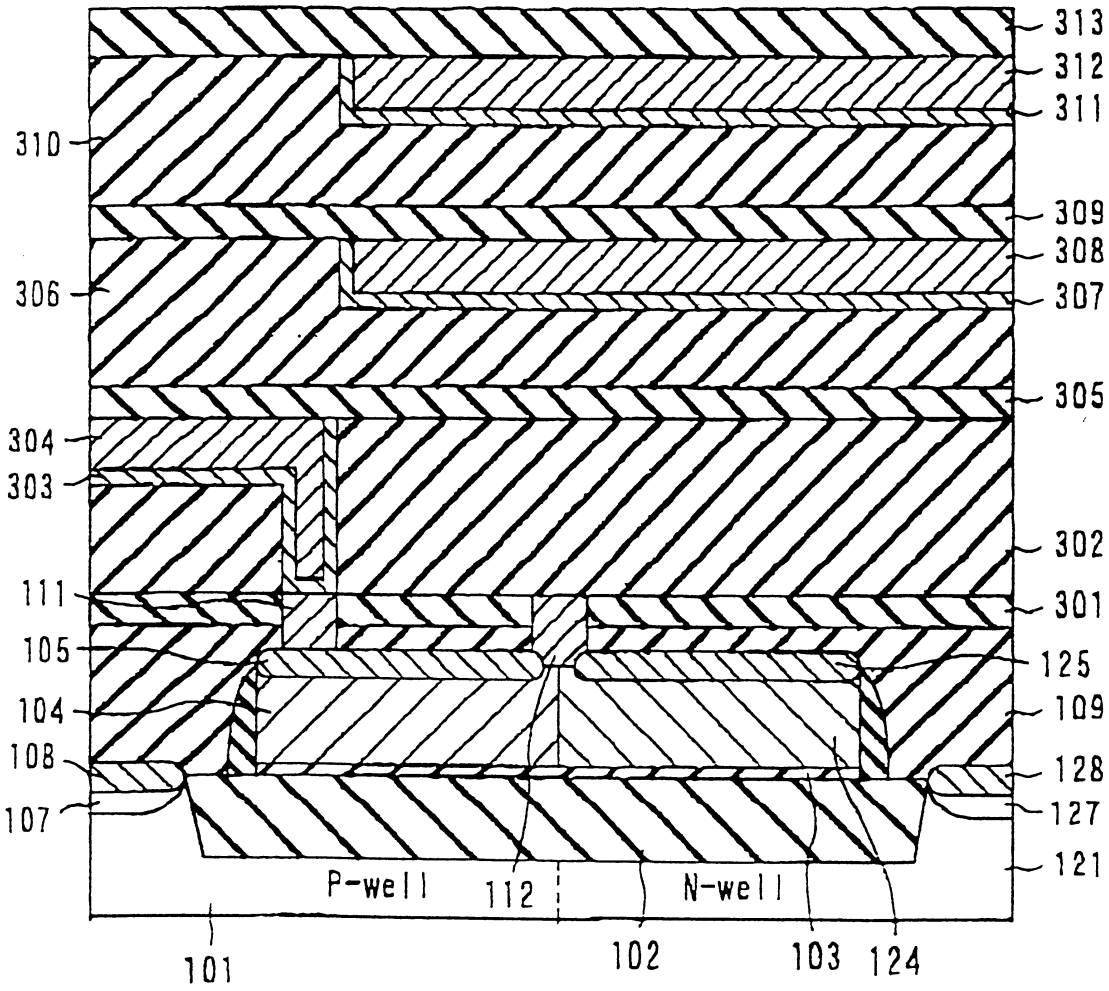
313
312
311
310
309
308
306
307
305
304
303
302
111
301
105
125
104
109
108
128
107
127
121
P-well
112
N-well
101
102
103
124

圖 14B

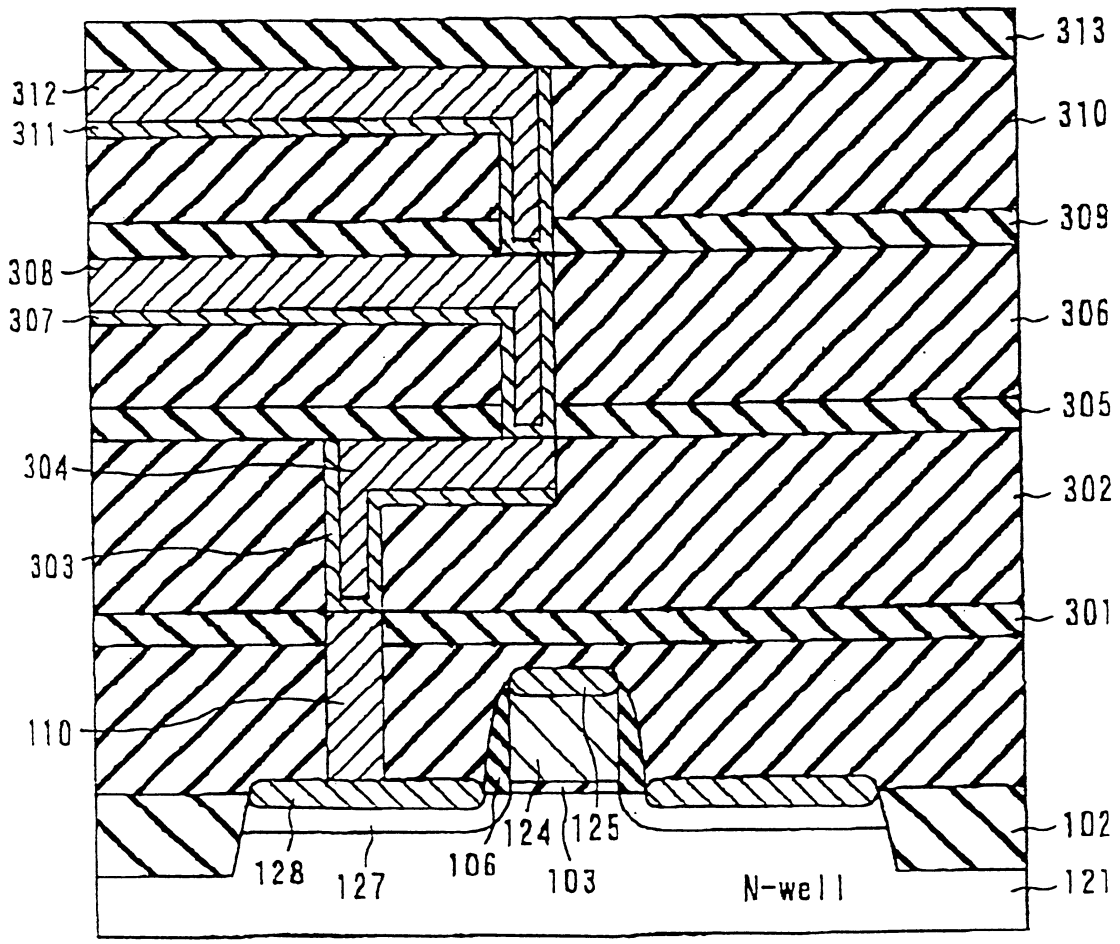
313
312
311
310
309
308
307
306
305
304
302
303
301
110
102
124
125
128
127
106
103
N-well
121

圖 14C

公告本

| | |
|---|---|
| 申請日期 | 91. 3. 28. |
| 案號 | 091106158 |
| 類別 | H01L 21/00 |

（以上各欄由本局填註）

A4
C4

92. 3. 21
中文說明書替換本(92年3月)

# 發明 新型 專利說明書 538437

| | | |
|---|---|---|
| 一、發明 新型 名稱 | 中文 | 半導體裝置及其製造方法 |
| | 日文 | 半導体装置及びその製造方法 |
| 二、發明 創作 人 | 姓名 | 1.堤 薰<br>2.福原 成太<br>3.江澤 弘和 |
| | 國籍 | 均日本 JAPAN |
| | 住、居所 | 1. 日本國神奈川縣橫濱市鶴見區東寺尾中台33-12克雷亞雷中台B412<br>2. 日本國三重縣四日市市下之宮町269-2克雷亞雷東芝阿薩克206<br>3. 日本國東京都大田區西蒲田2-11-9 |
| 三、申請人 | 姓名（名稱） | 日商東芝股份有限公司<br>KABUSHIKI KAISHA TOSHIBA |
| | 國籍 | 日本 JAPAN |
| | 住、居所（事務所） | 日本國東京都港區芝浦1丁目1番1號 |
| | 代表人姓名 | 岡村 正<br>TADASHI OKAMURA |



本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線