

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成24年2月2日(2012.2.2)

【公開番号】特開2010-56542(P2010-56542A)

【公開日】平成22年3月11日(2010.3.11)

【年通号数】公開・登録公報2010-010

【出願番号】特願2009-176611(P2009-176611)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 6 V

H 0 1 L 29/78 6 1 6 U

H 0 1 L 29/78 6 2 7 B

H 0 1 L 29/78 6 1 8 A

H 0 1 L 29/78 6 1 6 L

【手続補正書】

【提出日】平成23年12月9日(2011.12.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート電極層と、

前記ゲート電極層上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に設けられた半導体層と、

前記半導体層上に設けられた第 1 のバッファ層及び第 2 のバッファ層と、

前記第 1 のバッファ層上に設けられたソース電極層と、前記第 2 のバッファ層上に設けられたドレイン電極層とを含み、

前記半導体層、前記第 1 のバッファ層及び前記第 2 のバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体を有し、

前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、

前記半導体層と前記ソース電極層とは、前記第 1 のバッファ層を介して電氣的に接続され、前記半導体層と前記ドレイン電極層とは、前記第 2 のバッファ層を介して電氣的に接続されることを特徴とする半導体装置。

【請求項 2】

ゲート電極層と、

前記ゲート電極層上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に設けられた半導体層と、

前記半導体層上に設けられた第 1 のバッファ層及び第 2 のバッファ層と、

前記第 1 のバッファ層上に設けられたソース電極層と、前記第 2 のバッファ層上に設けられたドレイン電極層とを含み、

前記半導体層、前記第 1 のバッファ層及び前記第 2 のバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体を有し、

前記半導体層の膜厚は、前記ソース電極層と前記ドレイン電極層との間に位置する領域が薄く、

前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、

前記半導体層と前記ソース電極層とは、前記第 1 のバッファ層を介して電氣的に接続され、前記半導体層と前記ドレイン電極層とは、前記第 2 のバッファ層を介して電氣的に接続されることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、

前記ソース電極層と前記ドレイン電極層とは対向しており、

前記対向する側において、前記ソース電極層の端部は、前記第 1 のバッファ層の端部と一致し、かつ前記ドレイン電極層の端部は、前記第 2 のバッファ層の端部と一致することを特徴とする半導体装置。

【請求項 4】

請求項 1 又は 2 において、

前記ソース電極層と前記ドレイン電極層とは対向しており、

前記対向する側において、前記ソース電極層の端部は、前記第 1 のバッファ層の端部より外側に位置し、かつ前記ドレイン電極層の端部は、前記第 2 のバッファ層の端部より外側に位置することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、

前記ソース電極層と前記ドレイン電極層とは対向しており、

前記対向する側と反対側において、前記ソース電極層の端部は、前記第 1 のバッファ層の端部より内側に位置し、かつ前記ドレイン電極層の端部は、前記第 2 のバッファ層の端部より内側に位置することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 4 のいずれか一において、

前記ソース電極層と前記ドレイン電極層とは対向しており、

前記対向する側と反対側において、前記ソース電極層の端部は、前記第 1 のバッファ層の端部より外側に位置し、かつ前記ドレイン電極層の端部は、前記第 2 のバッファ層の端部より外側に位置することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 4 のいずれか一において、

前記ソース電極層と前記ドレイン電極層とは対向しており、

前記対向する側と反対側において、前記半導体層の端部は、前記半導体層の上側の一部が除去されていることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、

前記第 1 のバッファ層及び前記第 2 のバッファ層は n 型を付与する不純物元素を含むことを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、

前記第 1 のバッファ層及び前記第 2 のバッファ層はマグネシウム、アルミニウム、又はチタンを含むことを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一において、

前記半導体層のキャリア濃度は  $1 \times 10^{17} \text{ atoms/cm}^3$  未満であり、前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度は  $1 \times 10^{18} \text{ atoms/cm}^3$  以上であることを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一において、

前記半導体層と前記第 1 のバッファ層との間に第 3 のバッファ層を有し、前記半導体層と前記第 2 のバッファ層との間に第 4 のバッファ層を有し、

前記第 3 のバッファ層及び前記第 4 のバッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度より低いことを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至 11 のいずれか一において、

前記ソース電極層及び前記ドレイン電極層はチタンを含むことを特徴とする半導体装置。

【請求項 13】

基板上にゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層上に半導体層を形成し、

前記半導体層上の第 1 のバッファ層及び第 2 のバッファ層をそれぞれ介してソース電極層及びドレイン電極層を形成する半導体装置の作製方法であって、

前記半導体層、前記第 1 のバッファ層及び前記第 2 のバッファ層には、インジウム、ガリウム、及び亜鉛を含む酸化物半導体を用いられ、

前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、

前記半導体層と前記ソース電極層とは前記第 1 のバッファ層を介して電氣的に接続され、前記半導体層と前記ドレイン電極層とは前記第 2 のバッファ層を介して電氣的に接続されることを特徴とする半導体装置の作製方法。

【請求項 14】

基板上にゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層上に半導体層を形成し、

前記半導体層上の第 1 のバッファ層及び第 2 のバッファ層をそれぞれ介してソース電極層及びドレイン電極層を形成する半導体装置の作製方法であって、

前記半導体層、前記第 1 のバッファ層及び前記第 2 のバッファ層には、インジウム、ガリウム、及び亜鉛を含む酸化物半導体を用いられ、

前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、

前記半導体層と前記ソース電極層とは前記第 1 のバッファ層を介して電氣的に接続され、前記半導体層と前記ドレイン電極層とは前記第 2 のバッファ層を介して電氣的に接続され、

前記ゲート絶縁層、前記半導体層、前記第 1 のバッファ層、前記第 2 のバッファ層、前記ソース電極層、及び前記ドレイン電極層は大気に曝さずに連続的に形成することを特徴とする半導体装置の作製方法。

【請求項 15】

基板上にゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層上に半導体層を形成し、

前記半導体層上の第 1 のバッファ層及び第 2 のバッファ層を介して導電膜を形成し、

前記導電膜をエッチングしてソース電極層及びドレイン電極層を形成し、かつ前記半導体層の膜厚が薄い領域を形成し、

前記半導体層にプラズマ処理を行う半導体装置の作製方法であって、

前記半導体層、前記第 1 のバッファ層及び前記第 2 のバッファ層には、インジウム、ガリウム、及び亜鉛を含む酸化物半導体を用いられ、

前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度は、前記半導体層のキ

キャリア濃度より高く、

前記半導体層と前記ソース電極層とは前記第 1 のバッファ層を介して電氣的に接続され、前記半導体層と前記ドレイン電極層とは前記第 2 のバッファ層を介して電氣的に接続されることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 15 において、

前記プラズマ処理は、 $O_2$ 、 $N_2O$ 、又は酸素を含む  $N_2$  の雰囲気下で行うことを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 15 又は 16 において、

前記プラズマ処理は、前記基板にバイアスを印加しないで行うことを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 13 乃至 17 のいずれか一において、

前記ゲート絶縁層、前記半導体層、前記第 1 のバッファ層、前記第 2 のバッファ層、前記ソース電極層、及び前記ドレイン電極層はスパッタリング法によって形成することを特徴とする半導体装置の作製方法。

【請求項 19】

請求項 18 において、

前記ゲート絶縁層、及び前記半導体層は酸素雰囲気下で形成することを特徴とする半導体装置の作製方法。

【請求項 20】

請求項 18 又は請求項 19 において、

前記第 1 のバッファ層及び前記第 2 のバッファ層は希ガス雰囲気下で形成することを特徴とする半導体装置の作製方法。

【請求項 21】

請求項 13 乃至 20 のいずれか一において、

前記半導体層のキャリア濃度は  $1 \times 10^{17} \text{ atoms/cm}^3$  未満とし、前記第 1 のバッファ層及び前記第 2 のバッファ層のキャリア濃度は  $1 \times 10^{18} \text{ atoms/cm}^3$  以上とすることを特徴とする半導体装置の作製方法。