

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

G11C 13/02 (2006.01)

(11) 공개번호 10-2006-0090744

(43) 공개일자 2006년08월16일

(21) 출원번호 10-2006-0006515

(22) 출원일자 2006년01월20일

(30) 우선권주장 JP-P-2005-00034155 2005년02월10일 일본(JP)
JP-P-2005-00116612 2005년04월14일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 쿠로츠치 겐조
일본국 동경 고쿠분지시 니시코이가쿠보 3-8-1코이가쿠보료 87호실
이토 키요오
일본국 동경 히가시쿠르메시 카쿠엔쵸 2-17-6
타카우라 노리카츠
일본국 동경 분쿄구 혼코마고메 1-25-7
오사다 켄이치
일본국 동경 문경구 센고쿠 1-14-8-1101

(74) 대리인 이종일

심사청구 : 없음

(54) 반도체집적회로 장치

요약

본 발명은 반도체집적회로장치에 관한 것으로서 제 1의 전극(155)와 제 2의 전극(154)에 끼워진 정보 기억부를 가지는 메모리 셀에 있어서, 제 1의 전극(155)와부터 제 2의 전극(154)와 전류를 보내는 동작과 제 2의 전극(154)와부터 제 1의 전극(155)와 역방향의 전류를 보내는 동작을 실시한다. 제 1의 펄스(171)에 의해 조성에 편향이 생기지만 제 2의 펄스(172)의 인가에 의해 조성의 편향은 해소되고 조성은 원 상태로 돌아오는 기입 회수를 늘려도 신뢰성이 높은 반도체 불휘발성 기억장치를 실현한다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 실시예 1에 관한 정보 기억부의 동작 방식을 나타내는 도이다.
- 도 2는 상변화 메모리의 구조와 조성을 나타내는 모식도이다.
- 도 3은 종래 방식의 동작 방식을 나타내는 도이다.
- 도 4는 종래 방식의 문제를 나타내는 정보 기억부의 모식도이다.
- 도 5는 종래 방식의 문제를 나타내는 정보 기억부의 모식도이다.
- 도 6은 실시예 1에 관한 정보 기억부의 동작 방식의 일례를 나타내는 도이다.
- 도 7은 실시예 1에 관한 정보 기억부의 동작 방식의 일례를 나타내는 도이다.
- 도 8은 실시예 1에 관한 정보 기억부의 동작 방식의 일례를 나타내는 도이다.
- 도 9는 실시예 1에 관한 정보 기억부의 동작 방식의 일례를 나타내는 도이다.
- 도 10은 실시예 1에 관한 정보 기억부의 동작 방식의 일례를 나타내는 도이다.
- 도 11은 실시예 1에 관한 정보 기억부의 동작 방식의 일례를 나타내는 도이다.
- 도 12는 실시예 2에 관한 원소와 그 전기 음성도를 나타내는 표이다.
- 도 13은 실시예 3에 관한 정보 기억부의 모식도이다.
- 도 14는 실시예 4에 관한 정보 기억부의 동작 방식의 일례를 나타내는 도이다.
- 도 15는 실시예 5에 관한 메모리 모듈의 회로도이다.
- 도 16은 도 15에 나타나는 메모리 모듈의 동작 파형도이다.
- 도 17은 독출 회수와 독출 전류의 관계를 나타내는 도이다.
- 도 18은 워드선 부스트의 효과를 나타내는 도이다.
- 도 19는 메모리 어레이의 평면도이다.
- 도 20은 실시예 5에 관한 메모리 모듈의 회로도이다.
- 도 21은 도 15에 나타나는 메모리 모듈의 동작 파형도이다.
- 도 22는 실시예 6에 관한 메모리 모듈의 회로도이다.
- 도 23은 도 16에 나타나는 메모리 모듈의 동작 파형도이다.
- 도 24는 메모리 어레이의 평면도이다.
- 도 25는 실시예 6에 관한 메모리 모듈의 회로도이다.

주요부위를 나타내는 도면부호의 설명

102...조성이 균일한 카르코게나이드막

103...상부 전극

110 142 143...결정 상태

111 141...아몰퍼스(amorphous) 상태

132...카르코게나이드막(조성비 : Ge1. 8Sb1. 8Te5. 4)

133...카르코게나이드막(조성비 : Ge2. 2Sb2. 2Te4. 6)

154...플러그 전극

ADD...어드레스

ARRAY...메모리 어레이

BL...비트선

BLS...비트선선택 회로

BS...비트선선택 신호

BSW...비트선스윗치

CBL...커먼 비트선

CBSW...크로스바 스윗치

CL...커먼선

CNT...컨택트

CSL...커먼 소스선

Di...입력 데이터

Do...출력 데이터

Icell...메모리 셀 전류

Iread...독출 전류원

Ireset...리셋트 전류원

Iset...세트 전류원

IW...기입 전류

L...확산층

M1...제 2의 배선층

M2...제 1의 배선층

MC...메모리 셀

MN...N채널형 MOS 트랜지스터

MP...P채널형 MOS 트랜지스터

NG...노드

PS...폴리 실리콘층

R...기억소자

RA...독출 제어 회로

READ...독출 동작

REF...레퍼런스 전압

RIS...리셋트 전류 선택신호

RSW...스위치

RWC...독출·기입 회로

SA...센스 증폭기

SE...센스 증폭기 활성화 신호

SIS...셋트 전류 선택 신호

SL...소스선

SS...소스선 선택 신호

SSW...소스선 스위치

STANDBY...대기 상태

SW...스위치

VDD...전원 전위

VIA...비아

WA...라이트 앰프

WDC...기입 데이터 선택 회로

WE...기입 제어신호

WIC...기입 전류 선택 회로

WL...워드선

WRITE...기입 동작

WD_ARY...워드 드라이버 어레이

ADEC...X계 어드레스 디코더

VWL...전원선

WIC...기입 제어 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로 장치에 관계되어 특히 저항의 차이를 이용해 기억 정보를 판별하는 메모리 셀 예를 들면 상변화 재료를 이용한 메모리 셀을 포함한 고밀도 집적 메모리 회로 혹은 메모리 회로와 논리 회로가 동일 반도체 기판에 설치된 논리 혼재형 메모리 혹은 아날로그 회로를 가지는 반도체 집적회로 장치에 적용하는 유효한 기술에 관한 것이다. 특히 저전압으로 동작하는 고속이고 또한 불휘발성을 가지는 랜던 액세스 메모리(RAM)에 관한다.

휴대전화로 대표되는 모바일 기기의 수요에 견인된 불휘발성 메모리의 시장의 성장은 현저하다. 그 대표가 FLASH 메모리이지만 본질적으로 속도가 늦기 때문에 프로그래머블한 ROM로서 이용되고 있다. 한편 작업용의 메모리로서는 고속의 RAM이 필요하고 휴대 기기에는 FLASH와 DRAM의 양쪽 모두의 메모리가 탑재되고 있다. 이들 2개의 메모리의 특징을 구비한 소자가 실현될 수 있으면 FLASH와 DRAM를 1 칩으로 통합하는 것이 가능해질 뿐 아니고 모든 반도체 메모리를 치환하게 된다고 하는 점으로써 그 임팩트는 지극히 크다.

그 소자를 실현하는 후보의 하나가 상변화막을 이용한 불휘발성 메모리이며 예를 들면 특허 문헌 1에 상술되고 있다. 상변화 메모리는 PRAM; OUM; 오보닉·메모리로 불리는 경우도 있다. 이 메모리는 기억소자 자체에 보내는 전류에 의한 돌열에 의해 기억소자의 결정 상태가 변화하는 것으로써 기억 정보가 기입된다. 기억소자의 재료로서는 카르코게나이드가 이용된다. 카르코게나이드란 유황; 셀렌; 텔루르 가운데 적어도 1 원소를 포함한 재료이다. 카르코게나이드의 조성으로서 예를 들면 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 가 이용되는 경우가 있다.

다음에 상변화 메모리의 동작 원리를 간단하게 설명한다. 상변화부를 아몰퍼스(amorphous)화 시키는 경우 상변화부를 카르코게나이드 재료의 융점 이상으로 가열하고 나서 급냉하는 바와 같은 리셋트 펄스를 인가한다. 융점은 예를 들면 600°C 이다. 급냉하는 시간은 예를 들면 10 nsec이다. 상변화부를 결정화시키는 경우 국소적으로 상변화부의 온도를 결정화 온도 이상 또한 융점 이하로 유지한다. 이 때의 온도는 예를 들면 400°C 이다. 결정화에 필요로 하는 시간은 카르코게나이드 재료의 조성에 따라서 다르지만 예를 들면 200 nsec이다. 이후 상변화 메모리 셀의 상변화부를 결정화시키는 것을 셋트 동작; 아몰퍼스화 시키는 것을 리셋트 동작이라고 부른다. 또 상변화부가 결정화하고 있는 상태를 셋트 상태 아몰퍼스화하고 있는 상태를 리셋트 상태라고 부른다.

상변화 메모리의 특징은 상변화부의 저항값이 결정인지 비결정 상태인지에 따라 2자리수에서 3자리수로도 변화하고 이 저항값의 높낮이를 2진정보 "0"과 "1"에 대응시켜 독출하므로 저항차이가 큰 분만큼 센스 동작이 용이하게 되어 독출이 고속으로 된다. 또한 3진 이상의 정보에 대응시키는 것으로 다치 기억을 실시하는 일도 가능하다.

상변화 메모리의 기입 방법에 있어서,서는 특허 문헌 1에 기재되어 있다. 또 기입에 수반해 상대적으로 전기적으로 정(正)의 원소의 부(負)전극으로의 이동과 상대적으로 부의 원소의 정전극으로의 이동에 의해 기억 재료의 조성의 편향이 생기는 것에 있어서,서는 특허 문헌 2에 기재되어 있다. 상변화 소자를 보내는 전류 펄스의 방향에 관한 문헌은 이하와 같다. 상변화 재료가 상부 전극과 플러그 전극에 끼워진 구조의 정보 기억부를 가지는 상변화 메모리에 있어서 상부 전극으로부터 플러그 전극으로 향해 전류가 흐른다고 하는 생각은 특허 문헌 3에 기재되어 있다. 또 플러그 전극으로부터 상부 전극으로 향해 전류가 흐른다고 하는 생각은 비특허 문헌 1에 기재되어 있다.

[특허 문헌 1] 미국 특허 제 5883827호 (USP5 883,827)

[특허 문헌 2] 일본국 특개소 50-65177호 공보

[특허 문헌 3] 미국 특허 제 6576921호 (USP6 576,921)

[비특허 문헌 1] 2003 Symposium on VLSI Technology 제 173페이지로부터 제 174페이지 다이제스트·오브·테크니컬·페이퍼즈)

또 기입을 실시하지 않은 정보 기억부의 구조와 조성을 도 2에 나타낸다. 카르코게나이드(102)의 조성은 균일하다. 이하 카르코게나이드(102)의 조성예로서 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 선택해 설명한다.

종래의 기입시의 과형도를 도 3에 나타낸다. 셋트 및 리셋트에 이용되는 전류의 방향은 1 방향이다. 1회 정도의 적은 기입을 실시해도 카르코게나이드(102)의 조성은 거의 균일하게 유지된다. 리셋트 동작에 있어서, 서는 기입 전류가 집중하는 전극(104)근방의 장소가 특히 고온이 되고 도 4a에 나타나는 바와 같이 아몰퍼스화 한다. 이 때 고저항인 아몰퍼스상(111)의 길이(121)는 충분히 길어지기 때문에 전극(103)과 (104)의 사이의 저항은 높아진다.

그러나 $10^5 \sim 10^{12}$ 회 정도의 다수의 기입을 실시하면 동 도 b에 나타나는 바와 같이 리셋트 상태에 있어서 플러그 전극(154) 부근은 결정상(143)이 된다. 이 이유에 있어서, 서는 후술 한다. 아몰퍼스상(141)의 길이(144)가 짧아지기 때문에 전극(103)과 (104)의 사이의 저항이 감소한다.

한편 셋트 상태의 저항은 그다지 변화하지 않는다. 그 때문에 기입을 반복하는 것으로 기억 정보“0”과 “1”의 판별이 곤란해진다.

리셋트 상태에 있어서, 플러그 전극(154) 부근이 결정상이 되는 이유는 이하와 같다. 상변화 메모리는 들열에 의해 카르코게나이드를 가열하여 소거하기 때문에 카르코게나이드가 고온 상태로 전계가 인가된다. 그 때문에 카르코게나이드를 구성하는 원소의 전기 음성도의 차이에 의해 이온 전도가 생기는 결과 조성의 편향이 생긴다.

예를 들면 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 경우 Ge(폴링의 전기 음성도 1.8)와 Sb(동 1.9)는 Te(

동 2.1)에 비해 전기 음성도가 낮고 상대적으로 정의 원소이기 때문에 전류 방향으로 이동한다. 그에 있어서, Te는 상대적으로 부의 원소이기 때문에 전류와 역방향으로 이동한다.

그 때문에 도 5에 나타나는 바와 같이 전극(103)으로부터 (104)에 전류(134)가 보내는 경우 전극(103) 부근의 카르코게나이드(132)는 Te의 조성비가 높아져 전극(104)부근의 카르코게나이드(133)은 Ge ; Sb의 조성비가 높아진다.

결정화 속도는 카르코게나이드의 조성에 의존한다. 재료 조성의 편성에 의해 결정화 속도가 고속으로 된 부분은 리셋트 펄스를 인가해도 아몰퍼스화하지 않고 결정 상태가 된다. 그 때문에 도 4b에 나타나는 바와 같이 리셋트 상태에 있어서, 결정상(143)이 플러그 전극(154) 부근에 형성된다.

발명이 이루고자 하는 기술적 과제

숙원에 있어서, 개시되는 발명 가운데 대표 예의 개요는 다음과 같다.

제 1의 전극과 제 2의 전극에 끼워진 정보 기억부를 가지는 메모리 셀에 있어서, 제 1의 전극으로부터 제 2의 전극으로 전류를 보내는 동작과 제 2의 전극으로부터 제 1의 전극으로 역방향의 전류를 보내는 동작을 이상적으로는 항상 셋트로 실시하는 것을 특징으로 하는 방식. 제 1의 펄스에 의해 조성에 편향이 생기지만 제 2의 펄스의 인가에 의해 조성의 편향은 해소되고 조성은 원 상태에 돌아온다.

바람직하게는 정보 기억부는 가변 저항으로 이루어진다.

바람직하게는 가변 저항은 결정 상태에 의해 그 저항값이 변화하는 상변화 소자이다.

바람직하게는 상변화 소자의 재료는 카르코게나이드로 이루어진다.

발명의 구성 및 작용

이하 구체적인 예를 참조하면서 본 발명의 실시의 형태에 있어서, 상세하게 설명한다.

[실시예 1]

도 1 및 6에서 10은 본 발명의 실시의 형태 1인 반도체 집적회로 장치의 메모리 셀과 동작 파형이다.

도 1a에 선택 소자(152)와 정보 기억부(153)를 가지는 메모리 셀(151)을 나타낸다. 정보 기억부(153)는 선택 소자(152)와 이루어지는 MOS 트랜지스터와 소스선(185)에 결선된 구조를 하고 있다. 물론 선택 소자(152)와 비트선(186)의 사이에 결선된 구조도 가능하다. 그 경우 워드선(184)에 펄스 전압을 인가해 선택 소자를 도통시켜 비트선(186) 혹은 소스선(185)의 방향으로부터 전류를 보낸다. 메모리 셀의 단면 모식도를 동 도b에 나타낸다. 정보 기억부(153)의 구조는 카르코게나이드와의 접촉 면적이 비교적 큰 상부 전극(155)과 상기 상부 전극에 비해 카르코게나이드와의 접촉 면적이 작은 플러그 전극(154)에 의해 카르코게나이드(102)가 끼여진 것이다.

이 때 동 도C에 나타나는 바와 같이 동작시에 전류의 극성이 항상 바뀌므로 이온 전도에 수반하는 카르코게나이드의 조성의 편석(segregation)을 방지하는 것이 가능하게 되고 기입 가능 회수가 증대하는 효과가 생긴다. 리셋트시 혹은 셋트시의 정부(正負)의 펄스 전류의 진폭 및 펄스폭은 종래의 도 3과 열적으로 같은 효과를 가지는 범위내에서 임의로 선택할 수 있다.

예를 들면 리셋트 펄스 인가시에 전류 방향을 바꾸는 경우 제 1의 펄스(171)의 펄스폭은 30 ns이며 전류값은 200 uA이다. 제 2의 펄스(172)의 펄스폭은 20 ns이며 전류값은 200 uA이다. 사용하는 카르코게나이드의 조성이나 전극의 조성에 응해 상기 펄스폭이나 전류값에 있어서, 최적의 값을 선택하는 것은 말할 필요도 없다. 정보 기억부(153)에 있어서의 상기 제 1의 전류 펄스(171)와 상기 제 2의 전류 펄스(172)에 의한 열의 발생량의 합계는 종래 방식의 리셋트 펄스에 의한 열의 발생량과 동등하다.

또 셋트 펄스 인가시에 전류 방향을 바꾸는 경우 제 1의 펄스(171)의 펄스폭

은 80 ns이며 전류값은 100 uA이다. 제 2의 펄스(172)의 펄스폭은 70 ns이며 전류값은 100 uA이다.

또한 필요에 따라서 리셋트 동작시에만 전류 방향을 바꿀 수도 있다. 리셋트 동작에 있어서의 카르코게나이드의 최고 도달 온도는 셋트 동작에 비해 높기 때문에 조성편석은 주로 리셋트시에 생기기 때문에 있다. 상 펄스 전류 (171; 172)를 보내는 각각의 시간대에는 워드선(184)에는 워드 펄스 전압이 인가되고 있는 것으로 가정하고 있다. 정부의 전류는 도 1의 비트선(BL, 186)측으로부터 소스선(SL, 185)에 보내는지 소스선(SL) 185측으로부터 비트선(BL, 186)에 보내는지로 구할 수 있다. 상기 워드 펄스 전압은 도 1C와 같이 2개의 전류 (171) 과 172를 포함 하도록 1개라도 좋고 또 각각을 포함 하도록 2개로 분리해도 괜찮다.

도 6에서 10에는 리셋트 및 셋트를 행하기 위한 펄스 전류가 예시되고 있다.

도 6은 제 1의 펄스 전류(161)와 제 2의 펄스 전류(162)의 진폭과 시간이 거의 같은 것을 특징으로 한다. 이 경우 제 1의 펄스 전류에 있어서, 카르코게나이드를 보내는 전하량은 제 2의 펄스 전류의 그것과 거의 같기 때문에 조성의 편향을 억제하는 것이 가능하다. 본 방식에서는 1개의 펄스 전류원을 전환하여 비트선측에서 흘리거나 소스선측에서 흘리거나 하는 것으로 정부의 전류를 발생할 수 있으므로 기입 펄스를 발생시키는 메모리 셀 주변 회로의 설계가 간단하게 된다.

도 7은 제 1의 펄스가 제 2의 펄스보다 전류가 큰 것을 특징으로 한다. 이점은 이하와 같다. 카르코게나이드의 온도가 상승하면 카르코게나이드를 구성하는 원자간의 결합력이 약해져 동일한 전계가 인가된 경우에서도 편석이 발생하기 쉬워진다. 제 1의 펄스를 인가한 시점에서 카르코게나이드의 온도는 높아지고 있기 때문에 만약 제 2의 펄스 전류의 진폭이 제 1의 펄스 전류의 진폭과 같은 경우는 제 1의 펄스에 의해 이동하는 원자수부터 제 2의 펄스에 의해 이동하는 원자수가 많아져 조성편석이 생긴다. 이 문제를 해결하기 위해서는 제 1의 펄스에 비해 제 2의 펄스의 진폭을 작게 하면 좋다. 이것에 의해 제 1의 펄스로 이동하는 원자수와 제 2의 펄스로 이동하는 원자수는 동일해진다.

또한 전류 방향으로 응해 선택 트랜지스터의 구동 전류가 변화하는 것을 이용할 수도 있다. 구동 전류가 변화하는 이유를 도 1A를 이용해 설명한다. 비트선(186)의 전위가 소스선(185)의 전위보다 높은 경우는 상기 선택 트랜지스터(152)의 게이트-소스간 전압은 워드선(184)과 소스선(185)의 전위차가 된다. 다음에 비트선(186)의 전위가 소스선(185)의 전위보다 낮은 경우는 상기 선택 트랜지스터(152)의 게이트-소스간 전압은 장소 X의 전위와 워드선(184)의 전위와의 전위차가 된다. 여기서 장소 X의 전위는 소스선의 전위 이하 비트선의 전위 이상이다. 이 때문에 선택 트랜지스터(152)의 구동 전류는 비트선(186)의 전위가 소스선(185)보다 높은 경우에 커진다.

이것에 있어서, 도 8은 제 1의 펄스가 제 2의 펄스보다 폭이 긴 것을 특징으로 한다. 이것은 도 7과 동일한 보정을 위한 것이다. 본 방식에서는 1개의 정전류원을 이용해 펄스 인가의 타이밍에 의해 리셋트 동작 혹은 셋트 동작을 실시할 수가 있기 때문에 메모리 셀 주변 회로 구성이 간단하게 된다.

이것에 있어서, 도 9는 제 1의 펄스가 제 2의 펄스보다 전류가 작은 것을 특징으로 한다. 카르코게나이드는 가열에 의해 저저항이 되는 성질을 가진다. 그 때문에 제 1의 펄스 전류의 진폭과 제 2의 펄스 전류의 진폭을 동일하게 가정하면 제 1의 펄스에 의해 카르코게나이드에 인가되는 전압은 제 2의 펄스에 의해 인가되는 전압보다 커져 제 1의 펄스에 의한 원자의 이동수는 제 2의 펄스에 의한 원자의 이동수를 웃돈다. 거기서 제 1의 펄스 전류의 진폭을 제 2의 펄스 전류의 진폭보다 작게 하는 것으로 원자의 이동수를 동일하게 할 수가 있다.

또한 제 1의 펄스보다 제 2의 펄스의 진폭을 크게 하는 것으로 동일한 효과를 구할 수 있는 것을 도 10은 나타내고 있다.

도 11은 도 6~10을 조합한 예이다. 리셋트 동작에 있어서, 도 20~400마이크로암페어의 비교적 작은 전류와; 50~1000 나노초의 비교적 긴 펄스폭을 가지는 제 1의 펄스(251)에 이어 50~1000 마이크로 암페어의 비교적 큰 전류와; 5~100 나노초의 비교적 짧은 펄스폭을 가지는 제 2의 펄스(252)를 상기 제 1의 펄스와 역방향으로 보내는 것으로 실시한다. 또한 셋트 동작은 리셋트 동작에 있어서의 제 1의 펄스와 제 2의 펄스의 차를 반대로 하여 실시한다. 리셋트 동작은 도 8 및 9의 조합이며 셋트 동작은 도 7 및 10의 조합이다.

리셋트 동작에 있어서, 도 20는 제 1의 펄스 전류 (251)에 의해 카르코게나이드를 결정화시키고 상기 제 1의 펄스에 연속하는 펄스 전류 (252)에 의해 카르코게나이드를 아몰퍼스화 한다.

셋트 동작에 있어서, 도 21은 제 1의 펄스 전류 (253)에 의해 카르코게나이드를 아몰퍼스화시켜 상기 제 1의 펄스에 연속하는 펄스 전류 (254)에 의해 카르코게나이드를 결정화한다.

이 방식에 있어서는 상기 제 1의 펄스와 상기 제 2의 펄스라고 하는 2 종류의 펄스만으로 셋트 및 리셋트의 동작을 실시할 수가 있기 때문에 회로 구성이 단순하게 되는 특징을 가진다. 또 셋트 시간과 리셋트 시간이 동일해지므로 유저에게 있어 사용하기 쉽다고 하는 특징이 있다.

역방향의 전류를 발생시키는 방법에 있어서, 도 1A를 이용해 이하 기술한다. 메모리 셀 (151)은 선택 트랜지스터(152)와 정보 기억부(153)에 의해 구성된다. 선택 트랜지스터는 N채널형이다. 물론 P채널형을 이용하는 일도 가능하다. 선택 트랜지스터의 게이트는 워드선(184)에 접속되고 드레인 비트선(186)에 접속되고 있다. 정보 기억부는 선택 트랜지스터의 소스와 소스선(185)의 사이에 배치되고 있다. 기입시에는 두 워드선에 전압을 인가하고 다음에 소스선에 인가한다. 이것에 의해 소스선으로부터 선택 트랜지스터 및 정보 기억부를 지나 비트선으로 향해 펄스 전류가 흐른다. 상기 펄스 전류는 동 도 C)에 기입된 제 1의 펄스 전류 (171)에 상당한다. 다음에 소스선의 전압을 0 V에 되돌려 비트선에 전압을 인가한다. 이것에 의해 비트선으로부터 정보 기억부 및 선택 트랜지스터를 지나 소스선으로 향해 펄스 전류가 흐른다. 상기 펄스 전류는 동 도 C)에 기입된 제 2의 펄스(172)에 상당한다. 다음에 소스선과 워드선의 전압을 0 V에 되돌린다. 이상의 동작에 의해 정보 기억부에 보내는 전류의 방향을 바꿀 수가 있다. 본 방식에서는 워드선의 전위가 2치로 끝나기 때문에 워드 드라이버가 간단하게 되는 이점이 있다.

물론 워드선의 전압을 시작하기 전에 비트선의 전압을 활성화하거나 혹은 소스선의 전압을 비활성화하기 전에 워드선의 전압을 비활성 하는 것도 가능하다.

또한 다음에 말하는 방법을 이용할 수도 있다. 기입 동작전은 워드선 (184);비트선 (186); 소스선 (185)는 1/2 VDD로 유지되고 있다. 우선 워드선 (184)를 VDD에 활성화한 다음에 비트선 (186)을 0 V와 1/2 VDD의 중간 전위로 비활성화한다. 이것에 의해 소스선으로부터 선택 트랜지스터 및 정보 기억부를 지나 비트선에 펄스 전류가 흐른다. 상기 펄스 전류는 동 도 C)에 기입된 제 1의 펄스 (171)에 상당한다. 다음에 비트선을 1/2 VDD와 VDD의 중간 전위로 활성화한다. 이것에 의해 비트

선으로부터 정보 기억부 및 선택 트랜지스터를 지나 소스선에 펄스 전류가 흐른다. 상기 펄스 전류는 동 도C에 기입된 제 2의 펄스 (172)에 상당한다. 이상의 방법을 이용하는 것으로 소스선에는 $1/2$ VDD라고 하는 직류 전압을 인가할 수 있으므로 인접 메모리 셀과 소스선 (185)를 공통화할 수 있다. 따라서 메모리 셀의 면적을 작게 할 수 있다.

또 정보 기억부를 비트선과 선택 트랜지스터의 사이에 배치하거나 선택 소자로서 집합을 이용하거나 바이폴러형의 트랜지스터를 이용할 수도 있다.

본 실시예의 특징으로서는 비트선 및 소스선에 인가되는 펄스 전압의 펄스폭이 짧은 경우도 들고 있다. 상기 펄스폭은 예를 들면 100 ns이하이다.

[실시예 2]

본원에 있어서, 개시되는 발명에 의해 카르코게나이드에 있어서의 조성의 편석을 방지하는 것이 가능하다. 그 때문에 종래 방식으로는 조성편석이 생기기 쉽기 때문에 이용하는 것이 불가능하였던 카르코게나이드를 이용하는 것이 가능해진다. 조성편석이 생기기 쉬운 기준으로서의 기억 재료를 구성하는 원소의 전기 음성도의 차이가 있다. 상변화 메모리용 기억 재료로서 주로 연구되고 있는 카르코게나이드의 조성은 Ge-Sb-Te이다. 도 12에 나타난 전기 음성도의 일람표에 나타난 바와 같이 Ge의 전기 음성도는 1.8이며; Sb는 1.9이며 Te는 2.2이다. 이것으로부터 상대적으로 부의 원소인 Te는 정의 전극으로 이동한다. Ge-Sb-Te의 3 종류의 원소간의 전기 음성도는 Ge가 최소이며 Te가 최대이며 그 차이는 0.3이다.

구성 원소의 전기 음성도의 차이가 0.3보다 큰 카르코게나이드는 조성편석이 생기고 쉽다는 문제가 있었다. 그 한편으로 전기 음성도의 차이가 큰 카르코게나이드에서는 양이온 원소와 음이온 원소의 사이에 형성되는 이온 결합이 견고하게 되고 결정화 온도가 상승하기 때문에 10년 데이터 보지 온도가 향상하는 장점이 있다.

본원에 있어서, 개시되는 발명을 이용하는 것으로 여러번의 기입이 가능하고 한편 높은 10년 데이터 보지 온도를 겸비한 상변화 메모리를 실현하는 것이 가능하다.

조성의 일례로서는 $\text{Ge}_2\text{Sb}_2\text{Se}_5$ 나 $\text{Ge}_2\text{Sb}_2\text{S}_5$; Zn-Ge-Sb-Te를 들 수 있다.

[실시예 3]

도 13은 본 발명의 실시의 형태 4인 메모리 셀의 기억부의 단면 모식도이다. 전극 (195)와 (194)의 사이에 접착층 (192)와 히터층 (193); 카르코게나이드 (191)가 끼여 있다. 여기서 접착층 (192)는 메모리 제조 프로세스나 메모리 동작시에 있어 카르코게나이드와 전극의 사이에 공극이 생기지 않도록 하기 위해서 설치되고 있다. 또 히터층 (193)은 기입 전류가 흘렀을 때에 효율적으로 열이 발생하도록 설치되고 있다. 이러한 구조에서는 히터층 혹은 접착층으로부터 그들을 구성하는 원자가 카르코게나이드에 확산하기 때문에 확산 속도가 큰 재료를 히터층 혹은 접착층으로서 사용할 수 없었다. 그러나 전류 방향을 바꾸는 본 방식에 의해 이온 전도에 의한 이러한 원소의 확산을 방지하는 것이 가능하게 되므로 종래는 확산 속도가 커서 사용할 수 없었던 Si나 C를 히터층이나 접착층으로서 이용하는 것이 가능해진다. Si는 반도체 제조 프로세스와의 정합성이 좋고 C는 접착력이 강한 재료이기 때문에 제조가 용이해지는 이점이 있다.

[실시예 4]

도 14A는 셋트 동작에 있어서, 제 1의 펄스 (201)과 제 2의 펄스 (203)의 전류 방향이 역이며 또한 제 1의 펄스 (202)의 선두 부근에 특히 큰 전류가 보내는 부분 201을 가지는 것을 특징으로 한다. 이 부분 (201)에 의해 카르코게나이드에 일시적 예를 들면 20 ns의 사이 고전압을 인가하는 것으로 오보닉 스위칭이 생겨 카르코게나이드의 저항이 감소한다. 그 때문에 펄스 전류 (202) 및 (203)을 보낼 때 카르코게나이드에 인가되는 전압은 적어도 된다. 셋트 동작시에 본 방식을 이용하는 것으로 셋트 전력을 저감 할 수 있는 이점이 생긴다.

동 도B는 전류 방향을 2회 이상 바꾸는 것을 특징으로 한다. 전환 회수를 늘리는 것으로 원자의 이동에 필요로 하는 시간보다 단시간의 간격으로 전류 방향을 바꾸는 것이 가능해져 조성의 편석을 억제하는 것이 가능해진다.

한편 상변화메모리는 독출시에 정보의 파괴를 방지하기 위하여 상변화 저항의 상태를 변화시키지 않는 범위에서 전류를 보낼 필요가 있고 소거 서류보다 작은 전류를 보내게 된다. 그러나 전류를 작게 하면 독출속도를 쇠화한다. 즉 정보파괴의 방지의 관점에서 보면 독출 전류를 작게할 필요가 있고 독출 속도의 관점에서 보면 독출전류를 크게 필요가 있고 트레이드

오프의 관계이다. 독출 속도의 관점에서 보면 데이터를 파괴하여 독출하는 것으로 고속으로 독출하는 것이 가능해지지만 데이터를 보지하기 위하여 재기입할 필요가 되고 소거 회수가 증대하고 신뢰성이 저하할 우려가 있다. 이와 같이 파괴독출을 행하는 경우 상기 기술의 정부 반전 펄스를 이용하는 경우가 좋다. 즉 조성편석을 억제하는 것이 가능해지고 소거 회수를 증가하는 것이 가능해지고 파괴독출/재기입을 행하는 것이 가능해진다.

이하 본 발명에 관한 반도체기억장치의 바람직한 몇개의 사례에 있어서, 도면을 이용하여 설명하지만 먼저 독출속도를 고속화하기 위한 방법(데이터를 파괴하여 독출하고 재기입을 행함)을 기재하고 그 후에 상기 기술의 정부 펄스를 넣는 것으로 소거회수를 증가한 회로구성에 있어서, 설명한다.

실시예의 각 기능블럭을 구성하는 회로 소자는 특히 제한이 없지만 공지의 CMOS(상보형 MOS 트랜지스터) 등의 집적회로 기술에 의해 단결정 실리콘과 같은 하나의 반도체 기판상에 형성된다. 도면에는 MOS 트랜지스터의 기판 전위의 접속은 특히 명기하지 않지만 MOS 트랜지스터가 정상적으로 동작 가능한 범위이면 그 접속 방법은 특히 한정하지 않는다. 또 특히 거절이 없는 경우 신호의 로 레벨을 'L' 하이레벨을 'H' 로 한다.

《실시예 5》

<메모리 모듈 구성>

도 1의 메모리 모듈을 이용해 상세하게 설명한다. 메모리 모듈을 구성하는 메모리 어레이(ARRAY)는 복수의 워드선(WL)과 복수의 비트선(BL)으로부터 구성되어 있고 워드선(WL)과 비트선(BL)의 교점에 메모리 셀(MC)이 접속되고 있다. 각 메모리 셀(MC)은 메모리 셀(MC00)으로 나타나고 있는 바와 같이 N채널형 MOS 트랜지스터(MN00)와 기억소자(R00)로 구성된다. 기억소자(R00)은 상변화 저항으로 불리는 소자이며 예를 들면 결정 상태에서는 $1K\Omega \sim 10K\Omega$ 정도의 낮은 저항으로 아몰퍼스상태에서는 $100K\Omega$ 이상의 높은 저항인 것을 특징으로 하는 소자이다. N채널형 MOS 트랜지스터(MN00)의 게이트 전극에는 워드선(WL0)이 접속되고 N채널형 MOS 트랜지스터를 선택 상태에서는 온 상태로 비선택 상태에서는 오프 상태가 되도록 제어한다. (R00)의 한쪽의 단자가 비트선(BL0)에 접속되고 다른 한쪽의 단자가 (MN00)의 드레인 전극에 접속된다. (MN00)의 소스 전극은 접지 전위에 접속된다. 본 실시예에서는 상변화 소자(R)은 비트선(BL)과 N채널형 MOS 트랜지스터(MN)의 사이에 접속되고 있지만 접지 전위와 N채널형 MOS 트랜지스터(MN)의 사이에 접속해도 괜찮다. 또 MOS 트랜지스터 대신에 바이폴라 트랜지스터를 사용하는 경우도 가능하다.

워드선(WL)에는 X계 어드레스 디코더 블럭이 접속되고 있고 X계 어드레스 신호에 의해 1개의 워드선(WL)이 선택된다.

비트선(BL)에는 비트선 선택 회로(BLS)가 접속되고 있고 스위치(SW)에 의해 선택적으로 커먼선(CL)에 접속된다. 스위치(SW)는 Y계 어드레스 디코더 블럭으로부터의 비트선 선택 신호(BS)에 의해 제어된다.

독출·기입 회로(RWC)는 센스 증폭기(SA)와 라이트 앰프(WA); 기입 데이터 선택 회로(WDC); 독출 제어 회로(RA)로 구성된다. 센스 증폭기(SA)는 커먼선(CL)의 신호를 증폭한다. 독출 제어 회로(RA)는 스위치(RSW)와 전류원(Iread)으로 이루어진다. 라이트 앰프(WA)는 P채널형 MOS 트랜지스터(MP0; MP1)와 전류원(Iset; Ireset) 기입 전류 선택회로(WIC)로 이루어지고 커런트 밀러 회로를 구성하고 있다. P채널형 MOS 트랜지스터(MP0)의 소스 전극에는 전원 전위(VDD)가 게이트 전극과 드레인 전극은 노드(NG)가 P채널형 MOS 트랜지스터(MP1)의 소스 전극에는 전원 전위(VDD)가 게이트 전극에는 노드(NG)가 드레인 전극은 커먼선(CL)이 각각 접속되고 있다. 노드(NG)에는 기입 전류 선택 회로(WIC)에 의해 전류원(셋트 전류원(Iset) 또는 리셋트 전류원(Ireset)이 접속된다. 노드(NG)의 전위는 접속된 전류원의 전류와 MP0에 보내는 전류(IW0)가 동일해지도록 변화한다. 또

MP1와 MP0는 게이트-소스간 전압이 동일한 것이므로 전류(IW1)도 IW0와 동일한 전류가 된다. 이 결과 비트선(BL)에 보내는 전류가 노드(NG)에 접속된 전류원의 전류와 동일하게 된다.

기입 데이터 선택 회로(WDC)는 기입 제어 신호(WE)와 입력 데이터(Di); 출력 데이터(Do)가 입력되고 신호(리셋트 전류 선택 신호(RIS); 셋트 전류 선택 신호(SIS)를 기입 데이터 선택 회로(WIC)에 출력한다.

<동작 방식>

다음에 도 16을 이용해 상세한 동작에 있어서, 설명한다. 내부 회로의 전원 전압 (VDD)는 예를 들면 1.5 V이다. 처음은 대기 상태 STANDBY에 있고 어드레스 (ADD)가 절환되고 라이트 제어 신호 (WE)가 'L' 이 되면 리드 동작 (READ)가 시작된다. 여기에서는 주로 '1' (리셋트(고저항) 상태)를 메모리 셀 (MC00)로부터 독출하는 경우에 있어서, 설명한다. 도 16에서는 실선으로 나타내고 있다. '0' (셋트(저저항) 상태)를 독출하는 경우는 파선으로 가리키고 있다.

워드선 (WL0)를 'L' 로부터 'H' 로 활성화 하는 것과 동시에 스위치 (RSW)를 온 하고 비트선 (BL0)에 구동 전류 (Iread)를 보낸다. 상변화 소자는 열에 의해 결정 상태가 바뀌는 소자이며 특히 아몰퍼스(리셋트) 상태는 작은 전류에 의한 발열에서도 서서히 결정화(셋트)해 나간다. 이 변화는 누적해 나가므로 결정화를 조금이라도 늦추기 위하여 종래 독출시에는 기입 전류보다 작은 전류를 보낼 필요가 있었다. Iread와 읽어들인 회수의 관계를 도 17에 나타낸다. 예를 들면 100 uA의 전류를 보내면 1번의 독출로 데이터가 파괴하지만 10 uA 정도의 전류이면 거의 무한하게 독출이 가능해진다. 그렇지만 10 uA 정도의 전류에서는 비트선 (BL)의 전위가 변화할 때까지 시간이 걸려 독출 속도가 늦어진다. 거기서 본 발명에서는 Iread를 예를 들면 100 uA로 크게 해 독출 속도를 고속화한다. 다만 데이터가 파괴할 가능성이 있으므로 독출한 데이터는 재기입 한다.

독출 전류 (Iread)를 비트선 (BL0)에 보내면 메모리 셀 (MC00)에는 예를 들면 100kΩ의 고저항(데이터 '1' 에 상당)의 값이 기입되고 있으므로 비트선 (BL0)의 전위가 전원 부근까지 상승하고 예를 들면 1.2 V가 된다. 만약 메모리 셀 (MC00)에 예를 들면 10kΩ의 저저항(데이터 '0' 에 상당)의 값이 기입되고 있으면 비트선 (BL0)는 그다지 상승하지 않고 1.0 V 정도가 된다. 이 전압을 센스 증폭기 활성화 신호 (SE)를 'H' 로 하는 것으로 센스 증폭기 회로 (SA)로 레퍼런스 전압 (REF)와 비교해 이 전위차를 증폭한다. 증폭된 데이터를 (Do)로 출력하여 독출이 종료된다. 고저항값이 기입되어 있는 경우는 Do에 '1' 을 출력하고 저저항값이 기입되어 있는 경우는 Do에 '0' 을 출력한다.

본 실시예에서는 독출 후에 독출한 데이터를 재기입 한다. 이것에 의해 독출시의 데이터 파괴는 문제 없게 된다.

본 실시예에서는, '1' 이 독출되어 있고 독출된 데이터가 기입 데이터 선택 회로 (WDC)에 보내지고 리셋트 전류 선택 신호 (RIS)가 'L' 로부터 'H' 에 변화한다. 이것에 의해 기입 전류 선택 회로 (WIC)를 구동하고 전류원 (Ireset)을 NG에 접속한다. 이것에 의해 P 채널형 MOS트랜지스터 (MP1)의 전류 (IW1)도 Ireset가 되어 비트선 (BL0)로 향해 전류 (Ireset)를 보낼 수가 있다.

리셋트 전류 (Ireset)는 예를 들면 200 uA이다. 독출에 의해 데이터가 파괴되고 소자가 저저항화하고 있는 경우에는 200 uA의 전류가 계속 흘러 비트선은 전원 전위 부근까지 상승한다. 또 독출에 의해 소자가 저저항화하지 않아도 리셋트 전류 (Ireset)에 의해 소자는 저저항화하고 200 uA의 전류가 계속 흐른다. 이 상태를 5 나노초부터 수십 나노초 계속하는 것으로 소자는 용해 상태가 된다. 이 후 소자에 보내는 전류를 급격하게 내려 급냉함으로써 기억소자 (R00)는 아몰퍼스화 하고 고저항(데이터 '1' 에 상당)이 된다. 또 비선택의 비트선 (BL)은 접지 전위에 접속되고 있다.

만약 '0' 이 독출된 경우는 기억소자 (R)은 셋트 상태이므로 독출시에 독출 전류 (Iread)를 보내도 저항값이 변화하는 경우는 없고 데이터를 재기입 필요는 없다. 다만 본 실시예에서는 제어를 간략화하기 위해서 '0' 을 독출한 경우도 기입을 실시하고 있고 이 경우는 독출 후에 라이트 앰프 (WA)에 의해 셋트 전류 (Iset)을 비트선 (BL0)으로 향하게 보낸다. 소자는 저저항화하고 있으므로 100 uA의 전류가 계속 흐른다. 이 상태를 100 나노초 정도 계속하고 기입 동작을 끝낸다.

기입이 종료하면 워드선 (WL0)가 'H' 로부터 'L' 에 천이하고 셋트 동작이 종료한다.

라이트 동작 (WRITE)는 데이터를 독출한 후에 기입 데이터 선택 회로 (WDC)에 의해 외부로부터의 입력 데이터 (Di)를 선택해 이 데이터에 근거해 리셋트 전류 선택 신호 (RIS)나 셋트전류 선택 신호 (SIS)를 제어하여 데이터를 기입한다.

본 실시예의 실선으로 가리킨 파형도는, '1' 을 독출한 후 '0' 을 기입하고 있고 파선으로 나타낸 파형도는, '0' 을 독출한 후 '1' 을 기입하고 있다. '0' 을 기입하는 경우는 SIS 신호를 'L' 로부터 'H' 로 하고 셋트 전류 (Iset)를 비트선 (BL)에 보내는 것으로 소자를 셋트 한다. '1' 을 기입하는 경우는 RIS 신호를 'L' 로부터 'H' 로 하는 것으로 리셋트 전류 (Ireset)를 비트선 (BL)에 보내 소자를 리셋트 한다.

라이트 동작 (WRITE)에서의 독출은 필요없지만 제어를 간략화하기 위해 리드 동작 (READ)와 동일한 제어를 행하고 있다.

본 실시예에서는 리셋트시에 200 μ A의 전류 (Ireset)를 소자에 보낼 필요가 있다. 따라서 메모리 셀(MC)의 N채널형 MOS 트랜지스터 (MN)도 동등한 전류를 보내는 구동력이 필요하다. 전류 구동력을 크게 하기 위해서는 트랜지스터의 게이트폭을 크게 하면 좋지만 이것은 메모리 셀의 사이즈를 증대시켜 버린다. 거기서 게이트폭을 크게 하는 대신에 워드선 (WL)이 'H' 시의 전압을 전원 전압 (VDD)보다 높은 값으로 부스트 하고 전류 구동력을 증대시켰다. 본 실시예에서는 워드선의 전압을 전원 전압 (VDD)보다 1.0 V 높은 2.5 V로 했다. 도 18에 200 μ A의 전류를 보내는 경우에 필요한 메모리 셀 사이즈와 워드 전압의 관계를 나타냈다. 워드 전압을 올리면 보내는 전류가 증가하므로 상대적으로 게이트폭을 작게 할 수 있고 셀 사이즈를 축소할 수 있다. 워드 전압을 1.5 V로 하고 게이트폭을 크게 한 경우에 비해 워드 전압을 2.5 V에 부스트 한 경우에는 셀 면적을 약 60%로 해 셀 사이즈를 6 F2로 할 수가 있다. 부스트 하는 전압은 신뢰성을 고려해 5 MV/cm이상의 전압이 게이트 전극에 인가되지 않게 할 필요가 있다.

또 메모리 셀 (MC)의 N채널형 MOS 트랜지스터 (MN)의 전류 구동력을 증대시키는 다른 방법으로서 한계치를 내리는 방법도 있다. 이 경우 워드선 (WL)이 'H' 때의 전압을 전원 전압 (VDD)로 할 수가 있지만 비선택시의 리크 전류가 증대하기 때문에 워드선 (WL)이 'L' 시에 부전압을 인가할 필요가 있다. 예를 들면 한계치를 0.5 V 내린 경우에는 워드선 (WL)을 2 V에 부스트 한 것과 같은 효과가 되지만 비선택의 워드선(WL)에 -0.5 V를 인가할 필요가 있다.

도 19는 메모리 어레이의 평면도를 나타내고 있다. 워드선 (WL)는 폴리 실리콘층(PS)에서 소스선 (SL)은 제 1의 배선층 (M1)로 비트선 (BL)는 제 2의 배선층 (M2)로 각각 형성되고 있다. 또 확산층 (L)과 배선층 (M1)은 콘택트 (CNT)로 접속되고 배선층 (M1)와 배선층 (M2)는 비어 (VIA)로 각각 접속된다.

<워드선을 제어하는 경우>

도 20의 메모리 모듈을 이용해 워드선을 제어하는 경우를 설명한다. 메모리모듈을 구성하는 메모리 어레이 (ARRAY)는 복수의 워드선 (WL)과 복수의 비트선(BL)로 구성되어 있고 워드선 (WL)과 비트선 (BL)의 교점에 메모리 셀 (MC)가 접속되고 있다. 각 메모리 셀 (MC)는 메모리 셀 (MC00)로 예시되고 있는 바와 같이 N채널형 MOS 트랜지스터 (MN00)와 기억소자 (R00)로 구성된다. 기억소자 (R00)는 상변화 저항으로 불리는 소자이다. 워드선(WL)에는 워드 드라이버 어레이 (WD_ARRAY)가 접속되고 있고 X계 어드레스 디코더 (ADEC)에 의해 X계 어드레스 신호 (XADD)가 디코드 되고 1개의 워드선 (WL)이 선택된다. 워드 드라이버 어레이 (WD_ARRAY)는 워드 드라이버 (WD)로 구성되어 있고 워드 드라이버 (WD0)는 예를 들면 N채널형 MOS 트랜지스터 (MN10)와 P채널형 MOS 트랜지스터 (MP10)로 구성되는 인버터 회로가 되어있어 출력은 워드선 (WL)에 접속되어 P채널형 MOS 트랜지스터 (MP10)의 소스 전극은 전원선 (VWL)에 접속된다.

비트선 (BL)에는 비트선 선택 회로 (BLS)가 접속되고 있고 스위치 (SW)에 의해 선택적으로 커먼선 (CL)에 접속된다. 스위치 (SW)는 Y계 어드레스 디코더 블록으로부터의 비트선 선택 신호 (BS)에 의해 제어된다.

독출·기입 회로 (RWC)는 센스 증폭기 (SA)와 라이트 앰프 (WA) ;기입 데이터 선택 회로 (WDC) ; 기입 제어 회로 (WIC)로 구성된다. 기입 데이터 선택 회로 (WDC)는 기입 제어 신호 (WE)와 입력 데이터 (Di) ; 출력 데이터 (Do)가 입력되고 제어 신호 (CW)를 기입 제어 회로 (WIC)로 출력 한다. 기입 제어 회로 (WIC)는 CE신호를 기본으로 전원선 (VWL)나 신호 (BS)를 제어한다. 라이트 앰프 (WA)는 P채널형 MOS 트랜지스터 (MP1)로 구성되고 게이트 전극에는 제어 신호 (BC)가 입력된다.

<동작 방식>

다음에 도 21을 이용해 상세한 동작에 있어서, 설명한다. 내부 회로의 전원 전압 (VDD)는 예를 들면 1.5 V이다. 처음은 대기 상태 STANDBY에 있고 어드레스 (ADD)가 절환하고 라이트 제어 신호 (WE)가 'L' 이 되면 리드 동작 (READ)가 시작된다. 여기에서는 주로 '1' (리셋트(고저항) 상태)를 메모리 셀 (MC00)으로부터 독출하는 경우에 있어서, 설명한다. 도 16에서는 실선으로 가리키고 있다. '0' (셋트(저저항) 상태)를 독출하는 경우는 파선으로 가리키고 있다.

처음에 비트선 (BL0)를 ; 제어 신호 (BC)를 'L' 로 하는 것으로 프리차지 한다. 워드선 (WL0)를 'L' 로부터 'H' 에 활성화하고 비트선 (BL0)로부터 메모리 셀(MC00)에 의해 전류를 인발한다. 메모리 셀 (MC00)에는 예를 들면 100k Ω 의 고저항 (데이터 '1' 에 상당)의 기입되어 있으므로 비트선 (BL0)의 전위는 거의 변화하지 않고 예를 들면 1.5 V가 된다. 만약 메모리 셀 (MC00)에 예를 들면 10k Ω 의 저저항(데이터 '0' 에 상당)의 값이 기입되고 있으면 비트선 (BL0) 저하하고 0.5 V정도가 된다. 이 전압을 센스 증폭기 활성화 신호 (SE)를 'H' 로 하는 것으로 센스 증폭기 회로 (SA)로 레퍼런스 전압 (REF)와 비교해 이 전위차를 증폭한다. 증폭된 데이터를 (Do)에 출력해 독출이 종료한다. 고저항값이 기입되고 있는 경우는 Do에 '1' 을 출력하고 저저항값이 기입되고 있는 경우는 Do에 '0' 을 출력한다.

본 실시예에서는 독출 후에 독출한 데이터를 재기입 한다. 이것에 의해 독출시의 데이터 파괴는 문제 없게 된다.

본 실시예에서는 '1' 이 독출되어 있고 독출된 데이터가 기입 데이터 선택회로(WDC)에 보내지고 신호(CW)를 출력한다. 이 결과 기입 제어 회로(WIC)에 의해 전원선(VWL)과 신호(BC)가 제어된다. '1' 이 독출된 경우는 비트선은 전원 전압 1.5 V에 워드전압은 전원 전압 1.5 V인 채로 된다.

독출 전에는 소자는 고저항이지만 독출에 의해 데이터가 파괴되고 소자가 저저항화 하고 있는 경우에는 리셋트 전류(Ireset)가 200 uA 흐른다. 또 독출에 의해 소자가 저저항화하지 않아도 리셋트 전류(Ireset)에 의해 소자는 저저항화해 200 uA의 전류가 흐르게 된다. 이 상태를 5 나노초부터 수십 나노초 계속하는 것으로 소자는 용해 상태가 된다. 이후 소자에 보내는 전류를 급격하게 내려 급냉하는 것으로써 기억소자(R00)는 아몰퍼스화 하고 고저항(데이터 '1' 에 상당함)이 된다.

또 비선택의 비트선(BL)은 접지 전위에 접속되고 있다.

만약 '0' 이 독출된 경우는 기억소자(R)은 셋트 상태이므로 독출시에 독출 전류(Iread)를 보내도 저항값이 변화하는 경우는 없고 데이터를 재기입할 필요는 없다. 다만 본 실시예에서는 제어를 간략화하기 위해서 '0' 을 독출한 경우도 셋트의 기입을 행하고 있다. 이 경우는 독출 후에 비트선은 전원 전압 1.5 V에 워드 전압은 1.0 V로 설정되고 소자는 저저항화하고 있으므로 100 uA의 전류가 계속 흐른다. 이 상태를 100 나노초 정도 계속하고 기입 동작을 끝낸다.

기입이 종료하면 워드선(WL0)가 'H' 로부터 'L' 에 천이하고 셋트 동작이 종료한다. 라이트 동작(WRITE)는 데이터를 독출한 후에 기입 데이터 선택 회로(WDC)에 의해 외부로부터의 입력 데이터(Di)를 선택해 이 데이터에 근거해 전원 전압(VWL)을 제어하여 데이터를 기입한다.

본 실시예의 실선으로 가리킨 파형도는 '1' 을 독출한 후 '0' 을 기입하고 있고 파선으로 나타낸 파형도는 '0' 을 독출한 후 '1' 을 기입하고 있다. 라이트 동작(WRITE)에서의 독출은 필요없지만 제어를 간략화하기 위하여 리드 동작(READ)와 동일한 제어를 행하고 있다.

《실시예 6》

여기에서는 재기입이나 기입 전에 전류 펄스를 인가하는 방법에 있어서, 설명한다. 본 방식에 의해 갱신을 무한정 행하는 것이 가능해진다. 또 본 실시예에서는 셋트 전류원(Iset)과 독출용 전류원(Iread)를 공유화하고 독출용 제어 회로(RA)를 삭제해 면적의 저감을 도모하고 있다.

<메모리 모듈 구성>

도 22를 이용해 실시예 1과 다른 점만 기술한다. 소스선(SL)은 접지 전위에 접속되지 않고 비트선(BL)과 평행하게 형성되고 비트선 선택 회로(BLS)로 커먼 소스선(CSL)에 접속된다. 예를 들면 소스선(SL0)는 소스선 스위치((SSW)0)로 커먼 소스선(CSL)에 접속된다. 또 비트선(BL)도 비트선 선택 회로(BLS)로 커먼 비트선(CBL)에 접속된다. 예를 들면 비트선(BL0)는 비트선 스위치((BSW)0)로 커먼 비트선(CBL)에 접속된다. 비트선 스위치(BSW)는 비트선 선택 신호(BS)로 제어되어 소스선 스위치(SSW)는 소스선 선택 신호(SS)로 각각 제어된다.

커먼 비트선(CBL)과 커먼 소스선(CSL)은 크로스바 스위치(CBSW)에 입력되어 커먼선(CL) 또는 접지 전위와 접속된다.

<동작 방식>

도 23을 이용해 실시예 1과 다른 점만 말한다. 리드 동작(READ)로 데이터를 읽을 때까지는 실시예 1과 같다. 데이터를 독출한 후 우선 전류 펄스를 입력한다.

예를 들면 '1' 이 독출된 경우에는 셋트 전류 선택 신호(SIS)를 'L' 로부터 'H' 로 하는 것으로 비트선(BL0)에 셋트 전류(Iset)를 보낸다. '0' 이 독출된 경우에는 리셋트 전류 선택 신호(RIS)를 'L' 로부터 'H' 로 하는 것으로 비트선(BL0)에 리셋트 전류(Ireset)를 보낸다. 그 후 역의 전류 방향으로 독출한 값을 재기입 한다. '1' 이 독출된 경우에는 비트선(BL0)을 접지 전위에 접속하고 셋트 전류 선택 신호(SIS)를 'H' 로부터 'L' 로 하고 리셋트 전류 선택 신호(RIS)를 'L' 로부터 'H' 로 하는 것으로 비트선(BL0)에 리셋트 전류(Ireset)를 보낸다. '0' 이 독출된 경우에는 비트선(BL0)을 접지 전위에 접속하고 셋트 전류 선택 신호(SIS)를 'L' 로부터 'H' 로 하고 리셋트 전류 선택 신호(RIS)를 'H' 로부터 'L' 로 하는 것으로 비트선(BL0)에 셋트 전류(Iset)를 보낸다.

'로 하는 것으로 소스선 (SL0)에 리셋트 전류 (Ireset)를 보내고 '1'을 기입한다. '0'이 독출된 경우에는 비트선 (BL0)를 접지 전위에 접속하고 리셋트 전류 선택 신호 (RIS)를 'H'로부터 'L'로 하고 셋트 전류 선택신호 (SIS)를 'L'로부터 'H'로 하는 것으로 소스선 (SL0)에 셋트 전류 (Iset)를 보내고 '0'을 기입한다.

기입 동작은 동일하게 독출 후 전류 펄스를 입력하고 그 후 기입 데이터(Di)의 값을 역방향의 전류를 보내 기입을 행한다.

이상과 같이 기입전에 역방향의 전류 펄스를 인가함으로써 갱신을 무한회 행하는 것이 가능하게 되고 독출시에 재기입 방식을 행해도 기입 회수에 한계가 없기 때문에 문제가 되지 않는다.

실시에에서는 항상 전류가 비트선 (BL)로부터 소스선 (SL)에 보내어 기입을 행하기 때문에 상변화 소자 (R)의 비트선측의 카르코게나이드는 Te의 조성비가 높아지고 트랜지스터측의 카르코게나이드는 Ge; Sb의 조성비가 높아진다.

본 실시예에서는 기입의 도중에 전류 방향을 반대로 하고 있다. 이 때문에 기입에 의해 조성에 편향이 생겨도 전류 방향을 반대로 한 펄스의 인가에 의해 조성의 편향은 해소되고 조성은 원 상태에 돌아온다. 이 결과 이온 전도에 수반하는 카르코게나이드의 조성의 편석을 방지하는 것이 가능해지고 기입 가능 회수가 증대하고 무한정의 갱신이 가능해진다.

도 24는 메모리 어레이의 평면도를 나타내고 있다. 워드선 (WL)은 폴리 실리콘층 (PS)에서 ; 소스선 (SL)은 제 1의 배선층 (M1)으로 비트선(BL)는 제 2의 배선층 (M2)로 각각 형성되고 있다. 비트선 (BL)과 소스선 (SL)은 평행으로 형성되고 있다.

《실시예 7》

도 14에 본 방식을 사용해 멀티 포토 메모리 어레이를 구성한 예를 나타낸다. 각 비트선은 2개의 선택 스위치 (SW)에 접속되고 있고 예를 들면 BL0를 스위치 (SW00)에 의해 독출·기입 회로 (RWC0)에 접속하고 SW10를 개입시켜 RWC1에 접속되고 있다. 이러한 구성으로 함으로써 리드 동작과 라이트 동작을 병행하여 처리할 수 있다. 또 본 방식을 사용해 라이트 동작시에 독출한 데이터로 테스트를 행할 수가 있어 데이터의 유효 활용이 가능하다.

예를 들면 리드 동작과 라이트 동작을 병행하여 처리하는 경우에는 BL0를 SW00에 의해 RWC0에 접속 리드 동작을 실시하는 것과 동시에 BL1를 스위치 (SW11)에 의해 RWC1에 접속 라이트 동작을 실시한다.

휴대 기기의 현저한 보급에 따라 불휘발성 메모리의 수요가 늘고 있다. 특히 논리 회로와의 혼재가 용이하고 고속으로 기입이 가능하고 기입 가능한 회수가 크고 구동 전압이 낮은 메모리가 요구되고 있다. 상변화 메모리는 이들 모든 특징을 겸비하는 메모리로서 기대하는 소자이다.

상변화 메모리가 안정된 기입을 실현하는 본 발명은 상변화 메모리의 실용화에 크게 공헌한다. 특히 불휘발성 메모리 혼재 마이크로컴퓨터 IC카드에 있어서, 폭넓게 사용될 가능성이 지극히 높다.

발명의 효과

본 발명의 기술을 이용한 반도체 집적회로 장치를 이용하면 기입 회수를 늘려도 신뢰성이 높은 반도체 불휘발성 기억장치를 실현할 수가 있다. 이 장치는 반도체 논리 연산 장치와 동일한 기판상에 혼재하는 것으로써 신뢰성이 높은 고기능조립형 마이크로컴퓨터를 제공할 수가 있다. 또 이 장치는 단체 칩으로 해서 제공할 수도 있다.

(57) 청구의 범위

청구항 1.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체 집적회로장치에 있어서,

상기 비트선에 보내는 제 1의 펄스 전류와 상기 제 1의 펄스 전류의 역방향으로 보내는 제 2의 펄스 전류에 의해 정보를 기입하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 2.

청구항 1에 있어서,

상기 제 1의 펄스 전류의 펄스폭이 상기 제 2의 펄스 전류의 펄스폭과 다른 것을 특징으로 하는 반도체집적회로장치.

청구항 3.

청구항 2에 있어서,

상기 제 1의 펄스 전류의 펄스폭이 상기 제 2의 펄스 전류의 펄스폭보다 긴 것을 특징으로 하는 반도체집적회로장치.

청구항 4.

청구항 1에 있어서,

상기 제 1의 펄스 전류의 진폭이 상기 제 2의 펄스 전류의 진폭과 다른 것을 특징으로 하는 반도체집적회로장치.

청구항 5.

청구항 4에 있어서,

상기 제 1의 펄스 전류의 진폭이 상기 제 2의 펄스 전류의 진폭보다 큰 것을 특징으로 하는 반도체집적회로장치.

청구항 6.

청구항 1에 있어서,

상기 선택 소자가 MIS형 트랜지스터로 이루어지는 것을 특징으로 하는 반도체집적회로장치.

청구항 7.

청구항 1에 있어서,

상기 선택 소자가 바이폴러형 트랜지스터로 이루어지는 것을 특징으로 하는 반도체집적회로장치.

청구항 8.

청구항 1에 있어서,

상기 선택 소자가 접합으로 이루어지는 것을 특징으로 하는 반도체집적회로장치.

청구항 9.

청구항 1에 있어서,

상기 정보 기억부가 제 1의 전극층과 가열에 의해 저항값이 변화하는 상변화 재료층과 제 2의 전극층으로 이루어지는 것을 특징으로 하는 반도체집적회로장치.

청구항 10.

청구항 9에 있어서,

상기 상변화 재료층이 적어도 Te를 함유하는 재료인 것을 특징으로 하는 반도체집적회로장치.

청구항 11.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서,

상기 비트선에 보내는 제 1의 펄스 전류와 상기 제 1의 펄스 전류와 다른 진폭 혹은 펄스폭을 가지는 제 2의 펄스 전류가 준비되고 상기 제 1의 펄스와 상기 제 1의 펄스에 연속하는 상기 제 2의 펄스에 의해 구성되는 제 1의 펄스 조합과 상기 제 2의 펄스와 상기 제 2의 펄스에 연속하는 상기 제 1의 펄스에 의해 구성되는 제 2의 펄스 편성에 의해 정보를 기입 하는 것을 특징으로 하는 반도체집적회로장치.

청구항 12.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서,

상기 비트선에 보내는 50~1000 마이크로 암페어의 비교적 큰 진폭으로 5~100 나노초의 비교적 짧은 펄스폭을 가지는 제 1의 펄스 전류와 상기 제 1의 펄스 전류에 연속하는 20~400 마이크로 암페어의 비교적 작은 진폭으로 50~1000 나노초의 펄스폭의 상기 제 1의 펄스 전류와 역방향의 제 2의 펄스 전류에 의해 정보를 기입하는 것을 특징으로 하는 반도체집적회로장치.

청구항 13.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선과 절연층을 개입시켜 상기 워드선 혹은 상기 비트선과 교차하는 소스선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서,

상기 비트선 및 상기 소스선에 인가되는 전압 펄스폭이 모두 5 ns이상 100 ns이하인 것을 특징으로 하는 반도체집적회로장치.

청구항 14.

청구항 9에 있어서,

상기 상변화 재료가 전기 음성도의 차이가 0.3보다 큰 2 종류 이상의 원소에 의해 구성되는 것을 특징으로 하는 반도체집적회로장치.

청구항 15.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 상기 정보 기억부에 인접한 계면층과 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서, 상기 워드선과 직교 할 방향으로 보내는 제 1의 펄스 전류와 상기 제 1의 펄스 전류의 역방향으로 보내는 제 2의 펄스 전류에 의해 정보를 기입하고 상기 계면층의 조성이 실리콘 혹은 카본인 것을 특징으로 하는 반도체집적회로장치.

청구항 16.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서,

상기 비트선에 보내는 제 1의 펄스 전류와 상기 제 1의 펄스 전류보다 진폭의 작은 제 2의 펄스 전류와 또한 제 3의 펄스 전류에 의해 정보를 기입하고 상기 제 1 ; 상기 제 2 ; 상기 제 3의 펄스 전류중 한쪽이 다른 방향으로 보내지는 것을 특징으로 하는 반도체집적회로장치.

청구항 17.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서,

상기 비트선에 보내는 제 1의 펄스 전류와 상기 제 1의 펄스 전류의 역방향으로 보내는 2개 이상의 펄스 전류에 의해 정보를 기입하는 것을 특징으로 하는 반도체집적회로장치.

청구항 18.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서,

상기 비트선에 펄스 전류가 보내지는 반도체집적회로장치에 있어서,

상기 워드선의 전압 및 상기 펄스 전류의 진폭이 각각 3치를 취하는 것을 특징으로 하는 반도체집적회로장치.

청구항 19.

복수의 워드선과 절연층을 개입시켜 상기 워드선과 교차하는 복수의 비트선의 교점에 설치된 정보 기억부와 선택 소자로 이루어지는 메모리 셀을 복수 가지는 반도체집적회로장치에 있어서,

상기 비트선에 보내지는 제 1의 펄스 전류와 상기 제 1의 펄스 전류의 역방향으로 보내지는 제 2의 펄스 전류에 의해 정보를 기입하는 것을 특징으로 하는 반도체집적회로장치를 탑재한 마이크로컴퓨터.

청구항 20.

복수의 워드선과,

상기 복수의 워드선과 교차하는 복수의 비트선과,

상기 복수의 워드선과 상기 복수의 비트선의 교점에 배치되는 복수의 메모리 셀과,
독출·기입 회로를 구비하여 이루어지고,
상기 복수의 메모리 셀은 상변화 소자를 포함하고,
리드 동작시에 상기 복수의 메모리 셀로부터 독출한 정보를 재기입 하는 것을 특징으로 하는 반도체집적회로장치.

청구항 21.

청구항 20에 있어서,
라이트 동작시에 읽은 정보를 외부로부터의 기입 정보로 치환하고,
상기 치환한 정보를 메모리 셀에 기입하는 것을 특징으로 하는 반도체집적회로장치.

청구항 22.

청구항 20에 있어서,
상기 독출과 상기 재기입과 상기 기입에서 동일한 회로에 의해 상기 메모리 셀을 구동하는 것을 특징으로 하는 반도체집적회로장치.

청구항 23.

청구항 20에 있어서,
상기 독출과 상기 재기입 사이에 상기 재기입 펄스 전류에 선행하여 그것과 역극성의 펄스 전류를 인가하는 것을 특징으로 하는 반도체집적회로장치.

청구항 24.

청구항 21에 있어서,
상기 독출과 상기 기입의 사이에 상기 기입 펄스 전류에 선행하여 그것과 역극성의 펄스 전류를 인가하는 것을 특징으로 하는 반도체집적회로장치.

청구항 25.

복수의 워드선과,
상기 복수의 워드선과 교차하는 복수의 비트선과,
상기 복수의 워드선과 상기 복수의 비트선의 교점에 배치되는 복수의 메모리 셀을 구비하여 이루어지고,
상기 복수의 메모리 셀의 각각은 상변화 소자를 포함하고,

상기 워드선의 하이레벨을 상기 비트선을 구동하는 전원 전압보다 높고 게이트 산화막에 대해서 5 MV/cm 또는 그것 이하가 되는 전압으로 하는 것을 특징으로 하는 반도체집적회로장치.

청구항 26.

복수의 워드선과,

상기 복수의 워드선과 교차하는 복수의 비트선과,

상기 복수의 워드선과 상기 복수의 비트선의 교점에 배치되는 복수의 메모리 셀을 구비하여 이루어지고,

상기 복수의 메모리 셀의 각각은 상변화 소자를 포함하고,

상기 워드선의 로 레벨의 전위를 접지 전위보다 낮게 하는 것을 특징으로 하는 반도체집적회로장치.

청구항 27.

복수의 워드선과,

상기 복수의 워드선과 교차하는 복수의 비트선과,

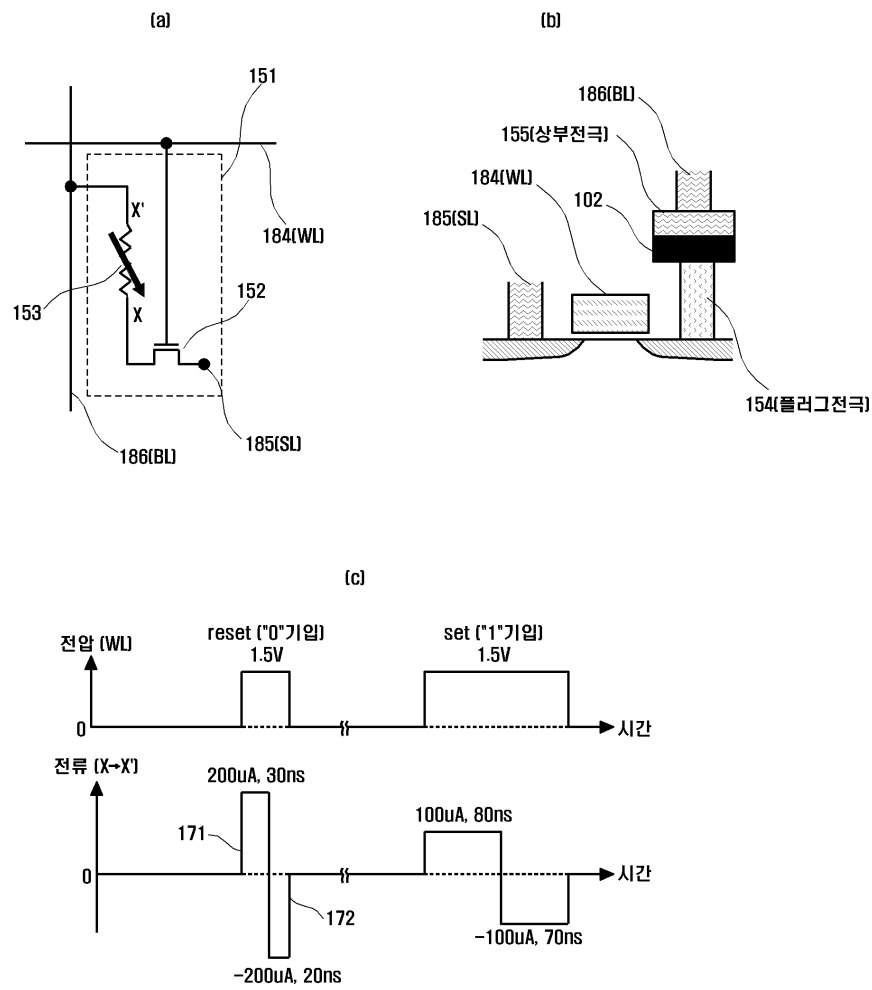
상기 복수의 워드선과 상기 복수의 비트선의 교점에 배치되는 복수의 메모리 셀과 복수의 기입·독출 회로를 구비하여 이루어지고,

상기 복수의 메모리 셀의 각각은 상변화 소자를 포함하고,

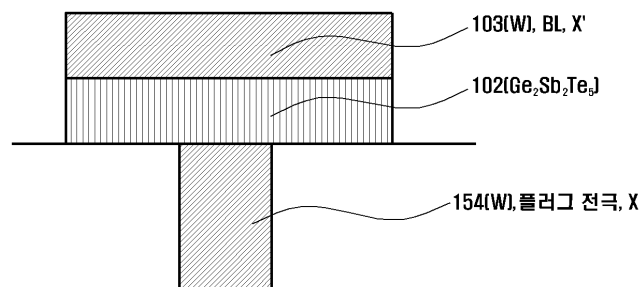
상기 복수의 메모리 셀은 대응하는 상기 복수의 기입·독출 회로에 동시에 접속할 수 있는 것을 특징으로 하는 반도체집적회로장치.

도면

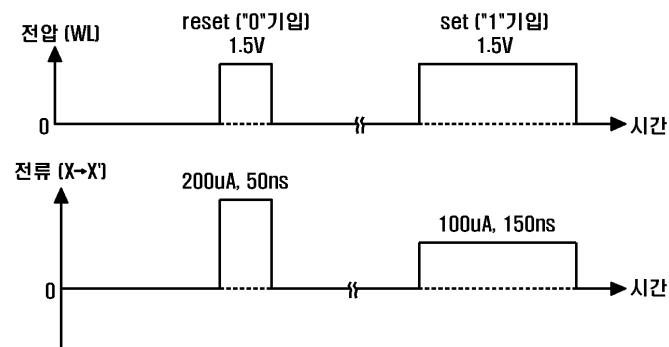
도면1



도면2

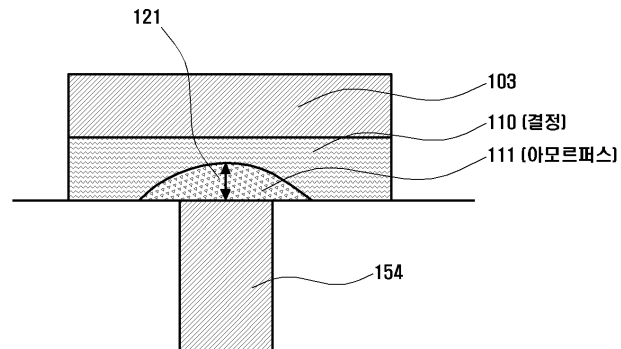


도면3

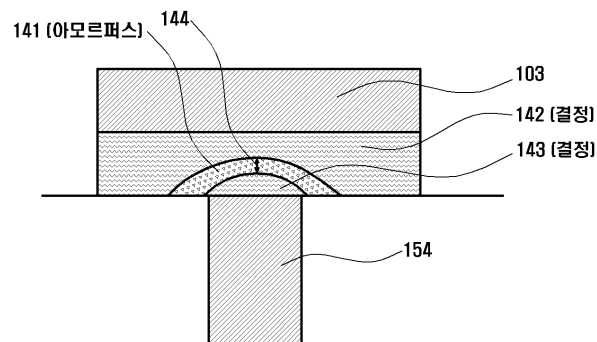


도면4

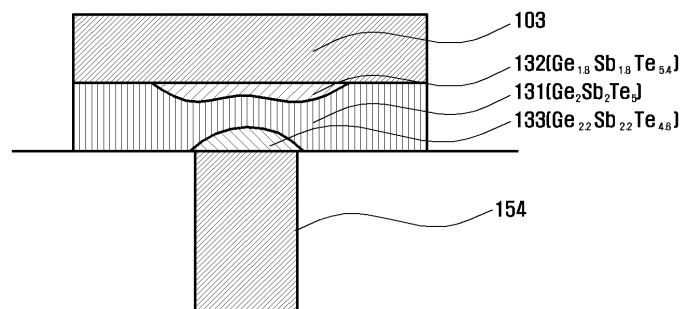
(a) 1회 "0"기입후



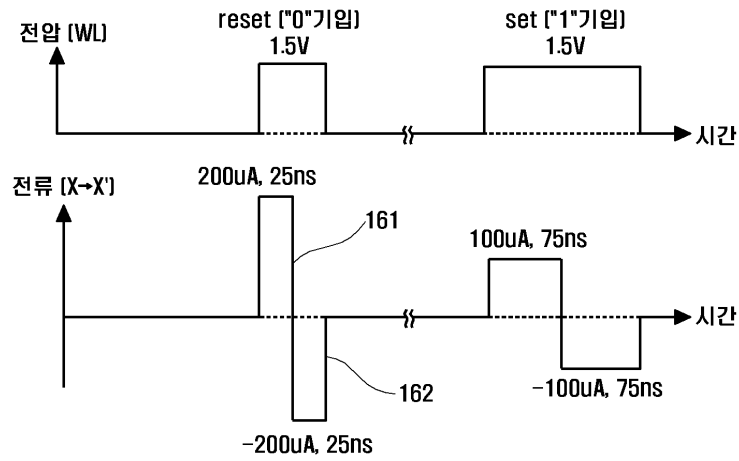
(b) 다수회 "0"기입후



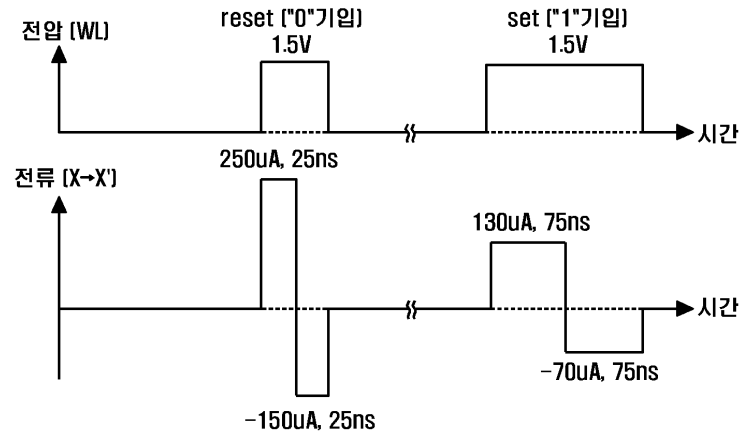
도면5



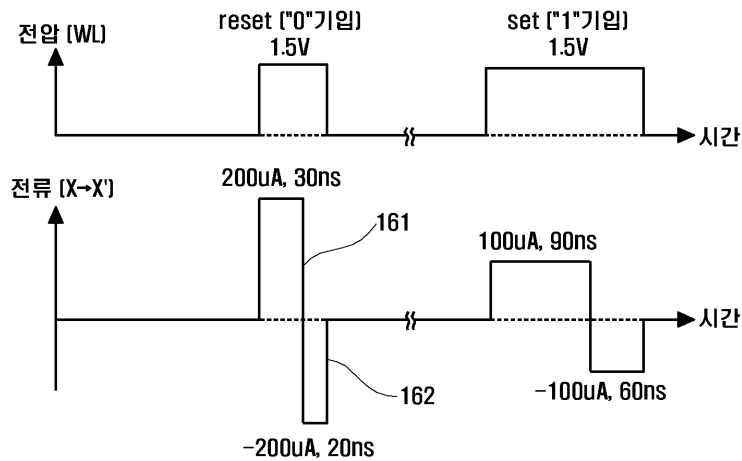
도면6



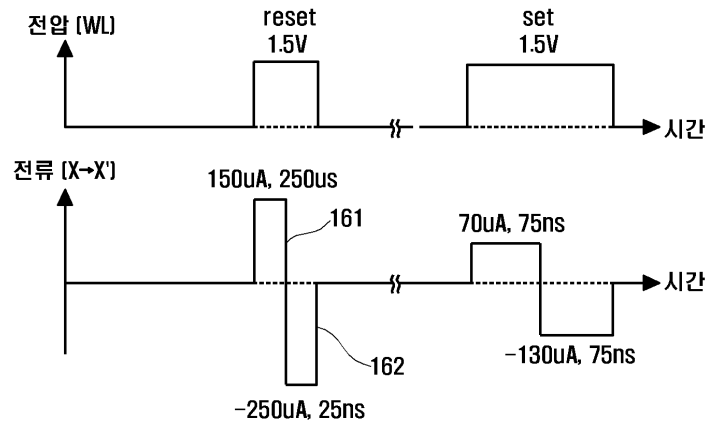
도면7



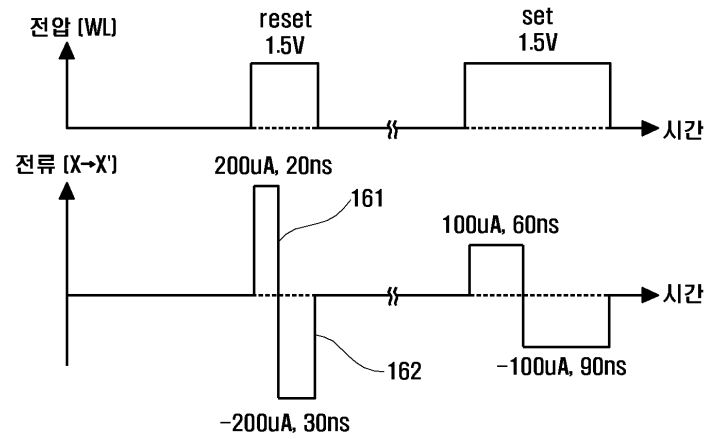
도면8



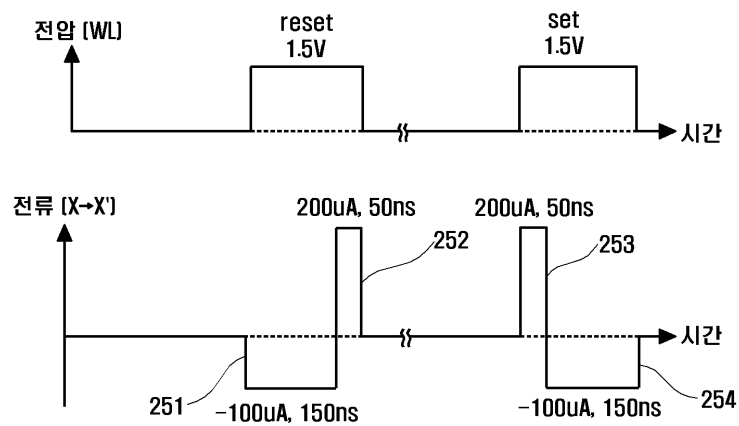
도면9



도면10



도면11

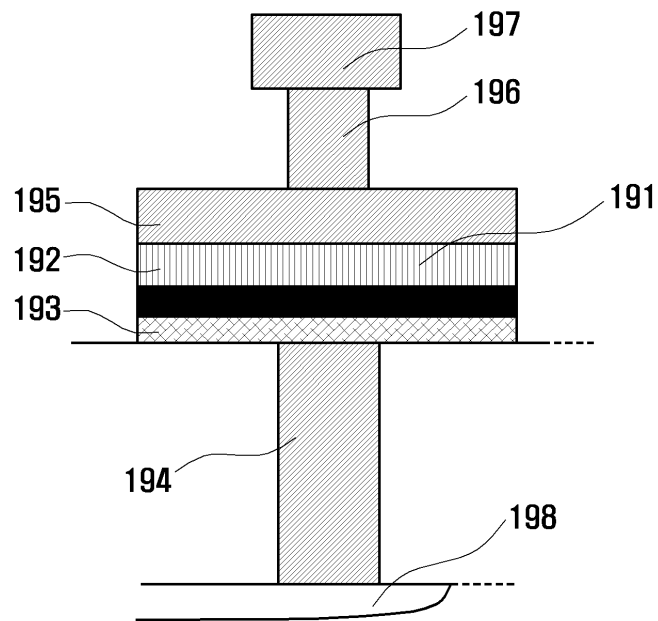


도면12

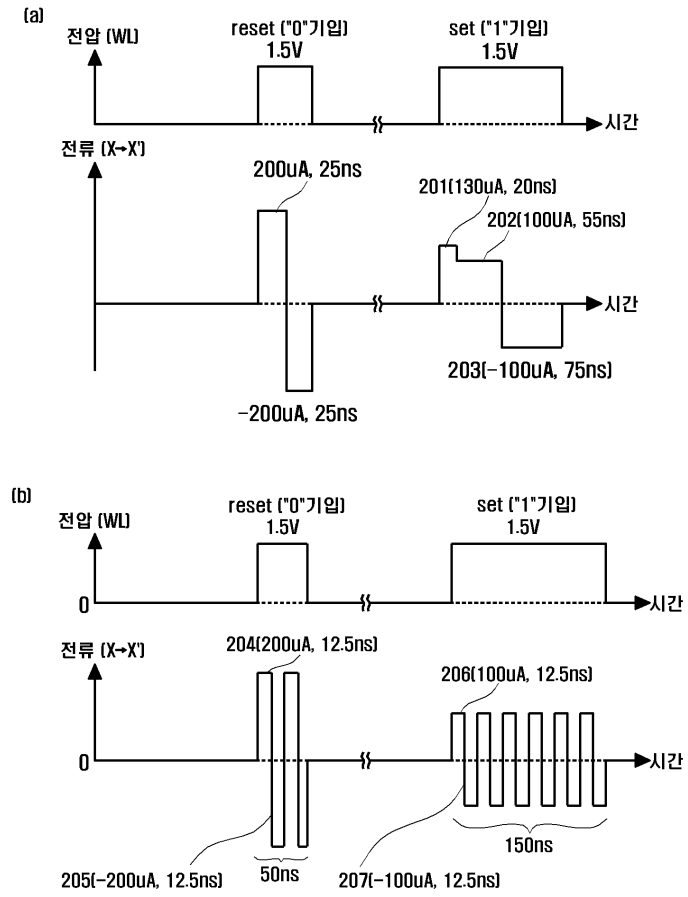
원소기호
전기음극도

H																				
2.1																				
Li	Be															B	C	N	O	F
1	1.5															2	2.5	3	3.5	4
Na	Mg															Al	Si	P	S	Cl
0.9	1.2															1.5	1.8	2.1	2.5	3
K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br				
0.8	1	1.3	1.6	1.6	1.6	1.5	1.8	1.8	1.8	1.9	1.6	1.6	1.8	2	2.4	2.8				
Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I				
0.8	1	1.2	1.4	1.6	1.8	1.9	2.2	2.2	2.2	1.9	1.7	1.7	1.8	1.9	2.1	2.5				
Cs	Ba	La	Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At				
0.7	0.9	1.1	1.3	1.5	1.7	1.9	2.2	2.2	2.2	2.4	1.9	1.8	1.8	1.9	2	2.2				

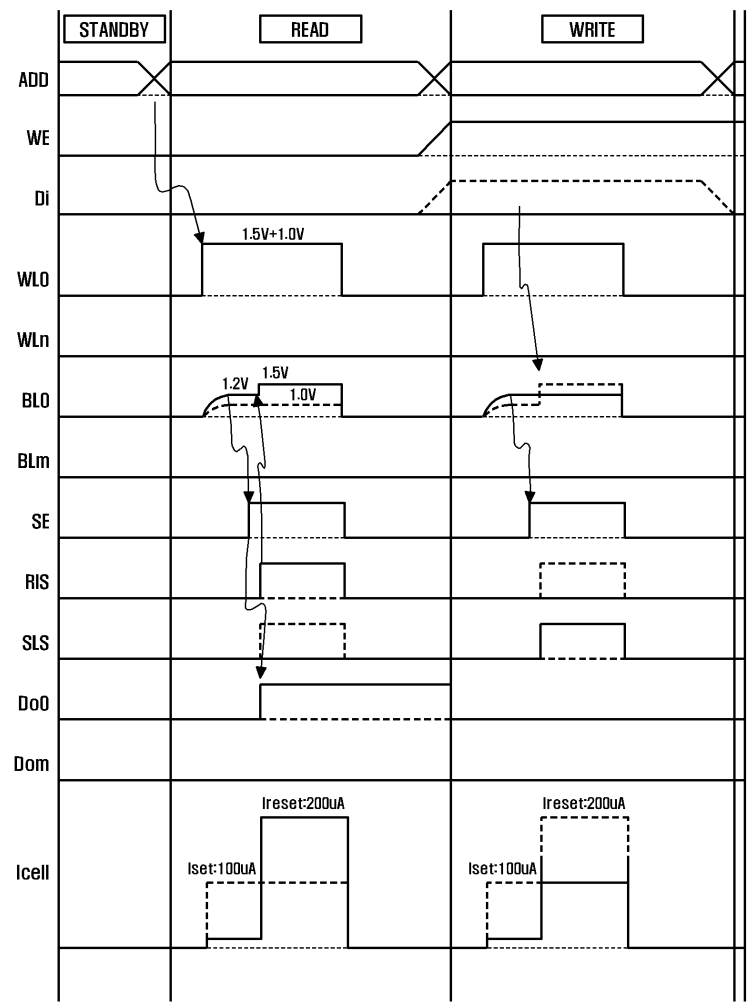
도면13



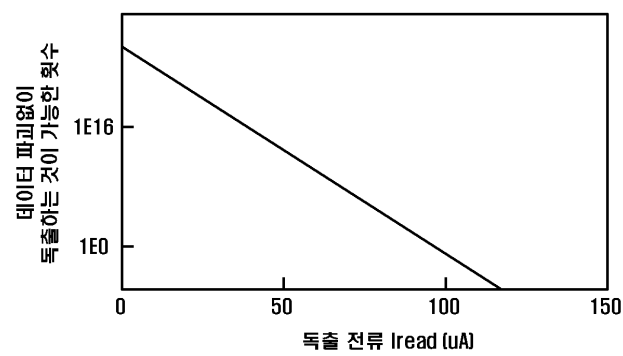
도면14



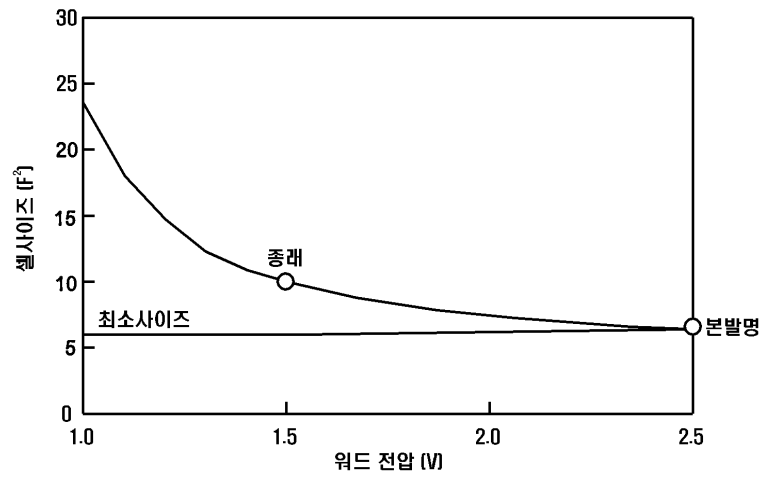
도면16



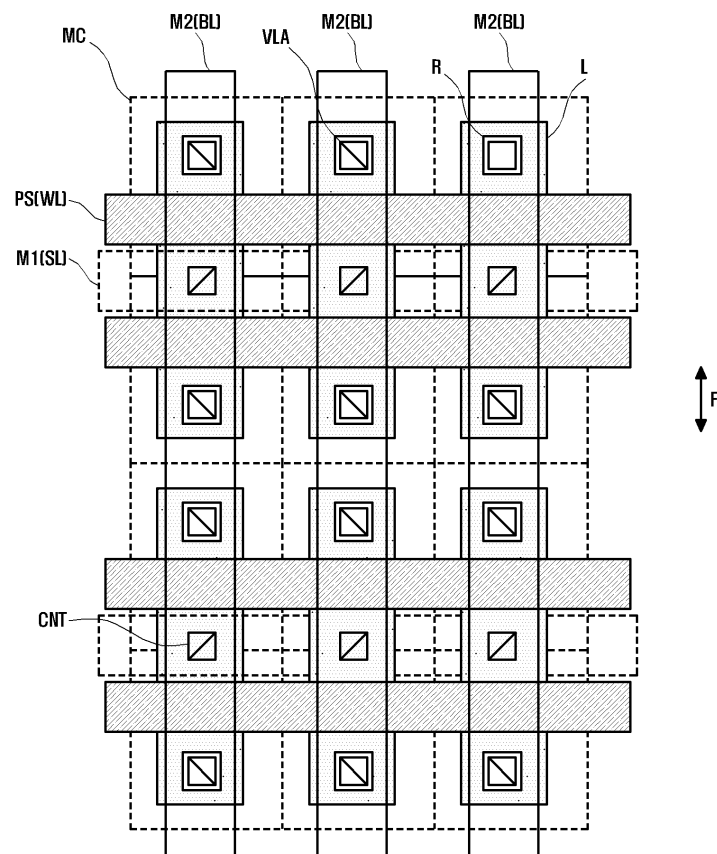
도면17



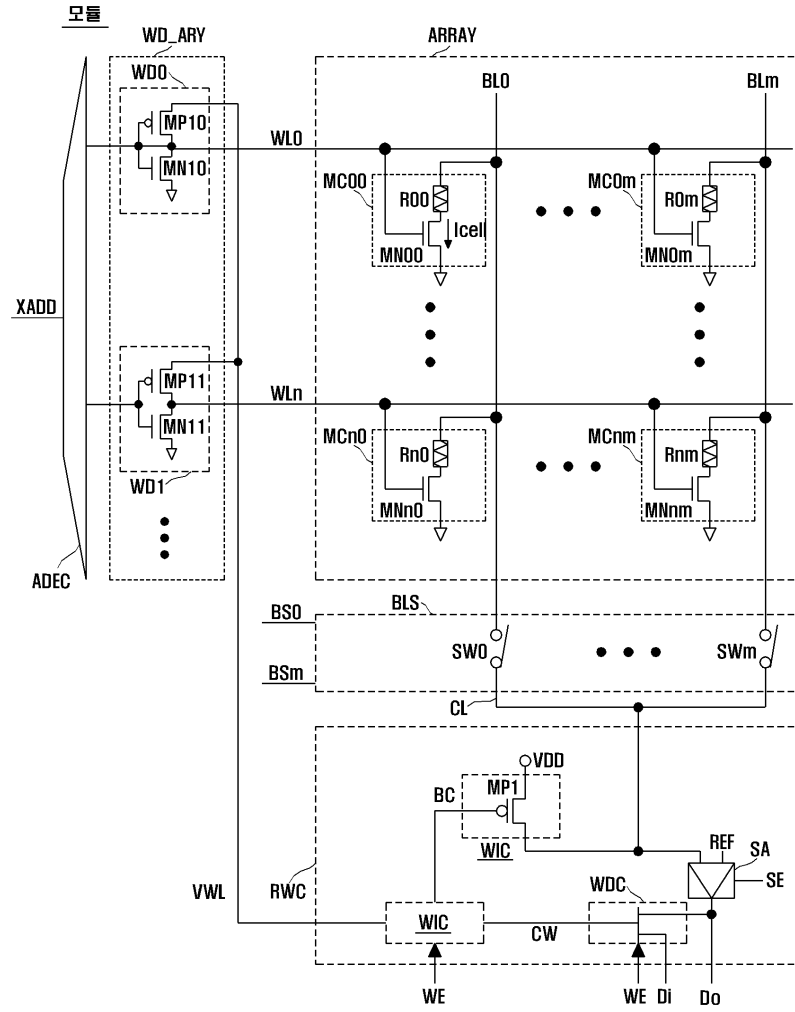
도면18



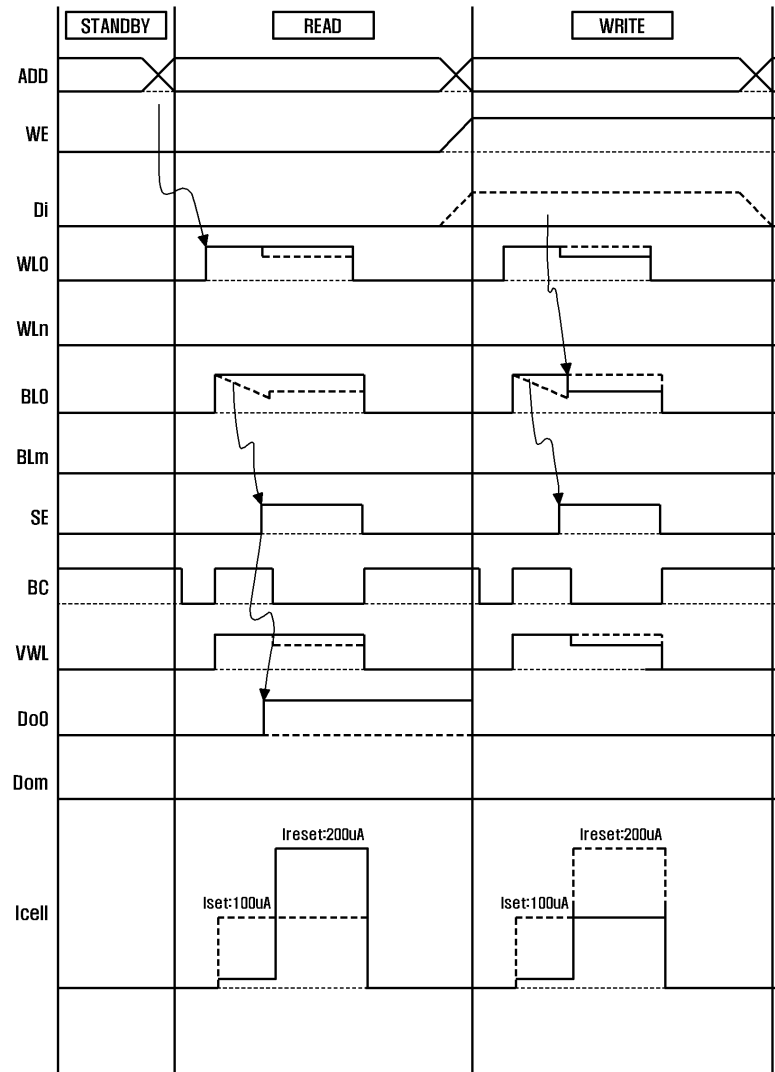
도면19



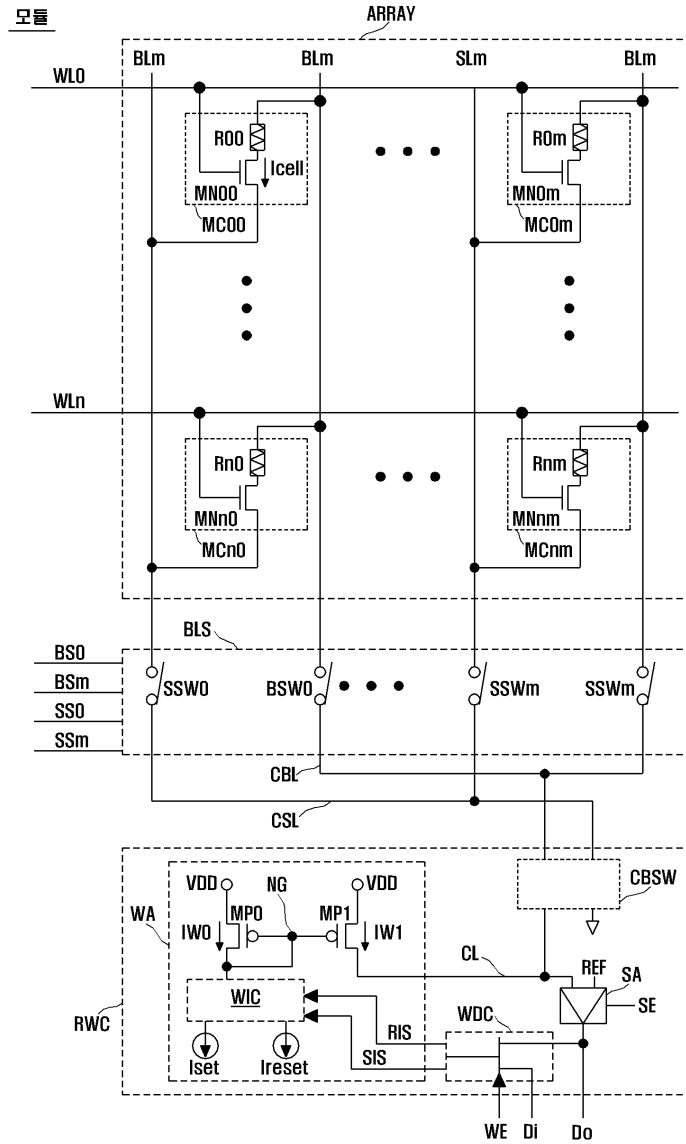
도면20



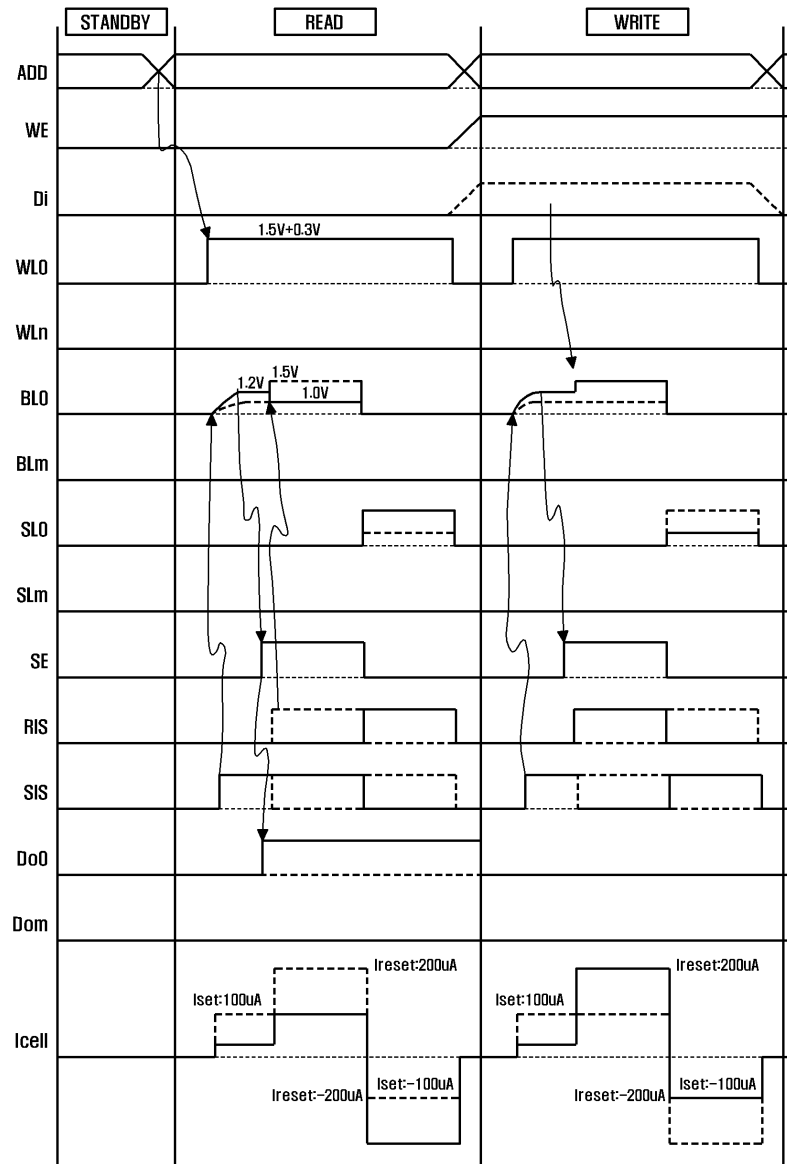
도면21



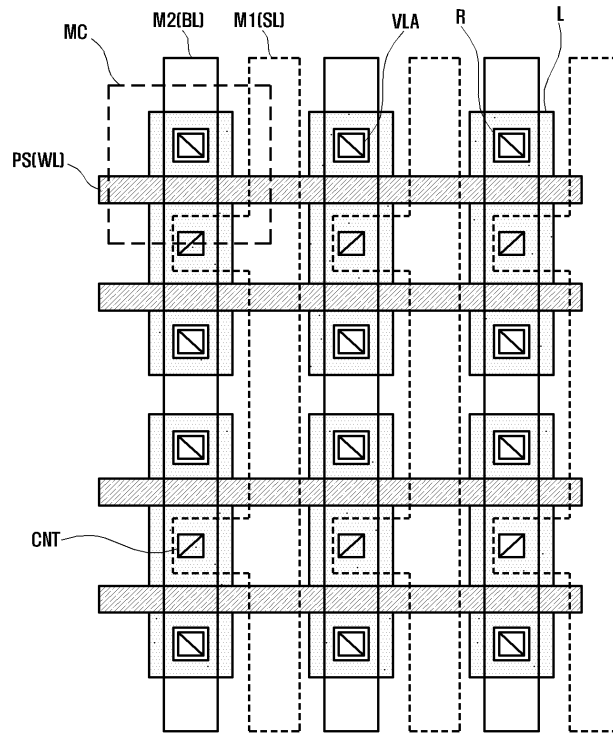
도면22



도면23



도면24



도면25

