

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

92133840

※申請日期：

92.12.2

※IPC 分類：

H01L 21/44

壹、發明名稱：(中文/英文)

三維裝置製造方法

THREE-DIMENSIONAL DEVICE FABRICATION METHOD

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

傑拉德 羅森賽

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. H 柏恩哈德 波吉
POGGE, H. BERNHARD
2. 余羅伊
YU, ROY

住居所地址：(中文/英文)

1. 美國紐約州哈波威爾強遜市拉杜路11號
11 LADUE ROAD, HOPEWELL JUNCTION, NY 12533, U.S.A.
2. 美國紐約州布基西市翰金羅佩街18號
18 HANKIN LOOP, POUGHKEEPSIE, NY 12601, U.S.A.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 中國 PEOPLE'S REPUBLIC OF CHINA

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 專利合作條約；2002年12月20日；PCT/US02/41181
- 2.
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 專利合作條約；2002年12月20日；PCT/US02/41181
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於製造極大規模整合半導體裝置，更特定言之，係關於三維、垂直互連晶片之製造方法。

【先前技術】

微處理器晶片一般包含一邏輯單元及快取記憶體。如果微處理器的邏輯單元及記憶體裝置均以二維(two-dimensional; 2-D)圖案配置，則晶片實體尺寸的限制(由大面積晶片的不良製程良率所造成)會限制快取記憶體數量。因此，微處理器的性能會受到嚴格限制。

為了解決向微處理器提供足夠快取記憶體的問(以及更一般而言，晶片上的2-D資源問題)，許多研究人員正探究建立三維(three-dimensional; 3-D)積體電路之方法。一典型的3-D製造程序包括：在厚度小於20 μm 的晶圓上建立裝置；提供穿過該等晶圓的垂直互連；堆疊該等晶圓以便在不同層晶圓之間建立垂直連接；以及使用一適當材料焊接該等晶圓。請參考(例如)材料研究學會ULSI XVII次會議學報151(2002)上由J.-Q. Lu等人所著的「在200 mm晶圓上使用介電膠水焊接的3D IC技術之通道鏈測試結構之製造」；材料研究學會先進金屬化會議159(2002)上由P. Ramm等人所著的「用於垂直系統整合之使用銅的晶片間通道技術」；IEEE國際互連技術會議學報157(2001)上由Rahman等人所著的「三維積體電路之熱分析」。在目前最新的3-D整合技術中重要的問題包括：(1)需要進行可靠的晶圓焊接；

(2)要求嚴格的晶圓清潔及平整度；(3)需要可靠、低阻抗的晶片間垂直連接；(4)要求嚴格的晶圓至晶圓橫向配準；以及(5)需要穿過該3-D裝置的有效熱傳導。

在美國專利第6,444,560號「用於在裝置間進行微細間距連接之方法及根據該方法所製成之結構」中揭示一種2-D晶片至晶片互連之方法，該專利已讓渡給國際商業機器公司，其揭示內容以提及方式併入本文中。如該專利案中指出，具有不同功能或者不同材料的晶片可經由一聚醯亞胺的佈線層連接，在該佈線層與各晶片之間使用凸塊/通道連接。可將該專利案中提及的技術延伸，以實現3-D晶片級及晶圓級整合。

【發明內容】

本發明對上述問題之解決係藉由提供一種製造三維整合裝置之方法，該裝置包含複數個垂直堆疊並且互連的晶圓，其中該等晶圓可彼此牢固焊接，因此可放鬆對晶圓平整度及晶圓間高精確度對準之要求。為了垂直連接第一晶圓及第二晶圓，在該第一晶圓內形成一從前表面延伸之通道，該通道的特徵為在該前表面的一橫向尺度。在第一晶圓的後表面將材料從該第一晶圓移除，使該晶圓變薄至20 μm 以下。在該第一晶圓的後表面中形成一開口，從而曝露該通道，該開口的一橫向尺度大於該通道的橫向尺度。在該開口內形成一傳導材料層。在第二晶圓的前表面上形成一凸塊及一焊接材料層，該等凸塊從此處垂直伸出。然後，將凸塊對準第一晶圓後表面中的開口，使用焊接材料層將該

等晶圓焊接，使該凸塊與該通道電接觸。為了使三個晶圓互連，第二晶圓進一步具有一從該晶圓前表面延伸的通道，並且藉由在第二晶圓後表面將材料從第二晶圓移除，使第二晶圓變薄。在第二晶圓的後表面形成一開口，從而曝露其內的通道；該開口的橫向尺度大於該通道的橫向尺度。在該開口內形成一傳導材料層。第三晶圓的前表面上形成一焊接材料層及一凸塊，該凸塊與第二晶圓後表面中的開口對準。然後，使用焊接材料層將第三晶圓焊接至第二晶圓，使第三晶圓的凸塊與第二晶圓的通道、第二晶圓的凸塊以及第一晶圓的通道電接觸。

依據本發明，各晶圓中的通道無需從該等晶圓的前表面垂直延伸至後表面。一傳導體配置於晶圓內裝置區域之下並且橫向延伸，其可藉由後表面中的金屬化開口連接該通道。因此，穿過該晶圓的傳導路徑可導入該等裝置之下。焊接層最好係熱塑材料，特定言之可為聚醯亞胺。其允許在平整度及清潔度較不嚴格的要求下焊接晶圓。

在第一晶圓的後表面可形成額外的開口，以連接至第二晶圓前表面上的額外凸塊，其中該等額外開口及凸塊與通道絕緣。此等額外連接係作為晶圓間的垂直熱傳導路徑。因此，本發明實現了具有可靠電連接及晶圓間熱傳導改進的3-D垂直整合。

【實施方式】

依據本發明，可堆疊及垂直互連複數個其上形成有裝置的薄晶圓。在本文所述的具體實施例中會製造及連接一三

層堆疊；應明白其僅用於說明之目的，因此該程序適用於三層以上或以下的情況。3-D垂直整合裝置可以兩種方式構造，說明如下。

(1)頂面朝下的晶圓堆疊程序

圖1A顯示晶圓1的斷面，在晶圓前表面1a附近的區域1d內該晶圓具有裝置及數層高密度的互連佈線11(通常為Cu)。在該晶圓內形成金屬化通道12，其在裝置區域1d下延伸並且橫向互連；此等通道在晶圓1變薄後會成為垂直穿過連接之部分。通道12通常係藉由在晶圓1中蝕刻穿孔而形成，在穿孔的側邊及底部形成一線性材料層，然後用金屬(最好為銅)填充穿孔。通道12的深度小於晶圓1變薄後的最終厚度；因此，如果變薄後的晶圓厚度係大約10 μm ，則通道的深度小於10 μm 。通道12的直徑必須經由選擇以平衡熱傳導及空間問題。大約1 μm 的直徑可佔用晶圓表面的最小空間，同時可提供允許穿過晶圓的熱傳導；可使用更小的通道直徑，但其可能不足以進行穿過垂直晶圓堆疊的熱傳導。

為方便說明起見，所示通道12係以均勻直徑直接向下延伸至晶圓上該等裝置下方的一區域內。在實務中，通道的尺寸要求實質上可放鬆至區域1d以下。包括在裝置下方橫向延伸的穿過連接的其他配置亦可，詳細說明如下。

為了有助於處理變薄晶圓，將一處理板(通常為玻璃)15附著於晶圓的前表面1a。晶圓1與板15係使用一熱塑焊接材料(最好為聚醯亞胺)層16彼此焊接。

處理板15附著於晶圓1後，藉由對背面1b進行研磨或拋光(見圖1B)使晶圓變薄。得到的晶圓1厚度小於20 μm ，最好為大約10 μm 。如圖1B所示，變薄程序在未曝露通道12底部即停止。

接著，在晶圓的後表面1b中蝕刻開口13，使通道12的底部曝露(圖1C)。通道內的金屬自身可作為對該程序的一蝕刻終止；或者，可在晶圓的另一部分(其上沒有裝置)提供一蝕刻終止層，用以控制該程序。應注意，開口13的直徑大於通道12的直徑。雖然通道可有大量配置(進一步說明如下)，但後表面1b的開口一般大於前表面1a的通道。

然後，用金屬對開口13的內表面14進行塗佈(最好藉由噴濺)，以便與對應通道12的底端接觸，從而形成一穿過晶圓1的傳導路徑。應注意，開口13的直徑大於(通常為兩倍大)對應通道12的直徑；其有助於與另一晶圓的垂直連接。

圖1D顯示第二晶圓2，其與晶圓1垂直整合。與晶圓1相似，晶圓2上形成有裝置及互連佈線21。此外，金屬化通道22(通常填充有銅)向下延伸至晶圓2中；通道22在表面2a處具有橫向尺度221。在晶圓2的前表面2a上沈積一聚醯亞胺層26。在表面2a上形成凸塊27，其在層26的頂部表面上延伸，距離通常為5 μm 或以下。凸塊27可由Ni、Cu、鍍Ni的Cu、W或其他一些金屬或金屬組合而形成。在凸塊表面上沈積一低熔點的合金材料層28；其有助於在垂直接合之晶圓1與晶圓2的程序中形成電連接。該合金材料通常為90/10 Pb/Sn的焊料，厚度為2 μm 或以下；替代合金材料包括Au/Sn及

Sn/Ag。該合金材料可接受熱回流處理，因此該層28為圓形，如圖1D所示；其有助於晶圓2上的凸塊與晶圓1中的對應開口對準。該等凸塊使電連接從晶圓2的各裝置垂直向上延伸，同時通道22使電連接垂直向下延伸。

然後，使用焊接及層壓程序將晶圓1(其附著於處理板15)附著於晶圓2。如圖1E所示，晶圓2上的凸塊27係與晶圓1上的開口13配準，同時晶圓1的後表面1b與聚醯亞胺層26的前表面接觸。執行層壓程序的溫度與壓力應足以：(1)保證晶圓1與層26之間的焊接；以及(2)保證凸塊27與金屬14(及由此至通道12)之間的電接觸。根據所用材料，溫度範圍可為200°C至400°C，而壓力範圍可為10 psi至200 psi。如圖1E所示，焊接及層壓程序使焊料28流動，從而使焊料部分或完全地填充開口13。

應注意，開口13的直徑大於凸塊27，因此在晶圓2相對於晶圓1的橫向放置中可允許不精確。此外，應注意表面1b與2a並非直接接觸，而是有層26在中間。聚醯亞胺層26的厚度足以覆蓋小的表面顆粒；填滿較小的表面瑕疵；或者調整兩個晶圓平整度上的不同。因此，保證在晶圓之間進行可靠機械焊接中的層26的作用重大，同時凸塊/通道連接27-28-14-12亦提供可靠的垂直電連接。

然後，將晶圓2(現焊接於晶圓1)變薄至小於20 μm ，最好為大約10 μm 。如圖1F所示，在晶圓2的後表面2b中形成開口23，使通道22的底部曝露。用金屬24(最好與晶圓1一樣藉由噴濺)塗佈開口23的內表面，以提供與另一晶圓3的電

連接。

圖 1G 顯示用於焊接至晶圓 1 及 2 的晶圓 3 之製備程序。在晶圓 3 的前表面附近亦具有裝置及互連佈線 31。為了與晶圓 2 的背面電接觸，凸塊 37 係形成於晶圓 3 的正面 3a。凸塊 37 的表面上具有合金材料 38，分別與晶圓 2 上的凸塊 27 及合金材料 28 相似。與層 26 相似，在表面 3a 上亦沈積一聚醯亞胺層 36。在該說明中，晶圓 3 係垂直堆疊中要焊接的最後晶圓；因此，晶圓 3 不用變薄(以提供堆疊的機械強度)，並且無需穿過晶圓的通道。

圖 1H 顯示晶圓 3 焊接及層壓程序之結果。用合金材料 38 填充開口 23 並且焊接至金屬層 24 後，其結果使凸塊 37 與通道 22 電接觸。聚醯亞胺層 36 焊接於晶圓 2 的表面 2b，與晶圓 1 及晶圓 2 之間的層 26 相似。由於未變薄的晶圓 3 向變薄的晶圓 1 及 2 提供機械強度，因此不再需要處理板 15，從而可在此時移除。其可藉由雷射刻除方便地完成；即如果板 15 對於刻除輻射係透明的，則可使用一雷射來刻除板 15 與層 16 之間的介面，從而使該板分離。

如圖 1I 所示，垂直互連的晶圓堆疊 1-2-3 可附著外部連接。圖 1I 顯示(例如)用於連接垂直堆疊至一較大裝置中其他組件之 C4 技術。在層 16 中形成開口 40，以曝露晶圓 1 的金屬化通道 12；然後在開口內沈積金屬襯墊 41。接著，使用(例如)本技術中已知的焊料遮罩技術在此等襯墊上形成 C4 焊塊 42。然後，準備將完整垂直整合裝置 100 焊接至一多晶片模組(multichip module；MCM)或類似物上的 C4 襯墊。

應注意，晶圓1、2及3的內部結構僅為示意性說明；實際上，此等晶圓可由各種方法製造並且具有不同功能。例如，全部三個晶圓可具有快取記憶體裝置；晶圓1及2可具有記憶體而晶圓3可具有邏輯裝置；一或多個該等晶圓可併入微電子電機系統(micro-electromechanical systems; MEMS)等。

本發明者已發現要保證成功的晶圓級垂直整合係藉由：
(1)將晶圓變薄至大約10 μm ，以使通道內的垂直熱傳導問題最小化；(2)將聚醯亞胺用作熱塑焊接材料，以放鬆晶圓的平整度及清潔度要求；以及(3)使用凸塊/通道連接，其中背面通道開口實質上大於凸塊，以放鬆橫向配準要求。

(2)底面朝上的晶圓堆疊程序

在圖2A至2E中顯示焊接垂直堆疊晶圓的替代性程序；該程序詳細針對三個晶圓，但如上所述，可適用於更多或更少的晶圓。首先，依據圖1A至1C所示程序製備一晶圓1；然後將該晶圓變薄至大約10 μm ；在後表面上形成金屬化通道12及開口13；以及用一聚醯亞胺層16將處理板15附著於前表面。

然後，如圖2A所示製備第二晶圓5，其具有橫向互連佈線51。與上述程序(與圖1D比較)中的晶圓2相似，晶圓5具有通道52及連同合金材料58的凸塊57。向晶圓5提供一處理板55；用聚醯亞胺塗層56覆蓋該板55，圖案化該塗層使其容納凸塊57。然後，將晶圓5焊接至處理板55，其允許晶圓變薄(圖2B)。在變薄晶圓的背面5b中形成開口53，並且如上所述用金屬層54塗佈開口的內表面。

由於晶圓1及5均具有各自的處理板15及55，因此可分別製備、焊接及變薄。

如圖2C所示製備第三晶圓6，其具有橫向互連佈線61。該晶圓(與圖1G所示的晶圓3相似)的前表面上具有聚醯亞胺層66及凸塊67，並且在凸塊表面上具有合金材料68，用以與其他晶圓進行垂直電連接。凸塊67從層66伸出一足夠距離，以便與晶圓5上的金屬層54接觸(即大約為5 μm)。接著，將晶圓5及6焊接及層壓在一起，如圖2D所示。由於晶圓6未變薄，因此在焊接程序後無需處理板55，從而將其移除。此時，晶圓5前表面5a上的層56的厚度減小，從而使凸塊57的高度曝露大約5 μm。接著，凸塊57準備焊接至晶圓1的金屬層14。圖2E顯示該焊接程序的結果，其中堆疊的晶圓5及6接合至晶圓1；合金材料58填充變薄晶圓1中的開口13，以便與金屬層14電接觸，以及由此與通道12電接觸。晶圓5及6焊接至晶圓1後，不再需要處理板15，於是可將其移除，從而曝露層16。然後，可在層16中形成開口40，以及形成金屬襯墊41及C4焊塊42以連接至通道12(圖2F，與圖1I比較)。

應明白，上述用於堆疊複數個變薄晶片以及併入晶片至晶片垂直互連之技術，大大增加了晶片內容及功能，而不會增加其區域(二維)尺寸。此等程序對於具有相同內容的晶片而言尤其有利，因為各變薄及堆疊的晶片可具有相同尺寸。其進而使得裝置的整個處理程序極大簡化且更加經濟。應注意，此等程序允許晶圓級晶片至晶片互連，因此與單

晶片的垂直放置、焊接及互連程序相比，製造3-D晶片的程序更加便宜。與先前所述的垂直互連方案相比，本發明中的晶片至晶片互連並非沿晶片的側邊進行，而係直接穿過該晶片而形成。

很明顯隨著堆疊晶圓厚度(大約為10 μm)的減小，晶片間(如快取記憶體單元之間)的互連長度大大小於此類晶片的2-D配置。除了節約二維空間之外，其亦在改進裝置性能上提供更多優點。

在圖1A至1I及2A至2F中，為了方便說明起見，所示通道向下一直延伸穿過該等晶圓並且直徑保持一致。對於垂直的晶片至晶片互連而言，無需用一小直徑穿過晶圓的全部厚度，即使係整個厚度為10 μm 的變薄晶圓。例如，如圖3所示，製備晶圓1時可將一大的金屬區域102嵌入晶圓1中。於是，垂直互連可包含一小直徑(小於1 μm)的垂直線12，當其延伸穿過晶圓的裝置區域1d時用以節約空間；以及一大得多的金屬區域102，其在裝置區域下方橫向延伸並且與背面開口103的金屬化內表面連接。因此，開口103根據區域102的橫向延伸長度與通道12橫向分開。該配置使垂直互連在裝置區域內所需的空間最小化，同時降低互連的阻抗。此外，應注意該配置使互連區域直接位於晶圓上裝置區域的下方成為可能(例如，穿過開口103而與另一晶圓連接的互連在區域1d內直接位於裝置下方)。其進而允許開口103的尺寸及位置可具有靈活性，因此進一步放鬆晶圓間(在該範例中為晶圓1與2之間)精確對準的需要。

晶圓間的金屬化垂直連接可用於熱傳導及用於電信號。例如，如圖4A所示，一電性路徑在晶圓1的裝置區域下方橫向行進，以在晶圓背面1b上電連接開口13之間提供額外空間。在晶圓表面中形成額外開口113，並且用金屬塗佈其內部表面114，與開口13及金屬塗層14相似。(開口13、113可在相同步驟中形成，金屬塗層14、114亦然。)額外開口113不會形成電連接之部分，而用於提供一穿過晶圓堆疊的熱傳導路徑。如圖4B所示，在晶圓2的前表面2a上形成覆蓋有低熔點合金材料128的額外凸塊127。當晶圓在上述程序中焊接在一起時，凸塊127與開口113內的金屬114連接，從而在晶圓1與2之間形成一金屬化熱傳導路徑(見圖4C)。如圖4C所示，凸塊127可與或不可與通道22或凸塊27電連接；未有電信號載送至晶圓1的前表面。

雖然圖4A至4C中所示的熱傳導路徑形成於晶圓1與2之間，但應明白，在上述整合程序中該技術可用於改進堆疊中任何晶圓間的熱傳導(圖1H所示的晶圓2與3之間；圖2D所示的晶圓5與6之間等)。

圖5顯示具有一垂直整合堆疊(如一快取記憶體單元)100橫向連接至一晶片(如一邏輯單元)200的裝置400，使用C4連接將該裝置連接至一多晶片模組(MCM) 300。該垂直記憶體堆疊及邏輯晶片分別具有C4焊塊42及242，焊接至MCM上的C4襯墊301。然後，該MCM 300整合入一更大且更複雜的裝置。

如圖6所示，藉由使用凸塊/通道連接可在快取記憶體與

邏輯單元之間實現較近連接。快取記憶體單元401根據上述程序之一進行製備，然而在聚醯亞胺層411中具有金屬化通道420(與圖1I及2F比較)。在邏輯單元402上的聚醯亞胺層412中形成相似通道。一絕緣層450(由低k介電材料、氧化物或聚醯亞胺製成)中嵌入互連佈線，該絕緣層上形成的凸塊422係用於匹配通道的位置。隨著單元401及402與凸塊422對準後，可在處理板(未顯示)上形成層450；在凸塊422與通道內的金屬襯墊421連接的焊接程序之後，將處理板從表面450b移除。單元401與402之間的間隙403可用適當的材料(如聚醯亞胺)填充，以增強機械穩定性。然後，該合併裝置(現在包含記憶體單元401、邏輯單元402及互連層450)的表面450b上可形成C4襯墊451及C4焊塊452，用以形成該裝置的外部連接。

或者，在合併快取記憶體及邏輯單元的裝置中，兩者均可整合於一垂直堆疊，如圖7所示。合併裝置500包含整合有快取記憶體晶片501及502的邏輯單元510。在該配置中，邏輯單元510在堆疊的頂部，該處最易消除過度熱量。

應明白，圖5至7的單元100、200、401、402、500無需僅僅係邏輯及/或記憶體裝置，實際上可為任何各種裝置。因此，使用本發明之方法可將不同的裝置技術輕易併入3-D整合裝置。

← 工業上可應用性

本發明一般可應用於需要高區域密度裝置的半導體裝置結構。本發明尤其可應用於需要大記憶體快取內容的晶片，

其由於光罩尺寸限制或由於有限的製程良率無法用目前的可用方法製造。

雖然已根據特定具體實施例對本發明進行了說明，然而根據上述說明，很明顯熟悉本技術人士可進行許多的替代、修改及變更。因此，本發明包括屬於隨附申請專利範圍及本發明之範圍及精神內的全部此類替代、修改及變更。

【圖式簡單說明】

圖1A至1I係依據本發明之第一項具體實施例顯示一3-D整合裝置的製造程序中各步驟之示意圖。

圖2A至2F係依據本發明之第二項具體實施例顯示一3-D整合裝置的製造程序中各步驟之示意圖。

圖3係顯示晶圓之間的垂直互連，其依據本發明在晶圓的裝置區域之下橫向延伸。

圖4A至4C顯示一依據本發明之製造程序，亦用於改進一3-D整合裝置中的熱傳導。

圖5顯示包含一邏輯單元及一3-D堆疊記憶體單元的完整微處理器裝置，該記憶體單元係依據本發明製造，其中該等邏輯及記憶體單元係以使用C4技術的2-D互連方案連接於多晶片模組(MCM)上。

圖6顯示包含一邏輯單元及一3-D堆疊記憶體單元之完整微處理器裝置，該記憶體單元係依據本發明製造，其中該等邏輯及記憶體單元係以使用凸塊/通道連接的2-D傳輸與接合(transfer and join; T&J)互連方案進行連接。

圖7顯示包含一邏輯單元及一記憶體單元之完整微處理

器裝置，其中所有單元依據本發明垂直整合。

【圖式代表符號說明】

1	第一晶圓
1a	前表面
1b	後表面
1d	區域
2	第二晶圓
2a	前表面
2b	後表面
3	第三晶圓
3a	前表面
5	第二晶圓
5a	前表面
5b	背面
6	第三晶圓
11	互連佈線
12	通道
13	開口
14	傳導材料層
15	處理板
16	焊接材料層
21	互連佈線
22	通道
23	開口

24	傳導材料層
26	焊接材料層
27	凸塊
28	合金材料層
31	互連佈線
36	焊接材料層
37	凸塊
38	合金材料
40	開口
41	金屬襯墊
42	焊塊
51	互連佈線
52	通道
53	開口
54	金屬層
55	處理板
56	聚醯亞胺塗層
57	凸塊
58	合金材料
61	互連佈線
66	聚醯亞胺層
67	凸塊
68	合金材料
100	三維整合裝置

102	傳導體
103	開口
113	開口
114	傳導材料層
121	橫向尺度
127	凸塊
128	合金材料
200	晶片
221	橫向尺度
242	焊塊
300	多晶片模組
301	C4襯墊
400	裝置
401	三維整合裝置
402	邏輯單元
403	間隙
411	聚醯亞胺層
412	聚醯亞胺層
420	通道
421	金屬襯墊
422	凸塊
450	絕緣層
450b	表面
451	C4襯墊

452	C4焊塊
500	合併裝置
501	快取記憶體晶片
502	快取記憶體晶片
510	邏輯單元

伍、中文發明摘要：

本發明揭示一種用於製造一三維整合裝置之方法，該裝置包含複數個垂直堆疊及互連的晶圓。晶圓(1、2、3)係使用諸如聚醯亞胺之類熱塑材料的焊接層(26、36)焊接在一起，藉由該等晶圓中的通道(12、22)連接至凸塊(27、37)實現電連接。該等凸塊連接至開口(13、23)，該等開口之橫向尺度大於該等晶圓前表面的通道的橫向尺度。此外，各晶圓中的通道無需從該等晶圓的該前表面垂直延伸至該後表面。配置於該晶圓內該裝置區域之下並且橫向延伸的一傳導體(102)可藉由該後表面中的金屬化開口(103)連接該通道。因此，穿過該晶圓的該傳導路徑可導入其該等裝置之下。在開口(113)與凸塊(127)之間進行額外連接，以便在該等晶圓之間形成垂直熱傳導路徑。

陸、英文發明摘要：

A method is described for fabricating a three-dimensional integrated device including a plurality of vertically stacked and interconnected wafers. Wafers (1, 2, 3) are bonded together using bonding layers (26, 36) of thermoplastic material such as polyimide; electrical connections are realized by vias (12, 22) in the wafers connected to studs (27, 37). The studs connect to openings (13, 23) having a lateral dimension larger than that of the vias at the front surfaces of the wafers. Furthermore, the vias in the respective wafers need not extend vertically from the front surface to the back surface of the wafers. A conducting body (102), provided in the wafer beneath the device region and extending laterally, may connect the via with the metallized opening (103) in the back surface. Accordingly, the conducting path through the wafer may be led underneath the devices thereof. Additional connections may be made between openings (113) and studs (127) to form vertical heat conduction pathways between the wafers.

柒、指定代表圖：

(一)本案指定代表圖為：第 (11) 圖。

(二)本代表圖之元件代表符號簡單說明：

- | | |
|-----|--------|
| 1 | 第一晶圓 |
| 2 | 第二晶圓 |
| 3 | 第三晶圓 |
| 16 | 焊接材料層 |
| 26 | 焊接材料層 |
| 36 | 焊接材料層 |
| 40 | 開口 |
| 41 | 金屬襯墊 |
| 42 | 焊塊 |
| 100 | 三維整合裝置 |

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾、申請專利範圍：

1. 一種用於製造一包含複數個垂直堆疊及互連晶圓的三維整合裝置之方法，該方法包括以下步驟：

提供一具有一前表面(1a)及一後表面(1b)之第一晶圓(1)，該第一晶圓的各裝置形成於與該第一晶圓之該前表面鄰近的一區域(1d)內；

在該第一晶圓內形成一從該前表面延伸之通道(12)，該通道的特徵為在該前表面的一橫向尺度(121)；

在該第一晶圓的該後表面(1b)處將材料從該第一晶圓移除；

在該第一晶圓的該後表面內形成一開口(13)，從而使該通道曝露，該開口的一橫向尺度大於該通道的該橫向尺度；

在該開口內形成一傳導材料層(14)；

提供一具有一前表面(2a)及一後表面(2b)之第二晶圓(2)，該第二晶圓中形成的各裝置鄰近該第二晶圓之該前表面；

在該第二晶圓的該前表面上形成一凸塊(27)；

在該第二晶圓的該前表面(2a)上形成一焊接材料層(26)，該等凸塊從此處垂直伸出；

將該凸塊(27)對準該第一晶圓的該後表面中的該開口(13)；以及

使用該焊接材料層(26)將該第二晶圓焊接至該第一晶圓，使該凸塊與該通道電接觸。

2. 如申請專利範圍第1項之方法，其進一步包括以下步驟：

在該第二晶圓(2)內形成一從該第二晶圓之該前表面(2a)延伸之通道(22)，該通道的特徵為在該前表面(2a)的一橫向尺度(221)；

在該第二晶圓的該後表面(2b)將材料從該第二晶圓移除；

在該第二晶圓的該後表面(2b)形成一開口(23)，從而曝露其中的該通道(22)，該開口(23)的一橫向尺度大於該通道(22)的該橫向尺度(221)；

在該開口內形成一傳導材料層(24)；

提供一具有一前表面(3a)之第三晶圓(3)，該第三晶圓中形成的各裝置鄰近該第三晶圓的該前表面；

在該第三晶圓的該前表面(3a)上形成一凸塊(37)；

在該第三晶圓的該前表面(3a)上形成一焊接材料層(36)，該等凸塊從此處垂直伸出；

將該凸塊(37)對準該第二晶圓的該後表面中的該開口(23)；以及

使用該焊接材料層(36)將該第三晶圓焊接至該第二晶圓，使該第三晶圓的該凸塊(37)與該第二晶圓的該通道(22)、該第二晶圓的該凸塊(27)以及該第一晶圓的該通道(12)電接觸。

3. 如申請專利範圍第1或2項之方法，其特徵為移除材料之該步驟使該晶圓的一厚度小於20 μm 。
4. 如申請專利範圍第1或2項之方法，其進一步包括使用一焊接材料層(16)將一處理板(15)附著於該第一晶圓(1)的

該前表面(1a)上之步驟。

5. 如申請專利範圍第1或2項之方法，其進一步包括在該第一晶圓(1)與該第二晶圓(2)之一中形成一傳導體(102)並且連接至該晶圓內的該通道(12/22)之步驟，該傳導體在該晶圓的該等裝置之下橫向延伸，其特徵為該晶圓的該背面中的該開口(103)根據該傳導體(102)的橫向延伸長度與該通道橫向分開。

6. 如申請專利範圍第1或2項之方法，其進一步包括以下步驟：

在該第一晶圓的該後表面中形成一額外開口(113)；

在該額外開口內形成一額外傳導材料層(114)；

在該第二晶圓的該前表面上形成一額外凸塊(127)；以及

將該額外凸塊(127)對準該第一晶圓的該後表面中的該額外開口(113)；

以及其特徵為將該第二晶圓焊接至該第一晶圓之該步驟在該額外凸塊(127)與該額外傳導材料層(114)之間形成一連接，用於該第二晶圓與該第一晶圓之間的熱傳導。

7. 如申請專利範圍第6項之方法，其特徵為該額外傳導材料層(114)係與該通道(12)電性絕緣。

8. 如申請專利範圍第2項之方法，其進一步包括以下步驟：

在該第二晶圓的該後表面中形成一額外開口；

在該額外開口內形成一額外傳導材料層；

在該第三晶圓的該前表面上形成一額外凸塊；及

將該額外凸塊對準該第二晶圓的該後表面中的該額外

開口；

以及其特徵為將該第三晶圓焊接至該第二晶圓之該步驟在該額外凸塊與該額外傳導材料層之間形成一連接，用於該第三晶圓與該第二晶圓之間的熱傳導。

9. 如申請專利範圍第1或2項之方法，其特徵為該焊接材料係一熱塑材料。
10. 如申請專利範圍第9項之方法，其特徵為該熱塑材料係聚醯亞胺。
11. 如申請專利範圍第1或2項之方法，其進一步包括將該三維整合裝置(100)附著於一多晶片模組(300)之步驟。
12. 如申請專利範圍第1或2項之方法，其進一步包括使用一凸塊-通道連接將該三維整合裝置(401)附著於一其內形成佈線之絕緣層(450)之步驟。
13. 如申請專利範圍第2項之方法，其特徵為該第一晶圓及第二晶圓具有快取記憶體裝置，而該第三晶圓具有邏輯裝置。
14. 如申請專利範圍第2項之方法，其特徵為該第一晶圓、第二晶圓及該第三晶圓之至少一個包含一MEMS裝置。

拾壹、圖式：

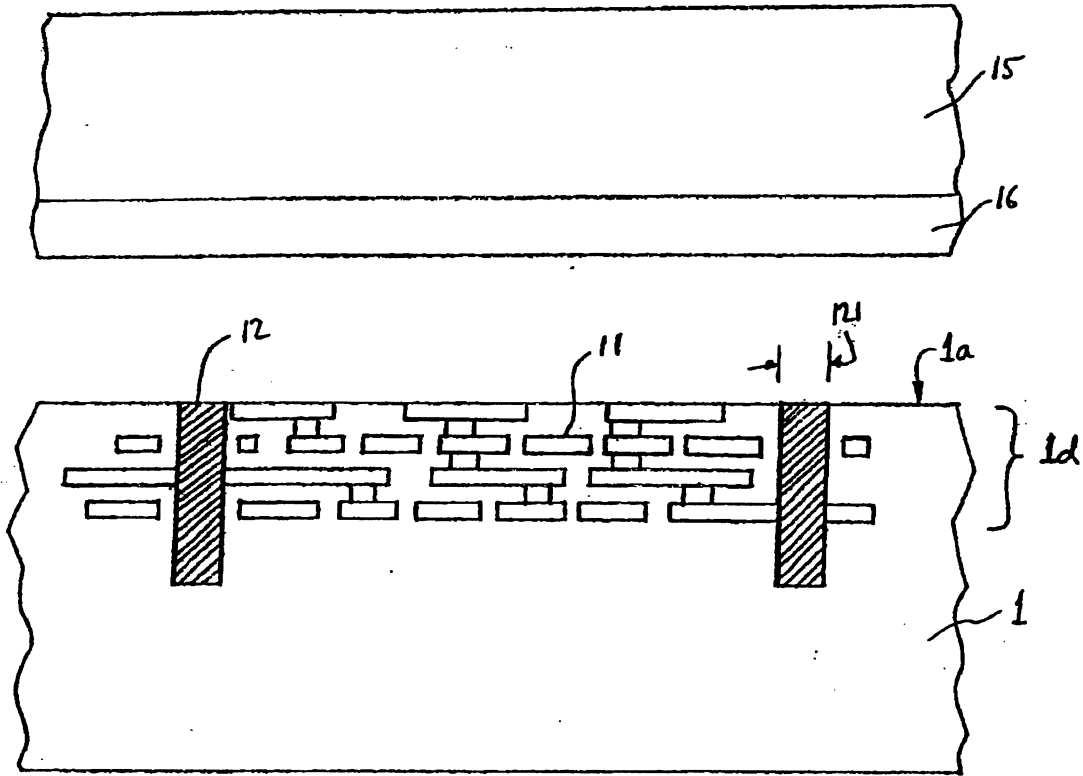


圖 1A

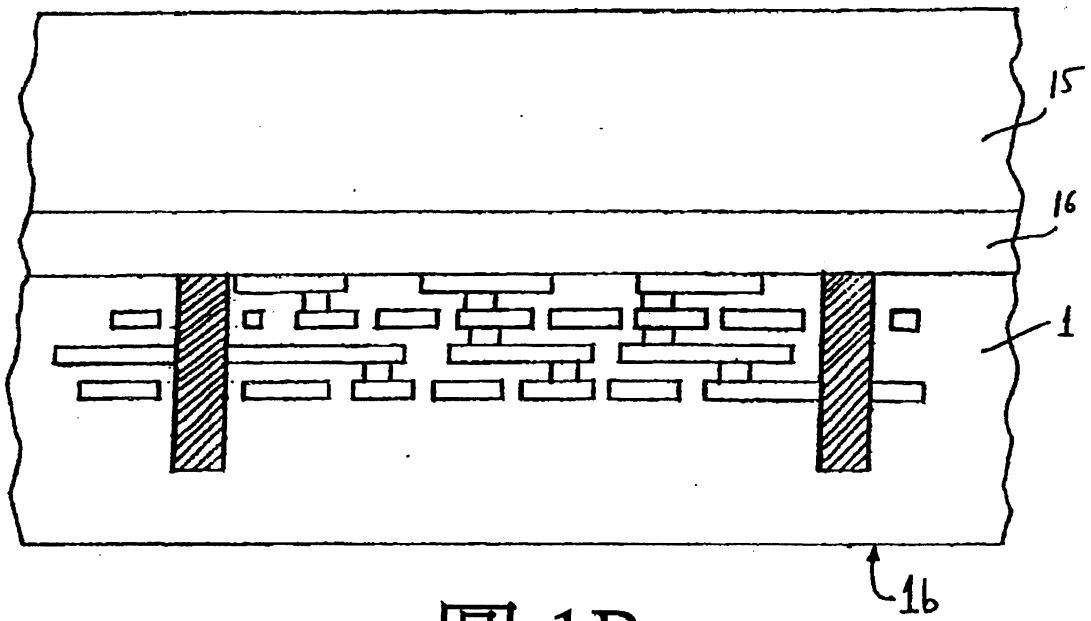


圖 1B

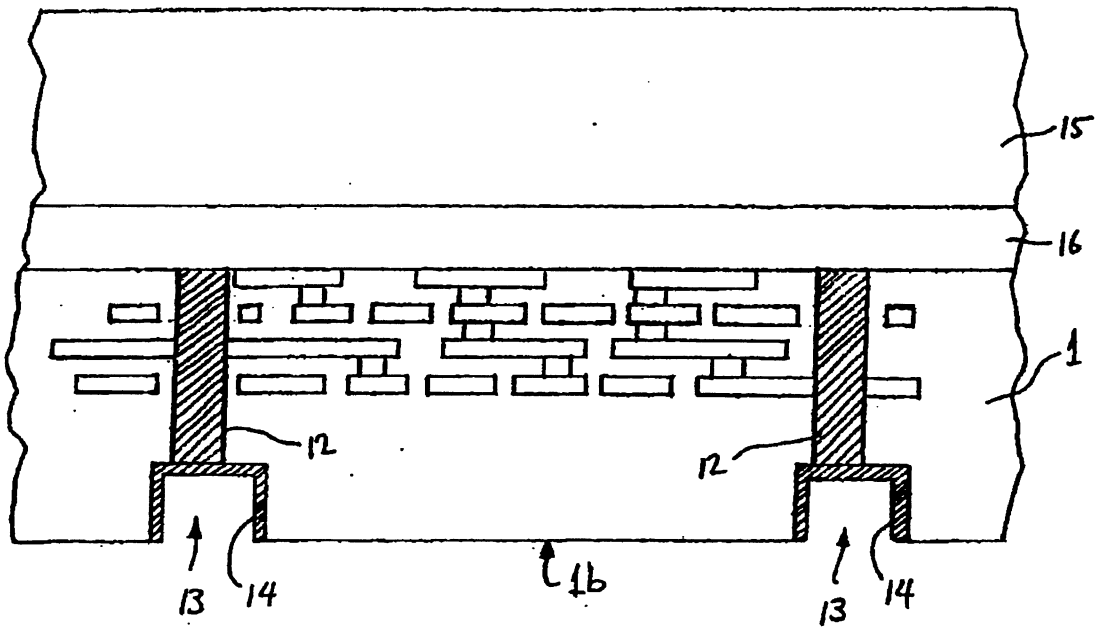


圖 1C

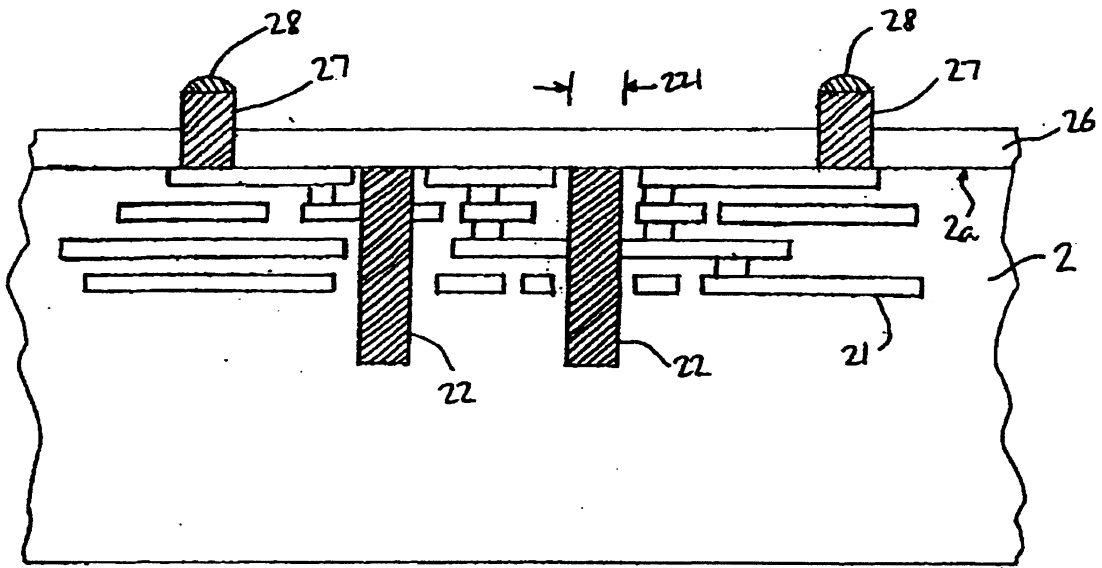


圖 1D

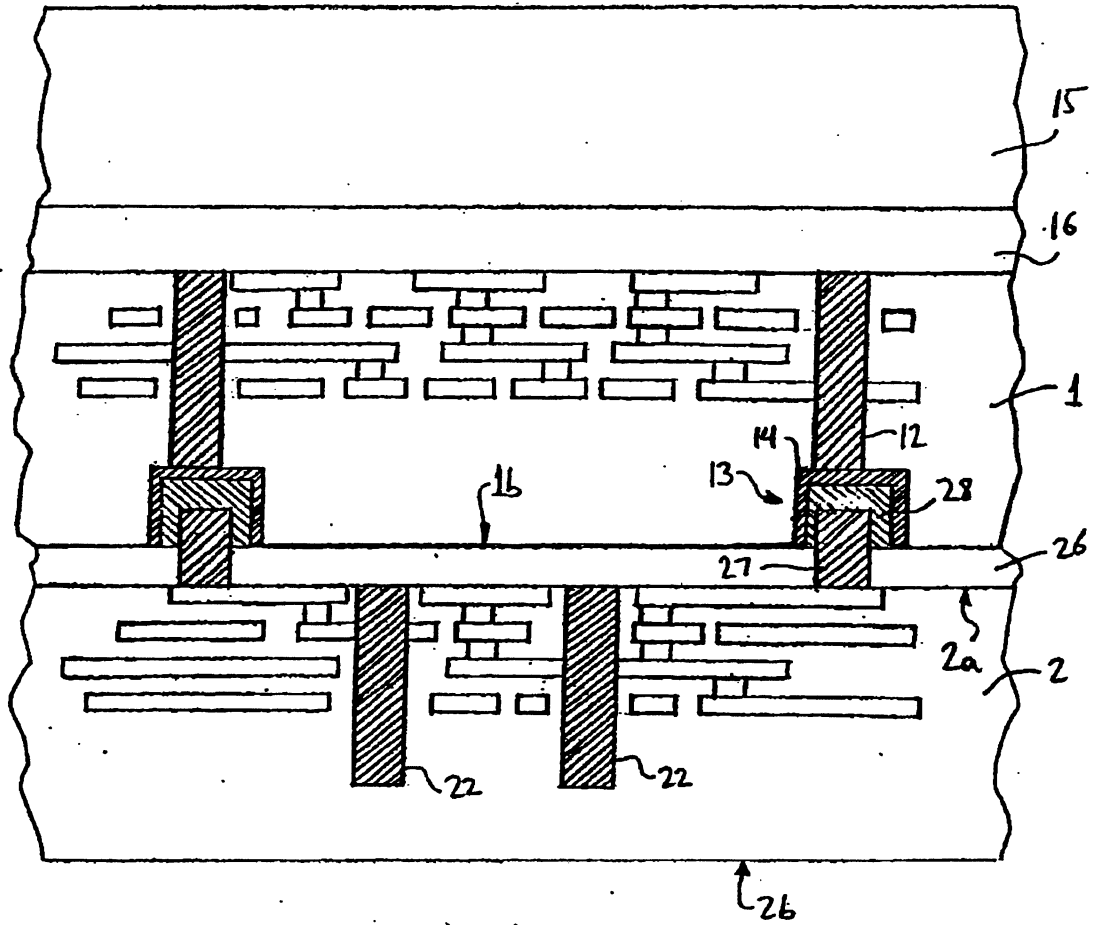


圖 1E

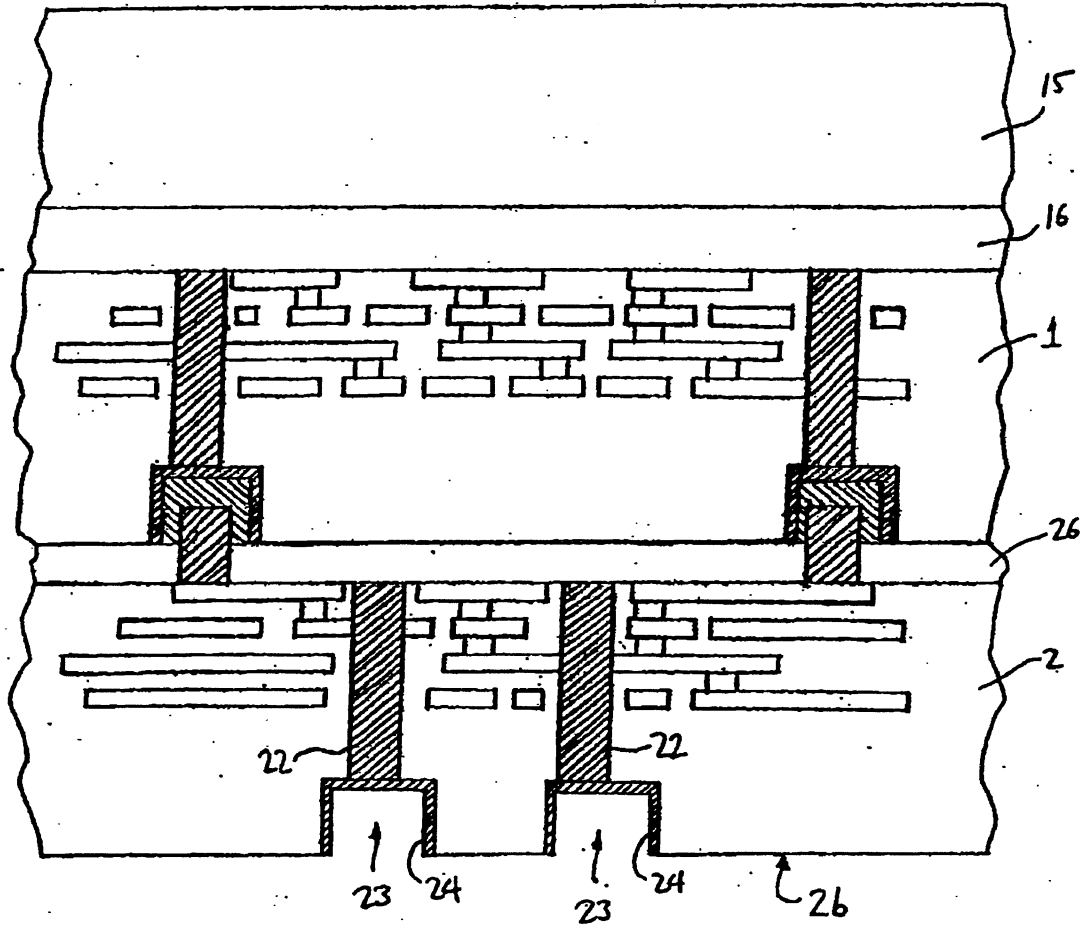


圖 1F

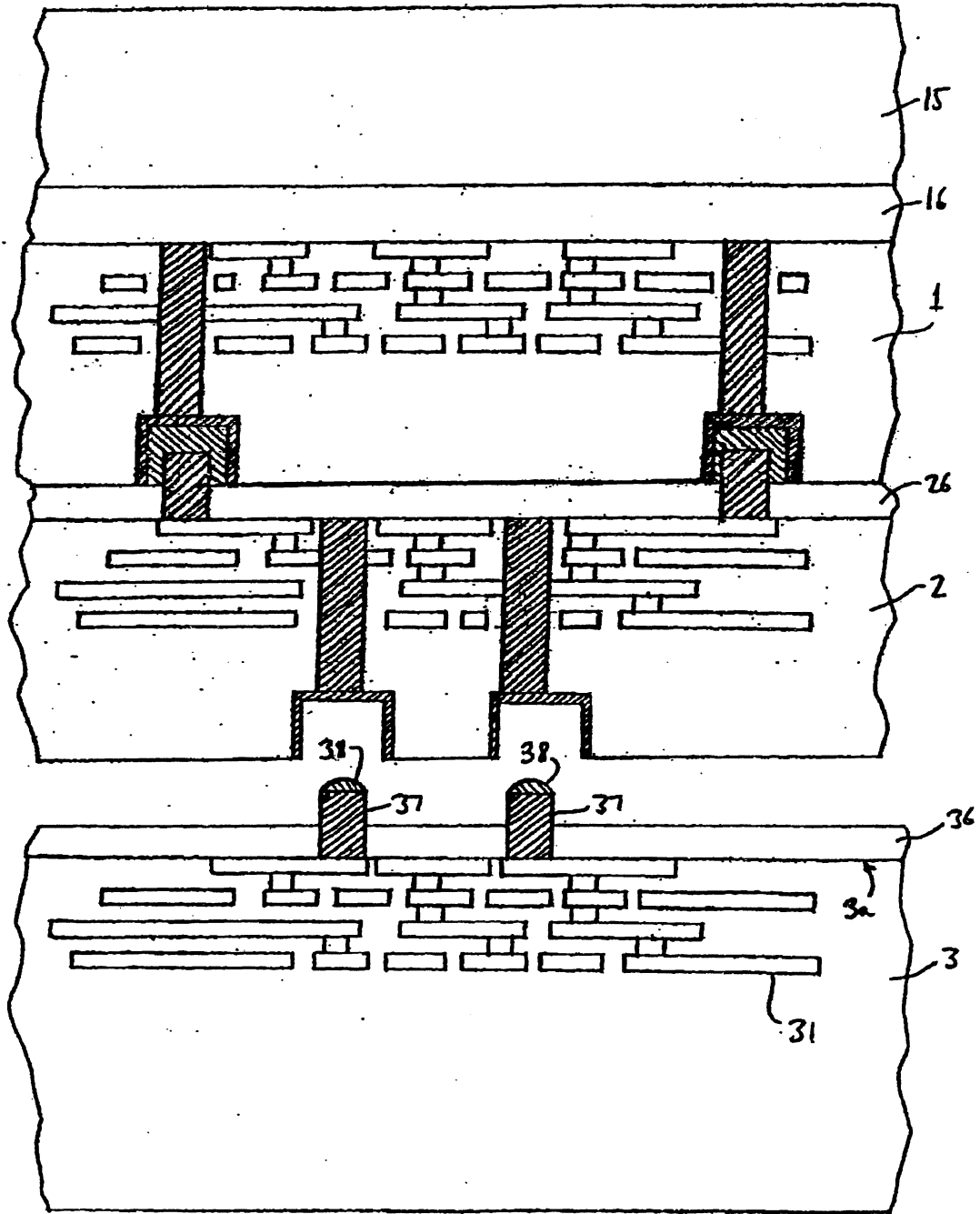


圖 1G

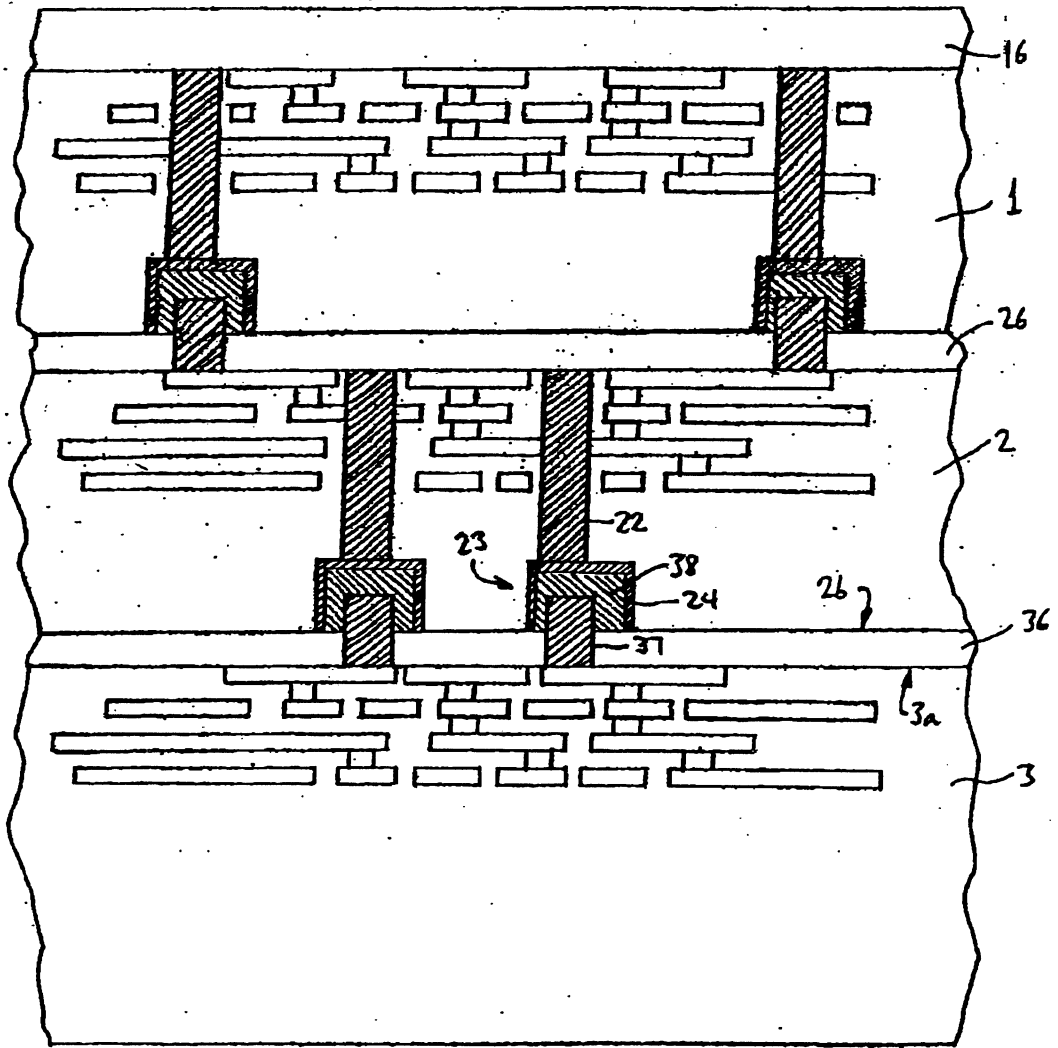


圖 1H

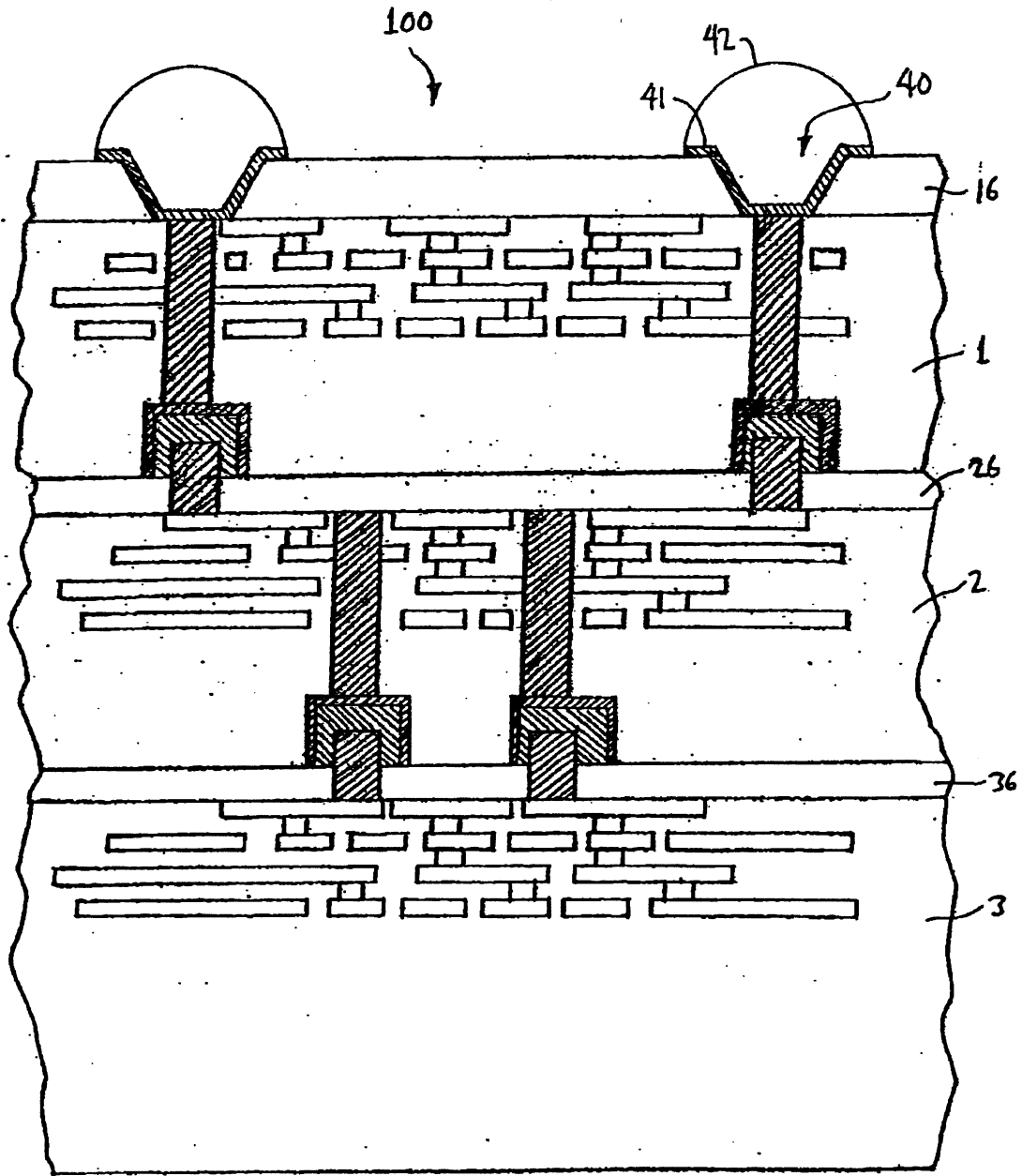


圖 1I

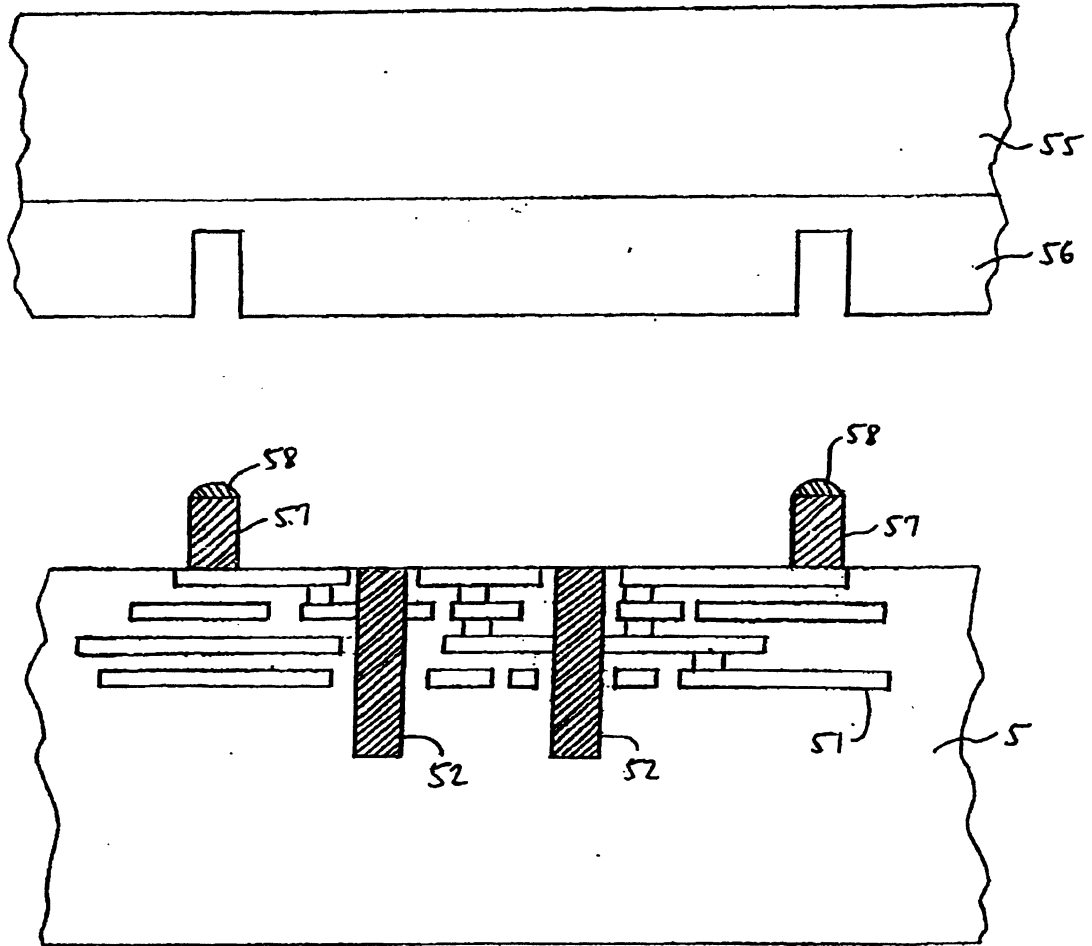


圖 2A

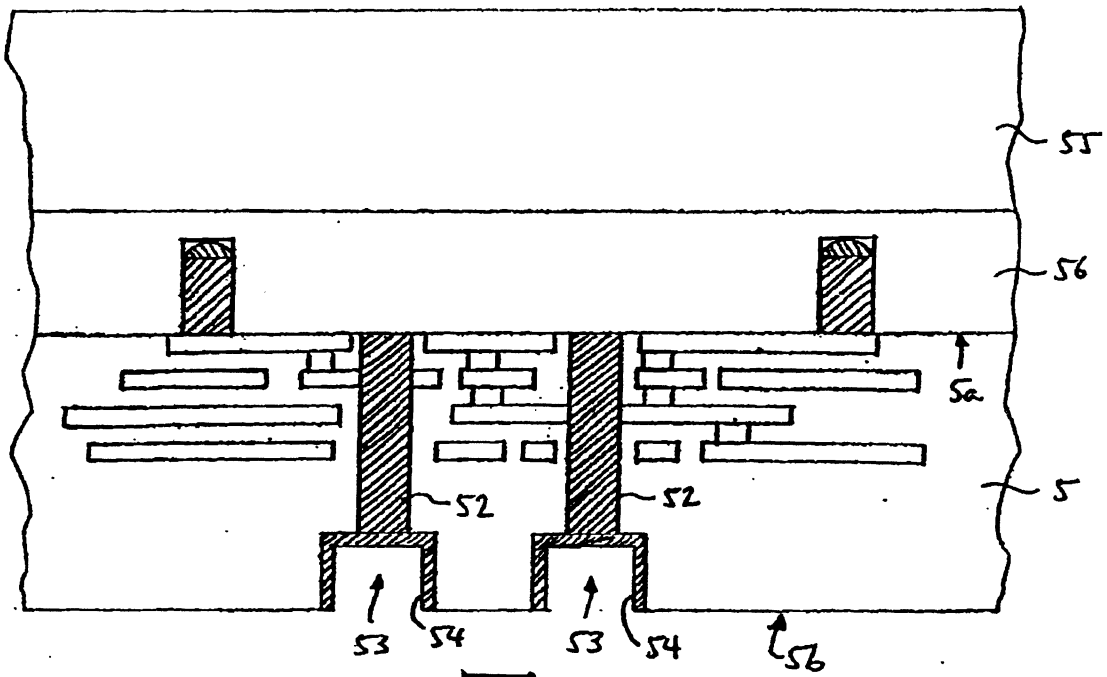


圖 2B

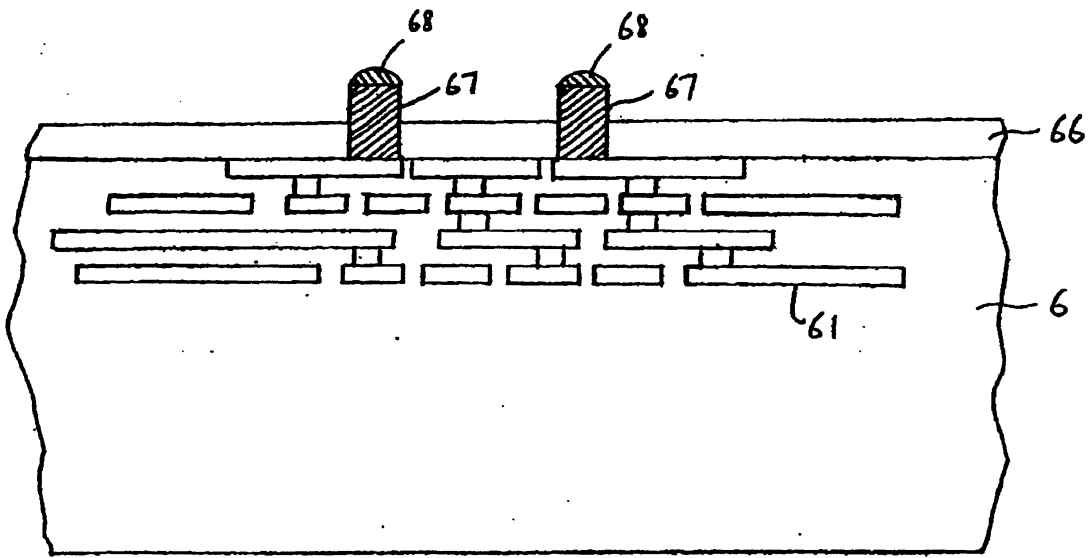


圖 2C

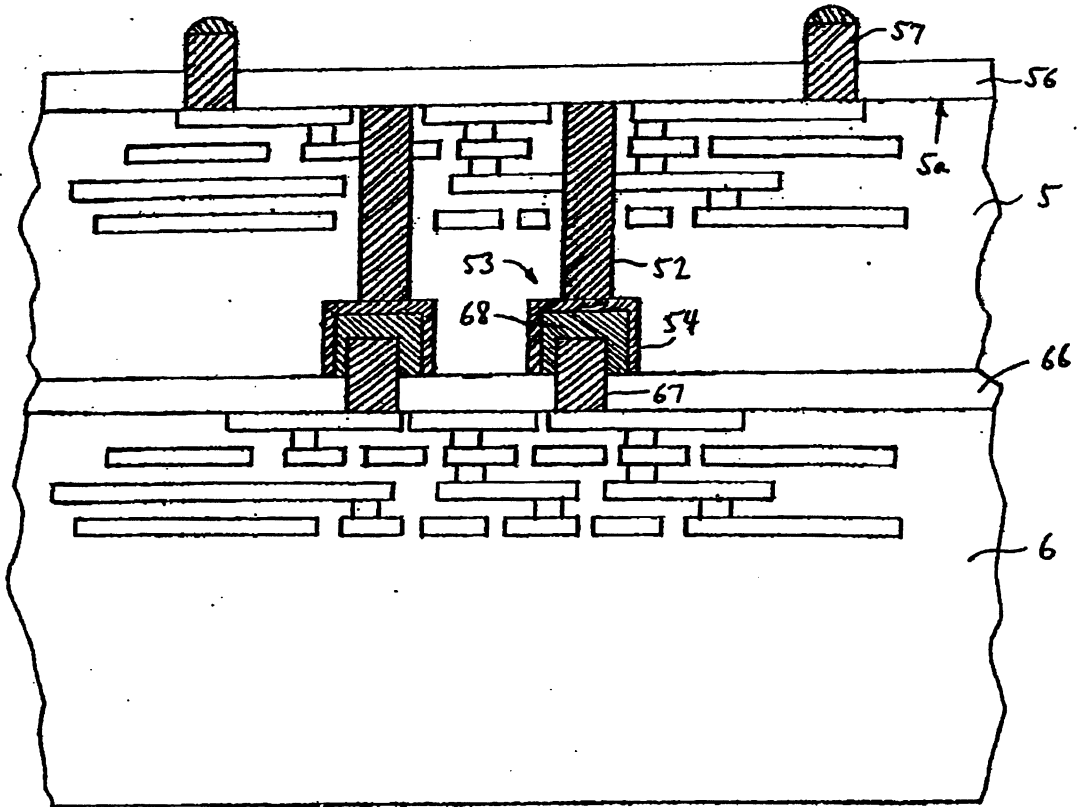


圖 2D

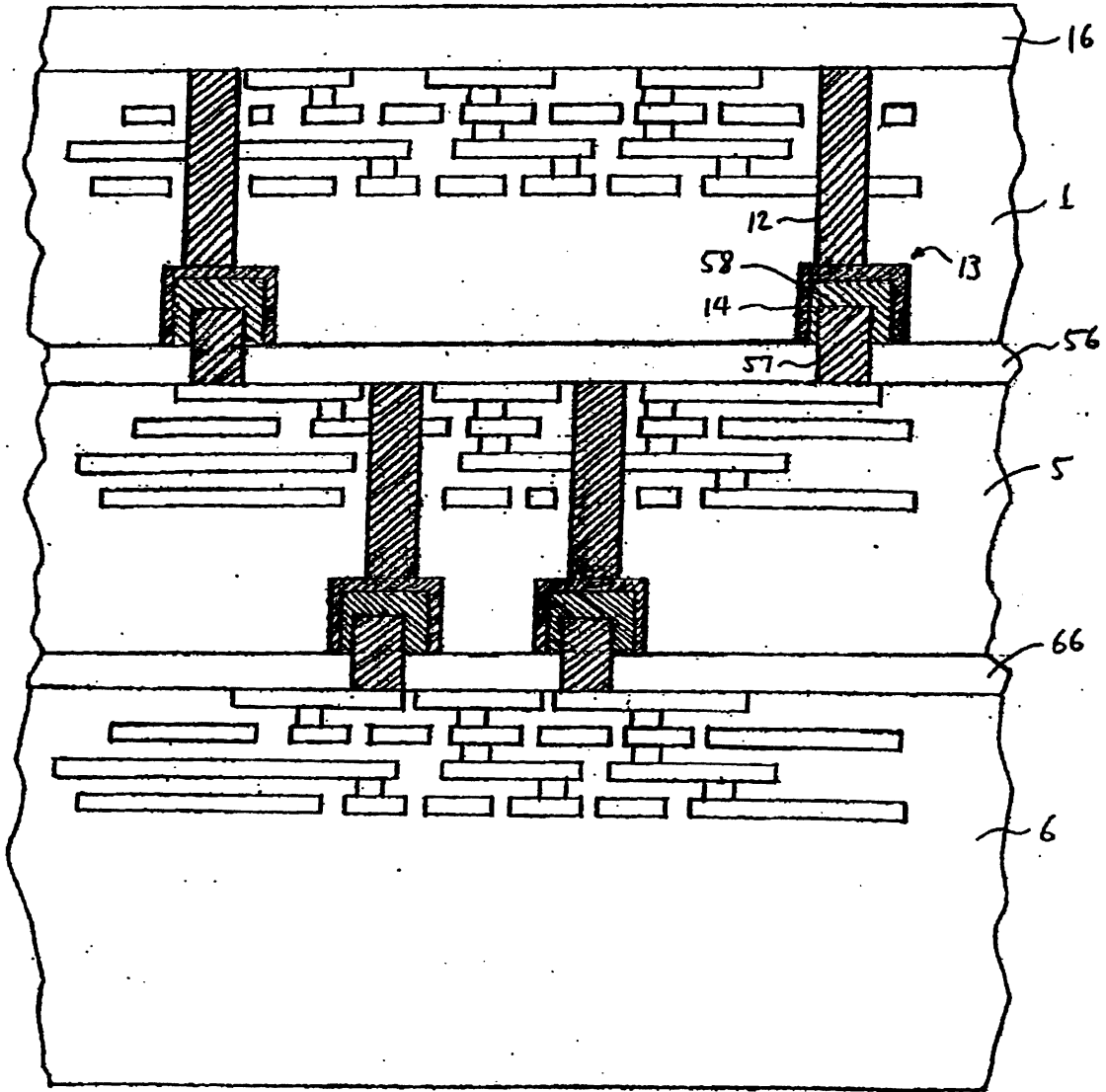


圖 2E

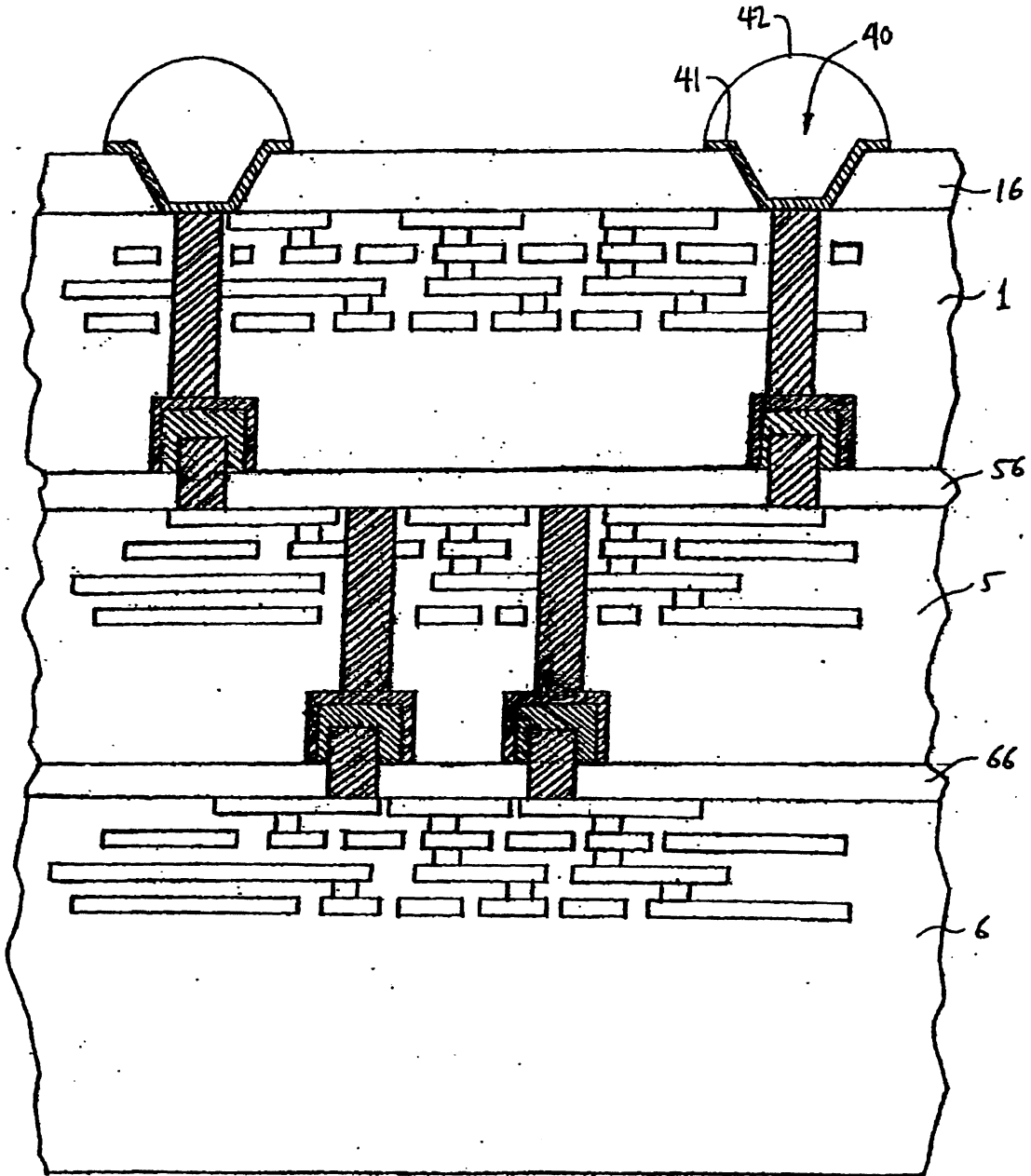


圖 2F

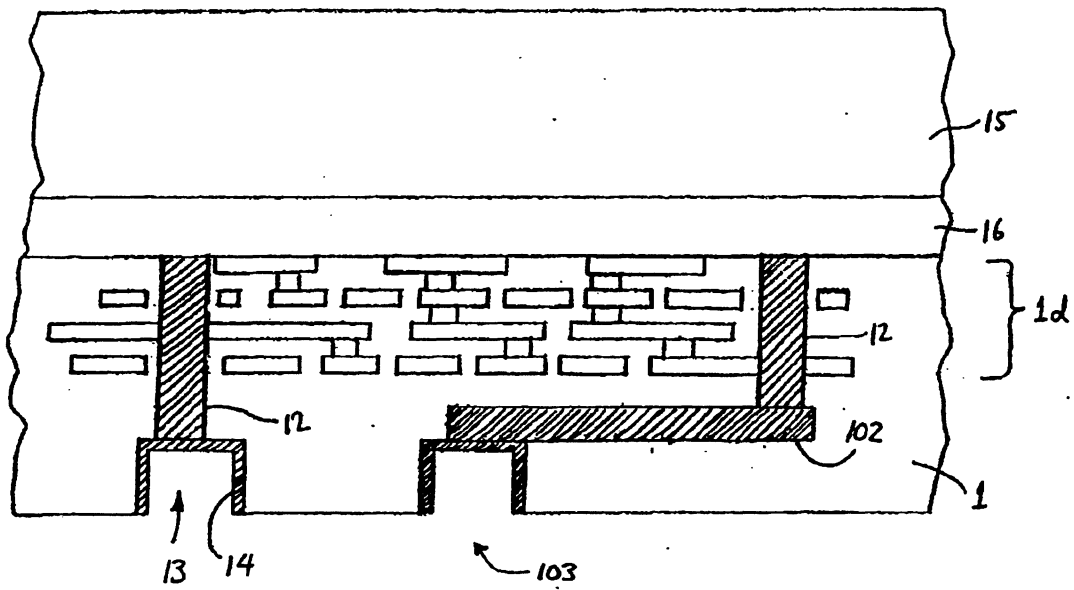


圖 3

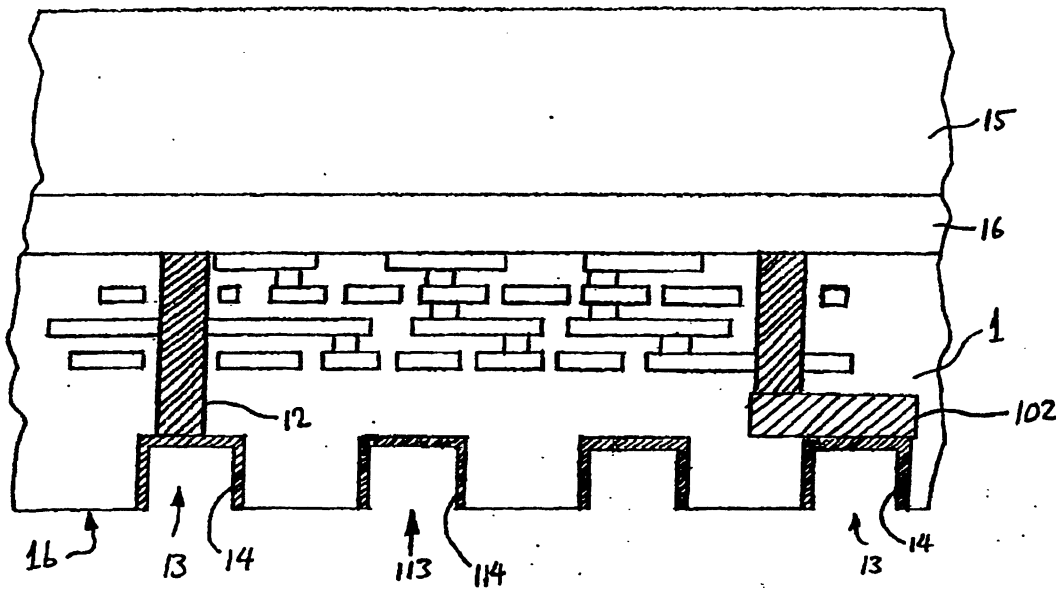


圖 4A

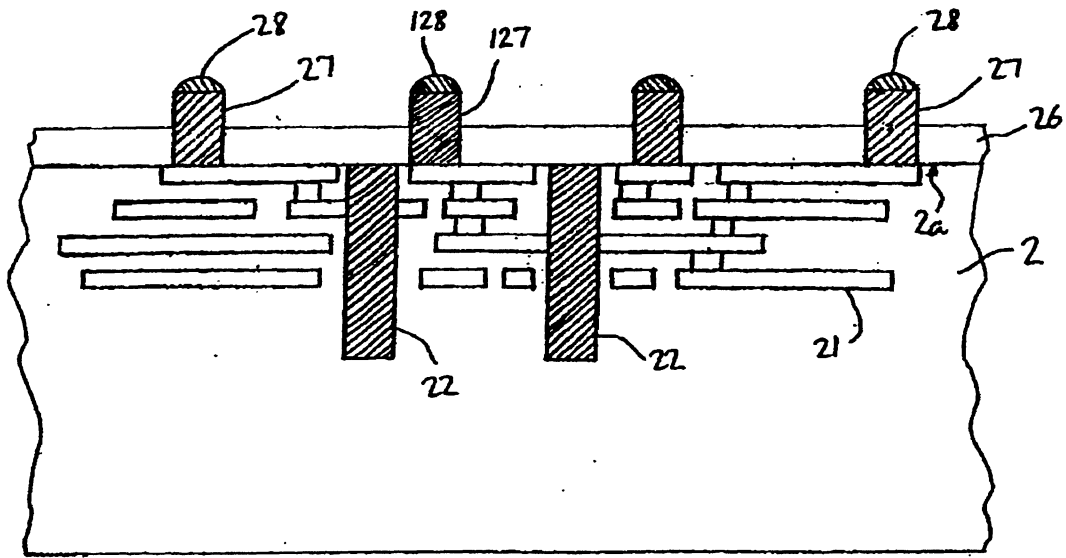


圖 4B

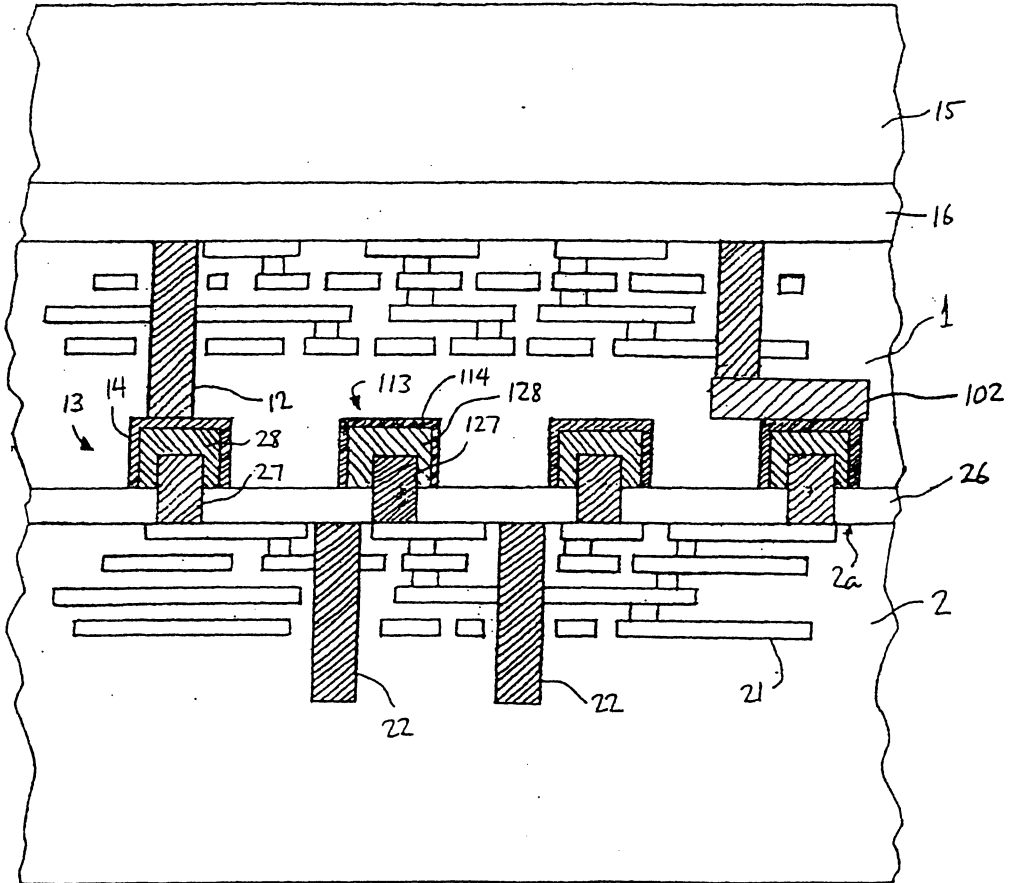


圖 4C

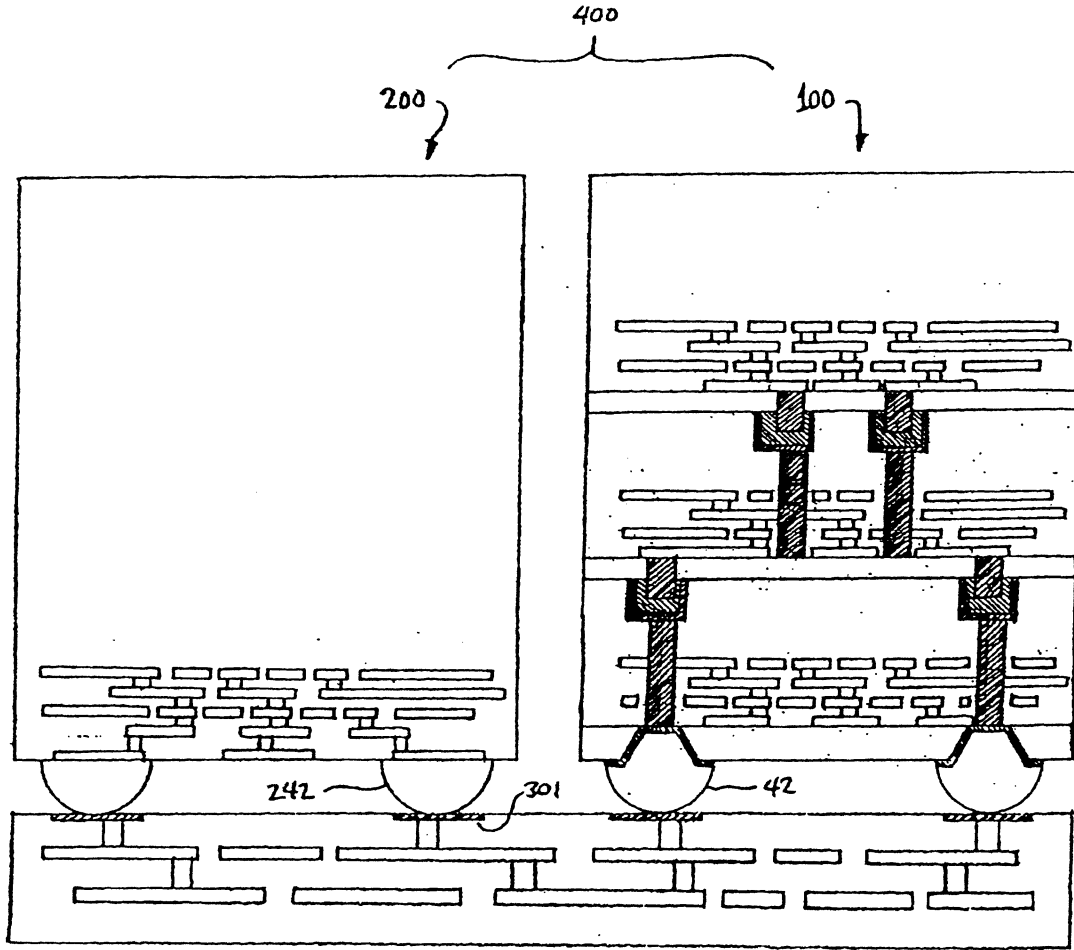


圖 5

300 ↗

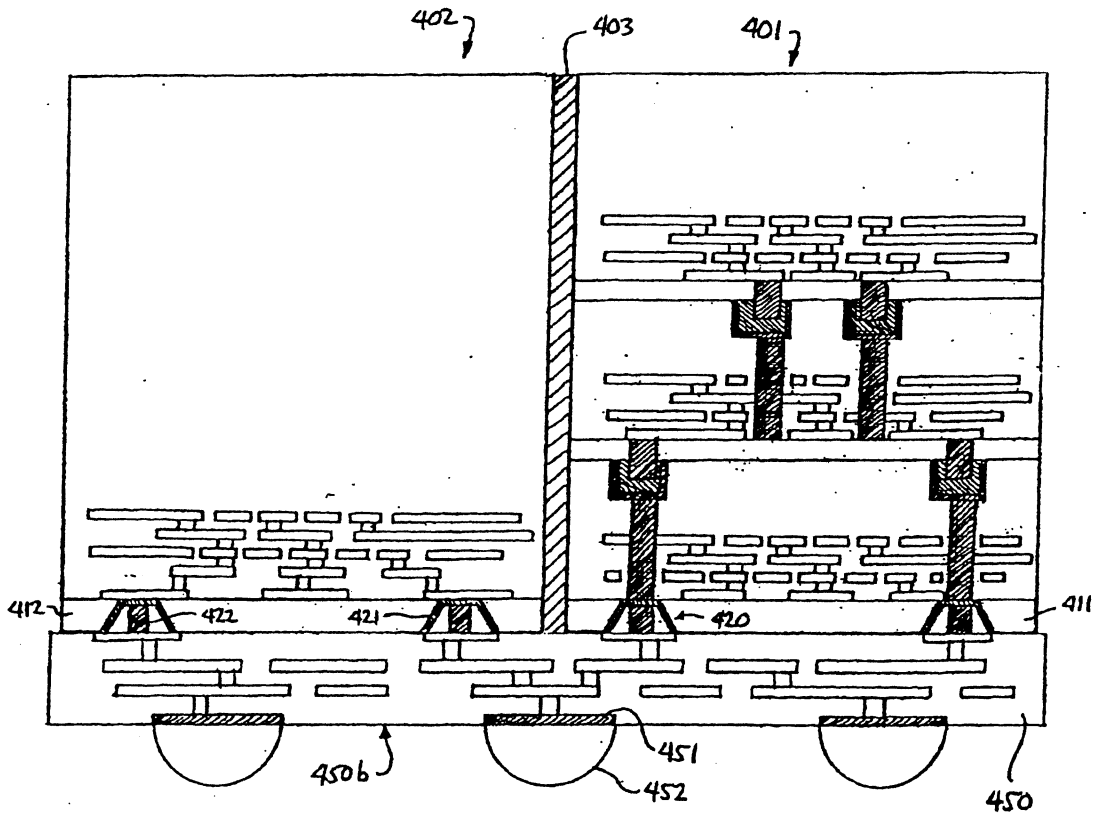


圖 6

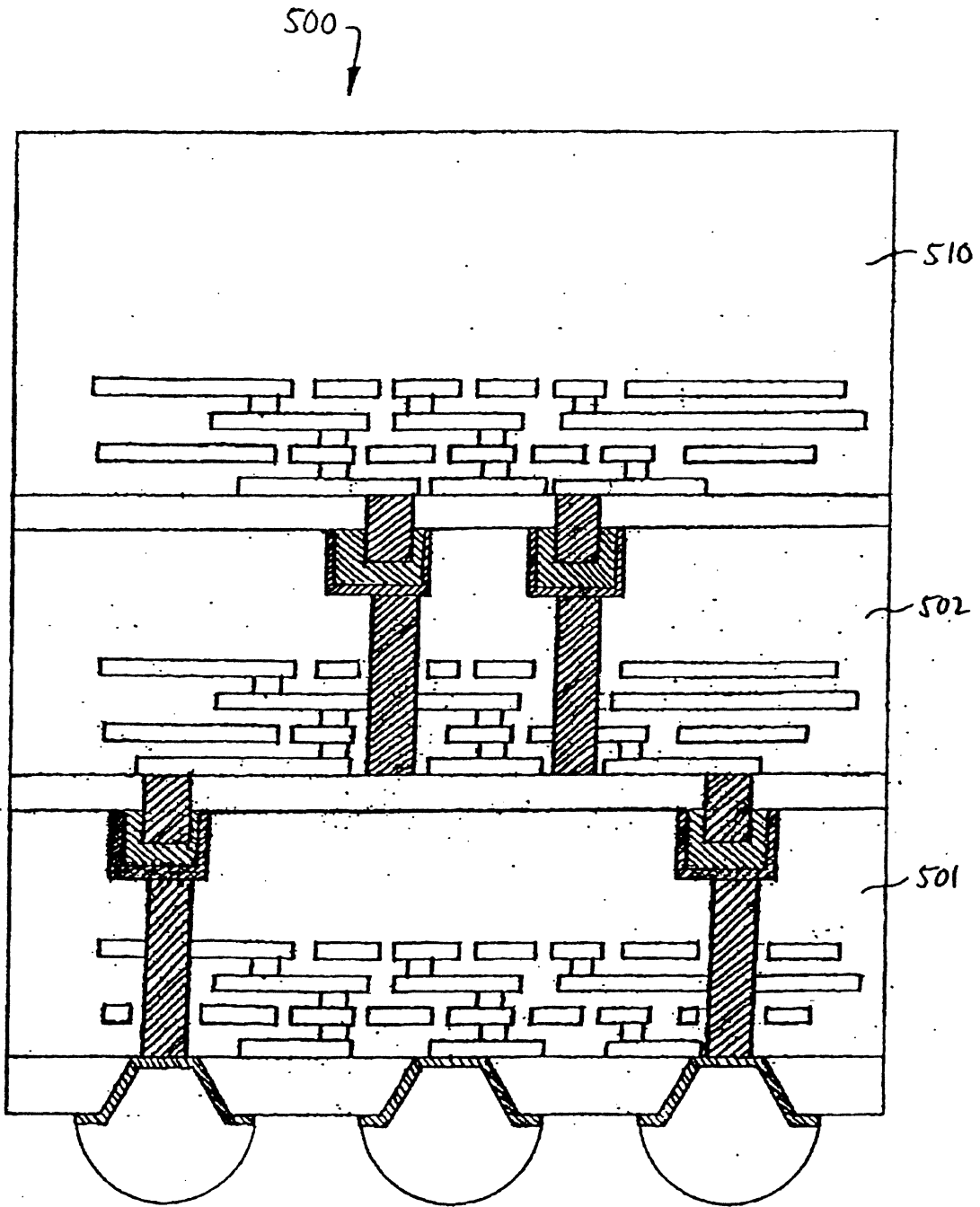


圖 7