

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4907003号
(P4907003)

(45) 発行日 平成24年3月28日(2012.3.28)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 C

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 Z

請求項の数 8 (全 17 頁)

(21) 出願番号 特願2000-391869 (P2000-391869)
 (22) 出願日 平成12年12月25日(2000.12.25)
 (65) 公開番号 特開2001-249362 (P2001-249362A)
 (43) 公開日 平成13年9月14日(2001.9.14)
 審査請求日 平成19年12月21日(2007.12.21)
 (31) 優先権主張番号 特願平11-369935
 (32) 優先日 平成11年12月27日(1999.12.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 石川 明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 山口 裕之

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置およびそれを用いた電気器具

(57) 【特許請求の範囲】

【請求項1】

基板の上方に、半導体膜と、前記半導体膜に近接するゲートと、前記半導体膜と前記ゲートとの間にゲート絶縁膜とを有する画素トランジスタと、前記基板と前記画素トランジスタとの間に複数の保持容量と、を有し、

前記複数の保持容量は、前記基板に対して垂線方向に並んでおり、

前記複数の保持容量は、前記基板の上方に第1の保持容量と、前記第1の保持容量の上方に第2の保持容量とを有し、

前記第1の保持容量は、前記基板の上方に第1の配線と、前記第1の配線の上方に第1の誘電体と、前記第1の誘電体の上方に第2の配線とを有し、

前記第2の保持容量は、前記第2の配線と、前記第2の配線の上方に第2の誘電体と、前記第2の誘電体の上方に第3の配線とを有することを特徴とするアクティブマトリクス型表示装置。

【請求項2】

基板の上方に第1の配線と、

前記第1の配線の上方に第1の絶縁膜と、

前記第1の絶縁膜の上方に第2の配線と、

前記第2の配線の上方に第2の絶縁膜と、

前記第2の絶縁膜の上方に第3の配線と、

前記第3の配線の上方に第3の絶縁膜と、

10

20

前記第 3 の絶縁膜の上方に、半導体膜と、
前記半導体膜に近接するゲートと、
前記半導体膜と前記ゲートとの間にゲート絶縁膜とを有する画素トランジスタと、
前記基板と前記画素トランジスタとの間に複数の保持容量と、を有し、
前記複数の保持容量は、前記基板に対して垂線方向に並んでいることを特徴とするアクティブマトリクス型表示装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記半導体膜は、前記第 2 の配線と電気的に接続されていることを特徴とするアクティブマトリクス型表示装置

10

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、
前記第 3 の配線は、前記第 1 の配線と電気的に接続されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、
前記第 1 の配線、前記第 2 の配線または前記第 3 の配線には、遮光性を有する材料が用いられることを特徴とするアクティブマトリクス型表示装置。

【請求項 6】

請求項 1 乃至 4 のいずれかーにおいて、
前記第 1 の配線、前記第 2 の配線および前記第 3 の配線には、タンタル、チタン、モリブデン、タングステン、クロム、シリコンから選ばれた元素、または前記元素を組み合わせた合金膜が用いられることを特徴とするアクティブマトリクス型表示装置。

20

【請求項 7】

請求項 1 乃至 6 のいずれかーにおいて、
前記アクティブマトリクス型表示装置は、アクティブマトリクス型 EL 表示装置であることを特徴とするアクティブマトリクス型表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、
前記アクティブマトリクス型表示装置を表示部に用いたことを特徴とする電気器具。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下、TFT という）をスイッチング素子に用いたアクティブマトリクス型表示装置に係り、特に前記表示装置の各画素における保持容量の構造に関する。

【0002】

【従来の技術】

アクティブマトリクス型表示装置の一つとして、TFT 駆動方式の液晶表示装置が知られている。この TFT 駆動方式の液晶表示装置は、ガラス等の透明基板上に形成された TFT により 1 画素ごとに液晶への印加を制御するため、画像が鮮明であり、OA 機器や TV 等に広く用いられている。また、文字や図形をより鮮明に表示するため、1 画素のサイズを小さくして、いわゆる精細度を高くすることが要求されている。

40

【0003】

図 1 に、TFT 駆動方式の液晶表示装置の 1 画素の等価回路図を示す。ゲート信号線 100 とソース信号線 101 との交差部に TFT 102 が配置され、この TFT 102 の負荷として液晶容量 103 と並列に保持容量 104 が接続されている。このため、ゲート信号線 100 の信号に応じて TFT 102 が ON 状態になると、ソース信号線 101 の電位は画素電極部 105 に書き込まれ、液晶容量 103 と保持容量 104 とに電荷が蓄積される。また、TFT 102 が OFF 状態になると、液晶容量 103 に蓄積された電荷は保持さ

50

れるが、保持容量 104 を並列に配置することにより、保持特性を向上することができる。

【0004】

また、保持容量 104 は、TFT102 の動作時に生じる表示電極電圧のシフトを抑制する作用がある。即ち、ゲート信号線 100 とソース信号線 101 との重なり合う部分において、TFT102 の ON/OFF に従って寄生容量 107 の変化が生じる。そのため、保持容量 104 を並列に配置し全容量を増大させることにより、寄生容量 107 による直流成分の画素電極部 105 の電位への影響を緩和している。

【0005】

このような利点があることから、保持容量 104 は TFT 駆動方式の液晶表示装置の画素に必須の回路要素となっている。

10

【0006】

図 2 は、従来の保持容量の一例を示す図である。ガラス基板 200 上に形成された活性層 201 およびゲート配線と同一膜で形成された容量配線 203 を電極として、その間に挟まれるように形成されたゲート絶縁膜と同一膜である誘電体 202 によって、保持容量を形成している。これは、ゲート絶縁膜を誘電体 202 として用いることにより、膜厚が薄くても非常に信頼性の高い良質の保持容量を形成することができるという利点がある。

【0007】

しかしながら、保持容量は、スイッチング素子となる TFT のチャネル幅とチャネル長との比率及び寄生容量等により 1 画素あたりに必要な値が決まり、誘電体の単位面積当たりの容量値から容量素子の面積が決定される。従って、実質的には必要な容量値に応じて、誘電体 202 の面積を制御することで必要な容量値を満たしている。

20

【0008】

従来技術では通常、保持容量は画素 TFT 領域の外部、即ち表示領域に形成されていた。このため、容量値の十分な確保のために容量素子が占める面積が画素部で増大し、画素の開口率の減少、光透過率の低下及びコントラストの低下を引き起こし、鮮明な画面表示ができなくなるという問題があった。特に、高精細度の表示装置を実現しようとする、この欠点が顕著になる。

【0009】

【発明が解決しようとする課題】

30

本発明の第 1 の課題は、アクティブマトリクス型表示装置において、高解像度化に伴い 1 画素あたりの面積が縮小しても、十分な保持容量を確保できる容量素子構造を得ることにある。

【0010】

また、本発明の第 2 の課題は、アクティブマトリクス型表示装置において、開口率を低下させることなく、各画素の表示保持特性を向上することにある。

【0011】

また、本発明の第 3 の課題は、アクティブマトリクス型表示装置において、信頼性の高い容量素子の構造を得ることにある。

40

【0012】

そして、上記第 1 の課題、第 2 の課題及び第 3 の課題を全て解決することにより、高開口率でなおかつ保持容量の十分な表示装置を作製することを課題とする。

【0013】

さらに、TFT を同一基板上に集積化した表示装置（代表的には液晶表示装置または発光装置）のスループットおよび信頼性の向上を課題とする。また、同時に、本発明を用いて表示装置を作製することによって、その表示装置を用いた電気器具の信頼性をも向上することを課題とする。

【0014】

【課題を解決するための手段】

上記第 1 の課題を解決するためには、まず開口率に影響する表示領域には容量素子を形成

50

しないことが必要である。そこで本発明者は、容量素子を画素ＴＦＴ領域に形成することを考えた。さらに、画素ＴＦＴ領域の面積を増大させることなく十分な保持容量を得るには、図３に示すように容量素子を画素ＴＦＴ領域の下方に配置することによって課題を解決できる。

【００１５】

また第２の課題を解決するためには、上記第１の要件を満たすと共に、保持容量を１つ以上設ければよい。図４は、画素ＴＦＴ領域の下方に第一配線３０１、第二配線３０３および第三配線３１４を用いた２つの保持容量を設けた例である。これにより、高解像度化に伴い各画素の面積が縮小しても、十分な面積を確保できるため、良好な保持特性を得ることができる。

10

【００１６】

また、第３の課題を解決するためには、上記第１の要件及び第２の要件を満たすと共に、容量素子が画素ＴＦＴ領域の下方に配置されることが必要である。下方に配置されることにより、誘電体には膜質向上のための十分な熱処理を行えるため信頼性の高い膜が得られる。

【００１７】

また、この容量配線は遮光性を有する材質を用いることにより、光の入射による活性層（半導体膜）の劣化を低減することができる。

【００１８】

【発明の実施の形態】

20

本発明による、保持容量を画素ＴＦＴ領域の下方に配置する構造を実施した表示装置（液晶表示装置あるいは発光装置等）の作製プロセスについて図を用いて説明していく。

【００１９】

【実施例】

〔実施例１〕

本発明の実施例について図５～図７を用いて説明する。ここでは、アクティブマトリクス基板の作製方法、特に画素部を作製する方法について説明する。画素部は、画素に設けられたＴＦＴである画素ＴＦＴ領域と、ＴＦＴ領域を含まない表示領域とからなる。

【００２０】

図５（Ａ）において、基板５００には、ガラス基板や石英基板を使用することができる。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。そして、後に画素ＴＦＴ領域が形成される領域に、第一容量配線５０１として２００ｎｍ厚のタンタル膜を島状に形成する。

30

【００２１】

次に、第一容量配線５０１上に誘電体５０２を形成する。本実施例では、誘電体５０２として１００～２００ｎｍの厚さの窒化酸化珪素膜を用いる。また誘電体としては、珪素を含む酸化膜または窒化膜を用いることもできる。さらに、誘電体５０２上に第二容量配線５０３として、２００ｎｍ厚のタンタル膜を島状に形成する（図５（Ｂ））。

【００２２】

40

なお、第一容量配線および第二容量配線としては、タンタル膜以外にも、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、クロム（Ｃｒ）、シリコン（Ｓｉ）から選ばれた元素、または前記元素を組み合わせた合金膜（代表的にはＭｏ－Ｗ合金、Ｍｏ－Ｔａ合金）を用いることができる。

【００２３】

また、本発明の容量素子は、画素ＴＦＴ領域５２７の下方にあるため、外的ダメージによる欠陥を最小限に抑制できる。ここで外的ダメージによる欠陥とは、例えば、スパーサの局部的圧力によるクラック等をいう。

【００２４】

次に、前記形成した容量配線５０１、５０３および誘電体５０２からなる容量素子と上方

50

に形成されるTFTとを絶縁するための絶縁膜504として、酸化珪素膜を500～900nmの厚さに形成する(図5(C))。連続して、絶縁膜504の上に20～100nmの厚さの、非晶質半導体膜(本実施例では非晶質珪素膜(アモルファスシリコン膜))505を公知の成膜法で形成する。なお、非晶質半導体膜としては、非晶質珪素膜以外にも、非晶質珪素ゲルマニウム膜などの非晶質の化合物半導体膜を用いることもできる。

【0025】

そして、特開平7-130652号公報(USP5,643,826号に対応)に記載された技術に従って結晶構造を含む半導体膜(本実施例では結晶質珪素膜)506を形成する。同公報記載の技術は、非晶質珪素膜の結晶化に際して、結晶化を助長する触媒元素(ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数の元素、代表的にはニッケル)を用いる結晶化手段である。

10

【0026】

具体的には、非晶質珪素膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質珪素膜を結晶質珪素膜に変化させるものである。本実施例では同公報の実施例1に記載された技術を用いるが、実施例2に記載された技術を用いてもよい。なお、結晶質珪素膜にはいわゆる単結晶珪素膜も多結晶珪素膜も含まれるが、本実施例で形成される結晶質珪素膜は結晶粒界を有する珪素膜である。

【0027】

非晶質珪素膜は含有水素量にもよるが、好ましくは400～550 で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として結晶化の工程を行うことが望ましい。また、非晶質珪素膜をスパッタ法や蒸着法などの他の作製法で形成しても良いが、膜中に含まれる酸素、窒素、などの不純物元素を十分に低減させておくことが望ましい。

20

【0028】

次に、非晶質珪素膜505に対して公知の技術を使って結晶質珪素膜(ポリシリコン膜又は多結晶珪素膜)506を形成する(図5(E))。本実施例では、非晶質珪素膜505に対してレーザーから発する光(レーザー光)を照射して結晶質珪素膜506を形成した。レーザーとしては、パルス発振型または連続発振型のエキシマレーザーを用いれば良いが、連続発振型のアルゴンレーザーでも良い。またはNd:YAGレーザーもしくはNd:YVO4レーザーの第2高調波、第3高調波または第4高調波を用いても良い。さらに、レーザー光のビーム形状は線状(長方形状も含む)であっても矩形状であっても構わない。

30

【0029】

また、レーザー光の代わりにランプから発する光(ランプ光)を照射(以下、ランプアニールという)しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0030】

なお、このようにレーザー光またはランプ光により熱処理(アニール)を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーンেসアニール(熱アニールともいう)で代用することもできる。

40

【0031】

本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとしてXeClガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を250～500mJ/cm²(代表的には350～400mJ/cm²)とする。

【0032】

上記条件で行われるレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結

50

晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。

【0033】

次に、結晶質珪素膜506上に後の不純物添加時のために保護膜507を形成する。保護膜507は100~200nm(好ましくは130~170nm)の厚さの窒化酸化珪素膜または酸化珪素膜を用いる。この保護膜507は不純物添加時に結晶質珪素膜506が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0034】

続いて、保護膜507を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

10

【0035】

この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$)の濃度でp型不純物元素(本実施例ではボロン)を含む不純物領域508を形成する。なお、本明細書中では少なくとも上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(b)と定義する。(図5(F))

20

【0036】

次に、保護膜507を除去した後、結晶質珪素膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)509を形成する。(図5(G))

【0037】

次に、活性層509を覆ってゲート絶縁膜510を形成した。ゲート絶縁膜510は、10~200nm、好ましくは50~150nmの厚さに形成すれば良い。本実施例では、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化珪素膜を115nmの厚さに形成する。(図6(A))

【0038】

次に、ゲート配線511として、図示しないが厚さ50nmの窒化タングステン(WN)と厚さ350nmのタンタル(Ta)との2層の積層膜を形成する(図6(B))。ゲート配線は単層の導電膜で形成してもよいが、必要に応じて2層、3層といった積層膜とすることが好ましい。

30

【0039】

また、本実施例では図6(B)に示すように、ダブルゲートとしている。ゲートのリーク対策としてマルチゲート方式を採用することは有効であり、さらに画素TFT領域の面積が十分に確保できるため、とくに本発明における容量素子の配置には適合した構造であるといえる。

【0040】

なお、ゲート配線としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)を用いることができる。

40

【0041】

次に、ゲート配線511をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域512には前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度(代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$)でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(c)と定義する。(図6(C))

50

【0042】

なお、前述のp型不純物領域(b)508には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)508に含まれるボロンの5～10倍の濃度でリンが添加されるので、この場合もボロンはp型不純物領域(b)の機能には影響を与えないと考えて良い。

【0043】

次に、ゲート配線511をマスクとして自己整合的にゲート絶縁膜513をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF₃ガスを用いる。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜513が形成される。(図6(D))

10

【0044】

このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。また、必要なドーズ量が少なく済むのでスループットが向上する。勿論、ゲート絶縁膜をエッチングしないで残し、スルードーピングによって不純物領域を形成しても良い。

【0045】

次に、ゲート配線を覆う形でレジストマスク514を形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域515を形成する。ここでも、フォスフィン(PH₃)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$)とする。(図6(E))

20

【0046】

なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域515が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域515はn型不純物領域(a)と言い換えても構わない。

【0047】

次に、レジストマスク514を除去した後、第1層間絶縁膜517を形成する。第1層間絶縁膜517としては、珪素を含む絶縁膜、具体的には窒化珪素膜、酸化珪素膜、窒化酸化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は600nm～1.5μmとすれば良い。本実施例では、プラズマCVD法でSiH₄、N₂O、NH₃を原料ガスとし、1μm厚の窒化酸化珪素膜(但し窒素濃度が25～50atomic%)を用いる。

30

【0048】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行う。加熱処理は、窒素雰囲気中において300～650、好ましくは400～550、ここでは550、4時間の熱処理を行う(図6(F))。

40

【0049】

この時、本実施例において非晶質珪素膜の結晶化に用いた触媒元素(本実施例ではニッケル)が、矢印で示す方向に移動して、前述の図6(E)の工程で形成された高濃度にリンを含む領域515に捕獲(ゲッターリング)される。これはリンによる金属元素のゲッターリング効果に起因する現象であり、この結果、後のチャネル形成領域516は前記触媒元素の濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以下(好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下)となる。

【0050】

また逆に触媒元素のゲッターリングサイトとなった領域(図6(E)の工程で形成された不純物領域515)は高濃度に触媒元素が偏析して $5 \times 10^{18} \text{ atoms/cm}^3$ 以上(

50

代表的には $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$) の濃度で存在するようになる。

【0051】

さらに、3～100%の水素を含む雰囲気中で、300～450 で1～12時間の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0052】

その後、第一容量配線501、TFTのソース領域及びドレイン領域に達するスルーホール518～520を形成し（図7（A））、ソース配線521とドレイン配線522を形成する（図7（B））。本実施例では、ドレイン配線522が容量配線501、ドレイン領域および画素電極と導通をとるための配線として形成される構造であるがこの限りではなく、実施例3で異なる構造の一つを示す。また、図示していないが、本実施例ではこの配線を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0053】

次に、パッシベーション膜523として、窒化珪素膜、酸化珪素膜、または窒化酸化珪素膜で50～500nm（代表的には200～300nm）の厚さで形成する。この時、本実施例では膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜523の膜質を改善するとともに、第1層間絶縁膜中に添加された水素が下方側に拡散するため、効果的に活性層を水素化することができる。（図7（C））

【0054】

また、パッシベーション膜523を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450 で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、ここで後に画素電極とドレイン配線を接続するためのスルーホールを形成する位置において、パッシベーション膜523に開口部を形成しておいても良い。

【0055】

その後、有機樹脂からなる第2層間絶縁膜524を約1μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 で焼成して形成する。

【0056】

次に、第2層間絶縁膜524及びパッシベーション膜523にドレイン配線522に達するスルーホールを形成し、画素電極526を形成する。画素電極526は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウムと酸化スズとの化合物からなる酸化物導電膜（ITO膜）を110nmの厚さにスパッタ法で形成する。

【0057】

こうして画素部には、表示部528の面積即ち開口率を低下させることなく、nチャネル型TFTでなる画素TFT領域527が形成され、十分な保持容量を得ることができる。また、この容量配線には、遮光性を有する材質を用いることによって、光の入射による活性層の劣化を低減できる。（図7（D））なお、図15のA-A'が図7（D）のA-A'に対応する。

10

20

30

40

50

【 0 0 5 8 】

[実施例 2]

本実施例では、実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図 8 に示すように、図 7 (D) の状態の基板に対し、配向膜 8 0 1 を形成する。本実施例では配向膜としてポリイミド膜を用いた。また、対向基板 8 0 2 には、透明導電膜 8 0 3 と、配向膜 8 0 4 とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【 0 0 5 9 】

次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。そして、画素部と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶 8 0 5 を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図 8 に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 0 6 0 】

次に、このアクティブマトリクス型液晶表示装置の構成を、図 9 の斜視図を用いて説明する。尚、図 9 は、図 5 ~ 図 8 の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、ガラス基板 5 0 0 上に形成された、画素部 8 0 6 と、ゲート信号駆動回路 8 0 7 と、画像（ソース）信号駆動回路 8 0 8 で構成される。画素 T F T 領域 8 1 3 は n チャネル型 T F T であり、周辺に設けられる駆動回路は C M O S 回路を基本として構成されている。ゲート信号駆動回路 8 0 7 と、画像信号駆動回路 8 0 8 はそれぞれゲート配線 5 1 1 とソース配線 5 2 1 で画素部 8 0 6 に接続されている。また、F P C 8 0 9 が接続された外部入出力端子 8 1 0 から駆動回路の入出力端子までの接続配線 8 1 1、8 1 2 が設けられている。

【 0 0 6 1 】

[実施参考例 3]

本実施参考例では、実施例 1 とは異なる構造で画素 T F T を作製する場合について、図 1 0 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることにする。

【 0 0 6 2 】

まず実施例 1 の工程に従って、絶縁膜 5 0 4 までを形成する。そして、絶縁膜 5 0 4 をエッチング開孔し、第一容量配線 5 0 1 に接続されるスルーホール（開孔部）1 0 0 1 を形成する（図 1 0 (A) ）。

【 0 0 6 3 】

次に、絶縁膜 5 0 4 の上に 2 0 ~ 1 0 0 n m の厚さの、非晶質半導体膜（本実施参考例では非晶質珪素膜（アモルファスシリコン膜））5 0 5 を公知の成膜法で形成する（図 1 0 (B) ）。なお、非晶質半導体膜としては、非晶質珪素膜以外にも、非晶質珪素ゲルマニウム膜などの非晶質の化合物半導体膜を用いることもできる。

【 0 0 6 4 】

本実施参考例では、第一容量配線 5 0 1 に接続される配線を結晶質珪素で形成することを特徴としている。実施例 1 では、ソース領域およびドレイン領域に到達するスルーホール形成時に、第一容量配線 5 0 1 に到達するスルーホールを同時に形成しなければならないが、本実施参考例ではこれを分けて行うことによりエッチングプロセスをより容易なものとする事ができる。

【 0 0 6 5 】

この後は、実施例 1 の工程に従って図 5 (D) 以降の工程に従えばよい。また、本実施参考例の構成を実施例 2 のアクティブマトリクス型液晶表示装置を作製する際に実施できる。

【 0 0 6 6 】

[実施参考例 4]

本実施参考例では、本参考発明を用いて発光装置としてＥＬ（エレクトロルミネセンス）表示装置を作製した例について説明する。発光装置とは、電場を加えることで発生するルミネッセンスが得られる有機化合物を含む層（発光素子）を光源とする装置である。有機化合物における発光素子には、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）がある。なお、図１１は本参考発明のＥＬ表示装置の上面図であり、図１２はその断面図である。

【００６７】

図１１、１２において、４００１は基板、４００２は画素部、４００３はソース側駆動回路、４００４はゲート側駆動回路であり、それぞれの駆動回路は配線４００５を経てＦＰＣ（フレキシブルプリントサーキット）４００６に至り、外部機器へと接続される。

10

【００６８】

このとき、画素部４００２、ソース側駆動回路４００３及びゲート側駆動回路４００４を囲むようにして第１シール材４１０１、カバー材４１０２、充填材４１０３及び第２シール材４１０４が設けられている。

【００６９】

また、図１２は、図１１をＢ－Ｂ’で切断した断面図に相当し、基板４００１の上にソース側駆動回路４００３に含まれる駆動ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを図示している。）４２０１及び画素部４００２に含まれる画素ＴＦＴ（但し、ここではＥＬ素子への電流を制御するＴＦＴを図示している。）４２０２が形成されている。

20

【００７０】

本実施参考例では、本参考発明の容量素子構造を用いて画素ＴＦＴ４２０２が作製される。すなわち、画素ＴＦＴ４２０２には図７（Ｄ）の画素部と同じ構造のＴＦＴが用いられる。

【００７１】

駆動ＴＦＴ４２０１及び画素ＴＦＴ４２０２の上には樹脂材料でなる層間絶縁膜（平坦化膜）４３０１が形成され、その上に画素ＴＦＴ４２０２のドレインと電氣的に接続する画素電極（陽極）４３０２が形成される。画素電極４３０２としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

30

【００７２】

そして、画素電極４３０２の上には絶縁膜４３０３が形成され、絶縁膜４３０３は画素電極４３０２の上に開口部が形成されている。この開口部において、画素電極４３０２の上にはＥＬ層４３０４が形成される。ＥＬ層４３０４は公知の有機ＥＬ材料または無機ＥＬ材料を用いることができる。また、有機ＥＬ材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【００７３】

ＥＬ層４３０４の形成方法は公知の技術を用いれば良い。また、ＥＬ層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

40

【００７４】

ＥＬ層４３０４の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極４３０５が形成される。また、陰極４３０５とＥＬ層４３０４の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、ＥＬ層４３０４を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極４３０５を形成するといった工夫が必要である。本実施参考例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【００７５】

そして陰極４３０５は４３０６で示される領域において配線４００５に電氣的に接続され

50

る。配線 4 0 0 5 は陰極 4 3 0 5 に所定の電圧を与えるための配線であり、導電性材料 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。

【 0 0 7 6 】

以上のようにして、画素電極（陽極）4 3 0 2、E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、第 1 シール材 4 1 0 1 及び第 1 シール材 4 1 0 1 によって基板 4 0 0 1 に貼り合わされたカバー材 4 1 0 2 で囲まれ、充填材 4 1 0 3 により封入されている。

【 0 0 7 7 】

カバー材 4 1 0 2 としては、ガラス板、金属板（代表的にはステンレス板）、セラミックス板、FRP（Fiber glass - Reinforced Plastics）板、P V F（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルを P V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【 0 0 7 8 】

但し、E L 素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【 0 0 7 9 】

また、充填材 4 1 0 3 としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、P V B（ポリビニルブチラル）または E V A（エチレンビニルアセテート）を用いることができる。この充填材 4 1 0 3 の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくと E L 素子の劣化を抑制できる。

【 0 0 8 0 】

また、充填材 4 1 0 3 の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陽極 4 3 0 5 上に樹脂膜を設けることも有効である。

【 0 0 8 1 】

また、配線 4 0 0 5 は導電性材料 4 3 0 5 を介して F P C 4 0 0 6 に電氣的に接続される。配線 4 0 0 5 は画素部 4 0 0 2、ソース側駆動回路 4 0 0 3 及びゲート側駆動回路 4 0 0 4 に送られる信号を F P C 4 0 0 6 に伝え、F P C 4 0 0 6 により外部機器と電氣的に接続される。

【 0 0 8 2 】

また、本実施参考例では第 1 シール材 4 1 0 1 の露呈部及び F P C 4 0 0 6 の一部を覆うように第 2 シール材 4 1 0 4 を設け、E L 素子を徹底的に外気から遮断する構造となっている。こうして図 1 2 の断面構造を有する E L 表示装置となる。なお、本実施参考例の E L 表示装置は実施例 1 の構成と組み合わせて作製しても構わない。

【 0 0 8 3 】

[実施例 5]

本実施例では、実施例 1 とは異なる構造で画素 T F T を作製する場合について、図 1 3 を用いて説明する。なお、実施例 1 とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることにする。

【 0 0 8 4 】

まず実施例 1 の工程に従って、第二容量配線 5 0 3 までを形成する（図 1 3（A））。そして、第二容量配線 5 0 3 上に第二誘電体 1 3 0 1 を形成し、第一容量配線 5 0 1 に到達するスルーホール（開孔部）1 3 0 2 を形成する（図 1 3（B））。なお、本実施例では、第二誘電体 1 3 0 1 として 1 0 0 ~ 2 0 0 n m の厚さの窒化酸化珪素膜を用いる。

【 0 0 8 5 】

次に、第二誘電体 1 3 0 1 上に第三容量配線 1 3 0 3 を形成する。これにより、第三容量

10

20

30

40

50

配線 1 3 0 3 は第一容量配線 5 0 1 と電氣的に接続される。また、本実施例では第三容量配線 1 3 0 3 として、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素、または前記元素を組み合わせた合金膜 (代表的には Mo - W 合金、Mo - Ta 合金) を用いることができる (図 1 3 (C))。

【 0 0 8 6 】

この後は、実施例 1 の工程に従って図 5 (D) 以降の工程に従えばよい。ただし、本実施例では、ドレイン配線 5 2 2 は第二容量配線 5 0 3 と接続される。

【 0 0 8 7 】

本実施例では、画素 TFT 領域 5 2 7 と基板 5 0 0 との間に電氣的に並列な 2 つの保持容量を形成している (図 1 3 (E))。一つ目は、第一誘電体 5 0 2 と、前記第一誘電体 5 0 2 をはさむ第一容量配線 5 0 1 および第二容量配線 5 0 3 とからなる第一保持容量であり、二つ目は、第二誘電体 1 3 0 1 と、前記第二誘電体 1 3 0 1 をはさむ第二容量配線 5 0 3 および第三容量配線 1 3 0 3 とからなる第二保持容量である。すなわち、画素 TFT と接続される第二容量配線 5 0 3 は、第一保持容量と第二保持容量における共通の配線となっている。

【 0 0 8 8 】

このように、2 つ以上の保持容量を電氣的に並列に配置することにより、より大きい保持容量を得られる。このため、高精細化が進み 1 画素あたりの面積が縮小しても、開口率を損ねることなく十分な保持容量を得ることができる。なお、本実施例の構成を実施例 2 のアクティブマトリクス型液晶表示装置を作製する際にも実施できる。

【 0 0 8 9 】

[実施参考例 6]

本参考発明の電子装置は電気器具の表示部として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図 1 4 に示す。

【 0 0 9 0 】

図 1 4 (A) は携帯電話であり、本体 2 0 0 1、音声出力部 2 0 0 2、音声入力部 2 0 0 3、表示部 2 0 0 4、操作スイッチ 2 0 0 5、アンテナ 2 0 0 6 で構成される。本参考発明の電子装置は表示部 2 0 0 4 に用いることができる。

【 0 0 9 1 】

図 1 4 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本参考発明の電子装置は表示部 2 1 0 2 に用いることができる。

【 0 0 9 2 】

図 1 4 (C) はモバイルコンピュータ (モータールコンピュータ) であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 で構成される。本参考発明の電子装置は表示部 2 2 0 5 に用いることができる。

【 0 0 9 3 】

図 1 4 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 で構成される。本参考発明の電子装置は表示部 2 3 0 2 に用いることができる。

【 0 0 9 4 】

図 1 4 (E) はリアプロジェクター (プロジェクション TV) であり、本体 2 4 0 1、光源 2 4 0 2、液晶表示装置 2 4 0 3、偏光ビームスプリッタ 2 4 0 4、リフレクター 2 4 0 5、2 4 0 6、スクリーン 2 4 0 7 で構成される。本参考発明は液晶表示装置 2 4 0 3 に用いることができる。

10

20

30

40

50

【 0 0 9 5 】

図 1 4 (F) はフロントプロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、液晶表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本参考発明は液晶表示装置 2 5 0 3 に用いることができる。

【 0 0 9 6 】

以上の様に、本参考発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施参考例の電気器具は実施例 1、2、5 及び実施参考例 3、4、6 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 0 9 7 】

【発明の効果】

本発明を用いた保持容量を有するアクティブマトリクス型表示装置を作製すれば、1 画素の面積が縮小しても十分な保持容量の確保が可能であるため、表示品位を向上できるだけでなく前記表示装置を高精細化することができる。

【 0 0 9 8 】

さらに本発明を用いた液晶表示装置をはじめとする表示装置の保持特性を向上すると共に信頼性を向上できる。また同時に、本発明を用いた電子装置を作製することによって、前記電子装置を表示部として用いた電気器具の品質および信頼性をも向上させることができる。

【図面の簡単な説明】

【図 1】 液晶表示装置の 1 画素の等価回路を示す図。

【図 2】 従来の保持容量構造を示す断面図。

【図 3】 本発明における保持容量の構造を示す図。

【図 4】 本発明における保持容量の構造を示す図。

【図 5】 実施例 1 の画素部の作製工程を示す図。

【図 6】 実施例 1 の画素部の作製工程を示す図。

【図 7】 実施例 1 の画素部の作製工程を示す図。

【図 8】 アクティブマトリクス型液晶表示装置の断面図。

【図 9】 アクティブマトリクス型液晶表示装置の斜視図。

【図 1 0】 実施例 3 の画素部の作製工程を示す図。

【図 1 1】 アクティブマトリクス型 E L 表示装置の構成を示す図。

【図 1 2】 アクティブマトリクス型 E L 表示装置の構成を示す図。

【図 1 3】 実施例 5 の画素部の作製工程を示す図。

【図 1 4】 電気器具の一例を示す図。

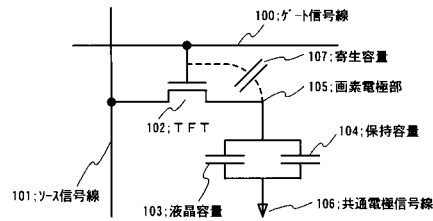
【図 1 5】 画素部の上面図。

10

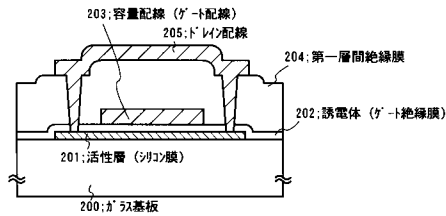
20

30

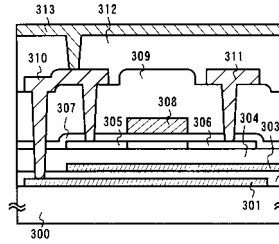
【図 1】



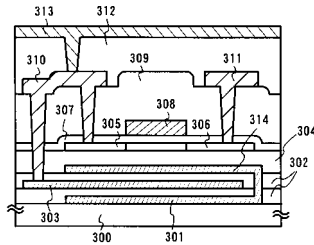
【図 2】



【図 3】

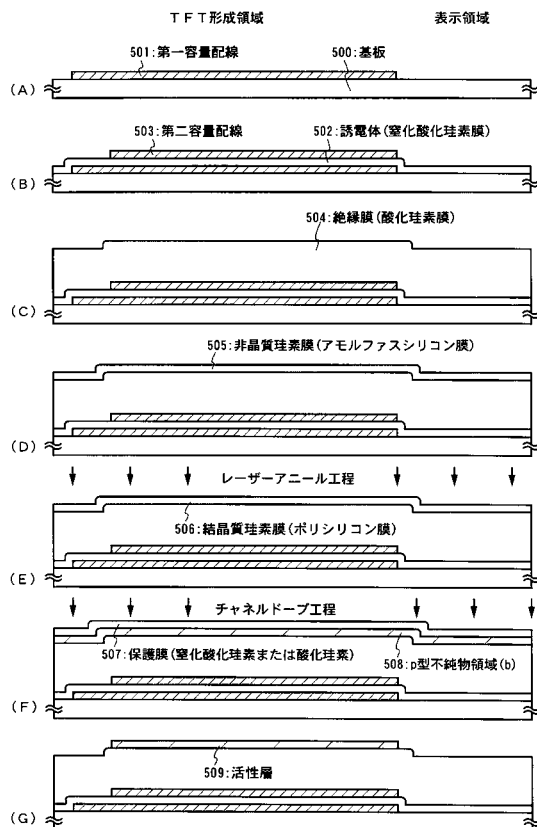


【図 4】

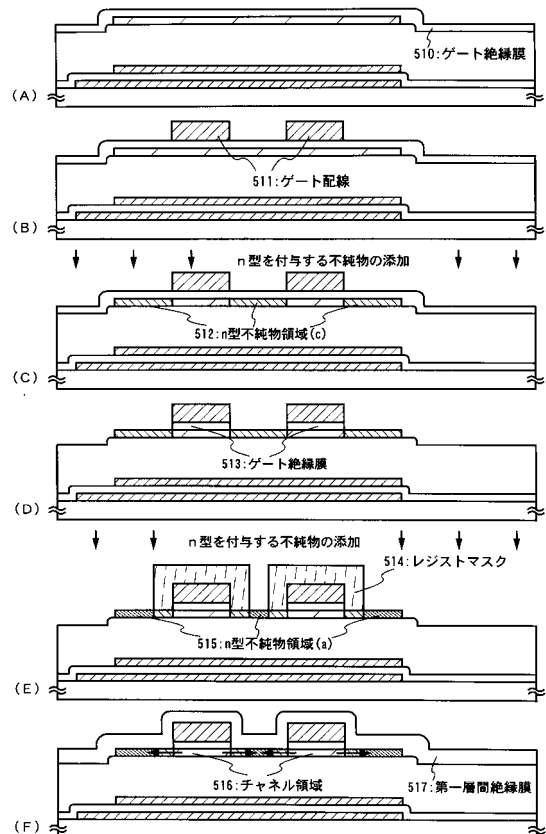


300: ガラス基板 301: 第一容量配線
 302: 誘電体 303: 第二容量配線
 304: 絶縁膜 305: ソース領域
 306: ドレイン領域 307: ゲート絶縁膜
 308: ゲート配線
 309: 第一層間絶縁膜 (酸化珪素膜)
 310: ドレイン配線 311: ソース配線
 312: 第二層間絶縁膜 313: 画素電極
 314: 第三容量配線

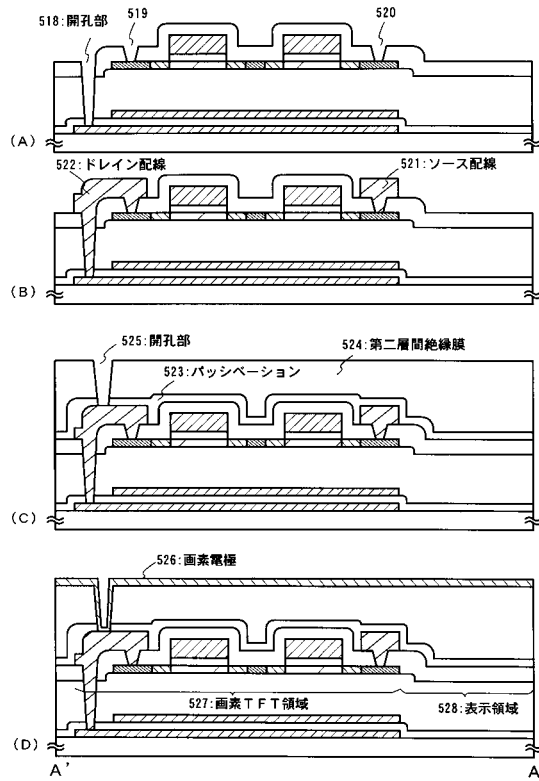
【図 5】



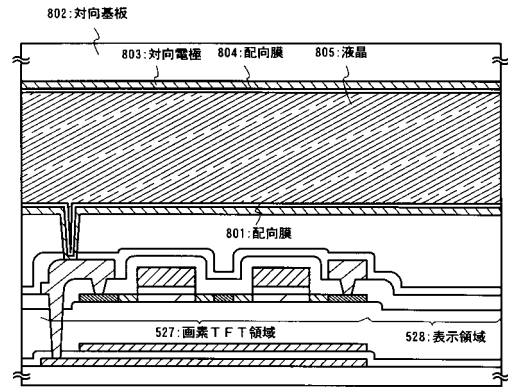
【図 6】



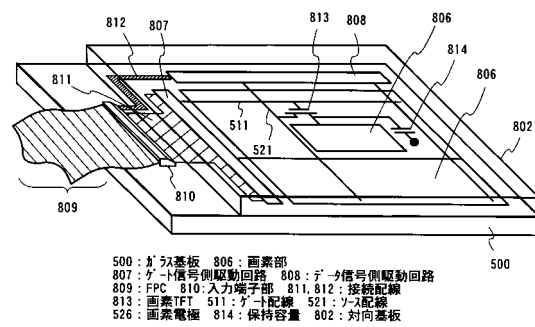
【図 7】



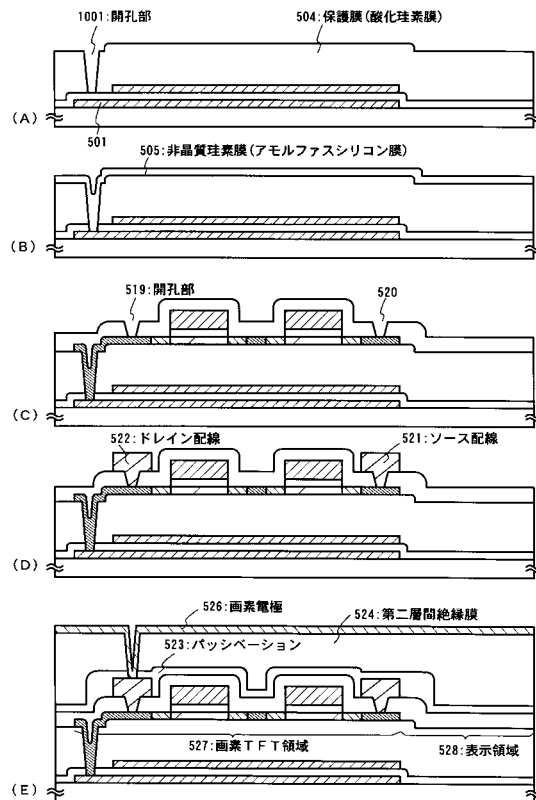
【図 8】



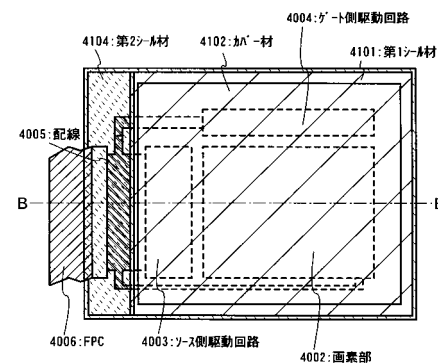
【図 9】



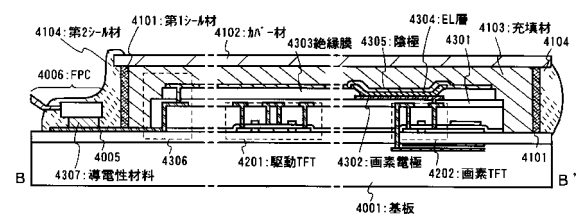
【図 10】



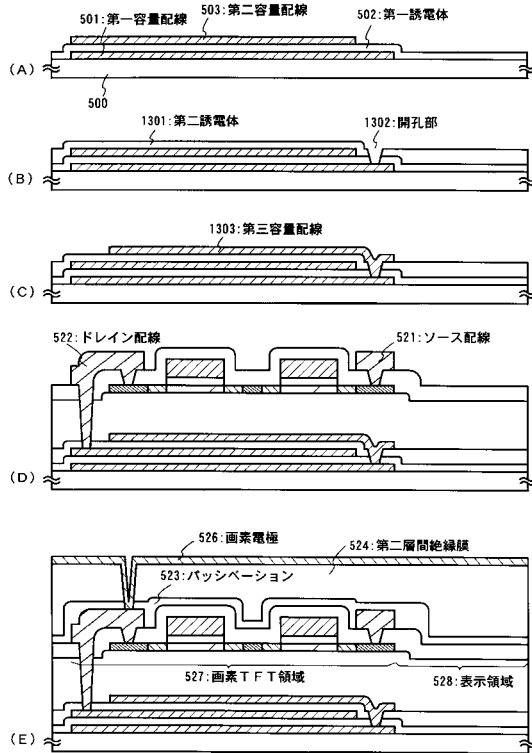
【図 11】



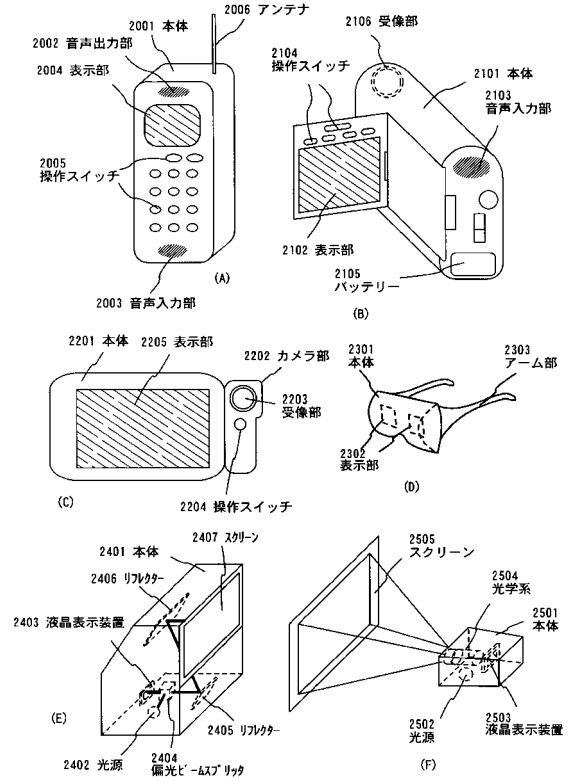
【図 12】



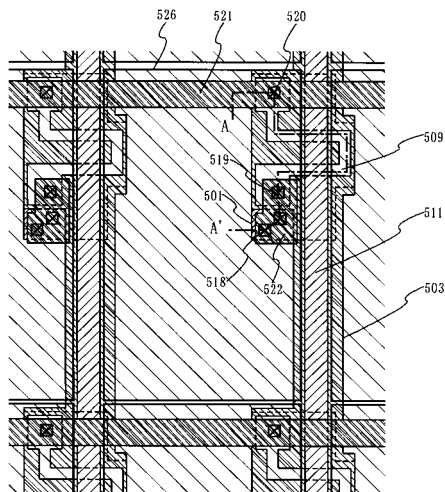
【図 13】



【図 14】



【図 15】



フロントページの続き

- (56)参考文献 特開2001-066638(JP,A)
特開平04-152574(JP,A)
特開平08-184852(JP,A)
特開平04-056828(JP,A)
特開平09-162412(JP,A)
特開平10-010548(JP,A)

- (58)調査した分野(Int.Cl., DB名)

G02F 1/1368