

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5157514号
(P5157514)

(45) 発行日 平成25年3月6日(2013.3.6)

(24) 登録日 平成24年12月21日(2012.12.21)

(51) Int.Cl. F1
H03K 19/173 (2006.01) H03K 19/173 101

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願2008-39872 (P2008-39872) (22) 出願日 平成20年2月21日 (2008.2.21) (65) 公開番号 特開2009-200779 (P2009-200779A) (43) 公開日 平成21年9月3日 (2009.9.3) 審査請求日 平成23年1月12日 (2011.1.12)</p>	<p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100095407 弁理士 木村 満 (72) 発明者 粟島 亨 東京都港区芝五丁目7番1号 日本電気株式会社内 審査官 吉田 隆之</p>
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 構成情報生成装置、構成情報生成制御方法、及びプログラム

(57) 【特許請求の範囲】

【請求項1】

論理的構成を変更する機能を有する論理回路装置に対し、書き込み機能を有する構成情報生成装置において、

前記論理的構成を定義する複数の構成情報と、差分情報と、関係グラフと、順序情報と、が記憶される記憶部と、

前記記憶部に記憶された前記複数の構成情報間との差分情報を抽出する差分情報抽出部と、

前記差分情報抽出部により抽出された差分情報に基づいて、前記構成情報間のつながりを示す関係グラフを生成するグラフ生成部と、

前記グラフ生成部により生成された前記関係グラフを巡回する順序情報を生成する順序情報生成部と、

を備えることを特徴とする構成情報生成装置。

【請求項2】

前記グラフ生成部は、前記構成情報に基づき、ノードと、当該ノードに接続されるエッジと、当該エッジの重みと、からなる関係グラフを生成する、

ことを特徴とする請求項1に記載の構成情報生成装置。

【請求項3】

前記順序情報生成部は、巡回セールスマン問題として、前記エッジの重みの総和が最小となるような巡回回路情報を生成する、

ことを特徴とする請求項 1 又は 2 に記載の構成情報生成装置。

【請求項 4】

前記関係グラフを補正するグラフ補正部と、をさらに備え、

前記グラフ補正部は、ノードを新たに生成し、当該ノードに接続されるエッジの重みを「0」とすることにより、前記関係グラフを補正する、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の構成情報生成装置。

【請求項 5】

記憶部と、差分情報抽出部と、グラフ生成部と、順序情報生成部と、を有する論理的構成を変更する機能を有する論理回路装置に対し、書き込み機能を有する構成情報生成装置が実行する構成情報生成制御方法であって、

前記記憶部には、前記論理的構成を定義する複数の構成情報と、差分情報と、関係グラフと、順序情報と、が記憶され、

前記情報抽出部が、前記記憶部に記憶された前記複数の構成情報間との差分情報を抽出する差分情報抽出工程と、

前記グラフ生成部が、前記差分情報抽出部により抽出された差分情報に基づいて、前記構成情報間のつながりを示す関係グラフを生成するグラフ生成工程と、

前記順序情報生成部が、前記グラフ生成部により生成された前記関係グラフを巡回する順序情報を生成する順序情報生成工程と、

を備えることを特徴とする構成情報生成制御方法。

【請求項 6】

論理的構成を変更する機能を有する論理回路装置に対し、書き込み機能を有するコンピュータを、

前記論理的構成を定義する複数の構成情報と、差分情報と、関係グラフと、順序情報と、が記憶される記憶部と、

前記記憶部に記憶された前記複数の構成情報間との差分情報を抽出する差分情報抽出部と、

前記差分情報抽出部により抽出された差分情報に基づいて、前記構成情報間のつながりを示す関係グラフを生成するグラフ生成部と、

前記グラフ生成部により生成された前記関係グラフを巡回する順序情報を生成する順序情報生成部と、

として機能させることを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、論理的構成を変更する機能を有する論理回路装置に対し、書き込み処理をする情報の総量を圧縮するのに好適な構成情報生成装置、構成情報生成制御方法、及び、これらをコンピュータにて実現するためのプログラムに関する。

【背景技術】

【0002】

論理的構成を変更する（再構成可能な）機能を有する論理回路装置として、FPGA（Field Programmable Gate Array）が知られている。FPGAのなかには、連長圧縮法を用いてデータを圧縮することにより、高速な入出力動作を実現しているものがある（例えば、特許文献1参照）。

【0003】

また、構成情報（フレーム）に含まれる繰り返し部分の情報を省略することにより、情報を圧縮しているものがある（例えば、特許文献2参照）。構成情報の一部を省略することにより、書き込み処理をする情報の総量を圧縮している。

【特許文献1】特開2003-347927号公報

【特許文献2】特開2001-28536号公報（図2）

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】**【0004】**

しかしながら、特許文献1及び2に開示されている構成では、構成情報内に繰り返し部分がある必要があった。また、異なる複数の構成情報間にまたがって情報が繰り返されている場合、情報を圧縮することができなかった。従って、複数の構成情報を備える場合に、当該構成情報の書き込み総量を圧縮するのに好適な新たな方法が求められている。

【0005】

本発明は、上記問題に鑑みてなされたものであり、論理的構成を変更する機能を有する論理回路装置に対し、書き込み処理をする情報の総量を圧縮するのに好適な構成情報生成装置、構成情報生成制御方法、及び、これらをコンピュータにて実現するためのプログラムを提供することを目的とする。

10

【課題を解決するための手段】**【0006】**

上記の目的を達成するため、本発明の第1の観点に係る論理的構成を変更する機能を有する論理回路装置に対し、書き込み機能を有する構成情報生成装置は、

前記論理的構成を定義する複数の構成情報と、差分情報と、関係グラフと、順序情報と、が記憶される記憶部と、

前記記憶部に記憶された前記複数の構成情報間との差分情報を抽出する差分情報抽出部と、

前記差分情報抽出部により抽出された差分情報に基づいて、前記構成情報間のつながりを示す関係グラフを生成するグラフ生成部と、

20

前記グラフ生成部により生成された前記関係グラフを巡回する順序情報を生成する順序情報生成部と、を備える。

【0007】

上記の目的を達成するため、本発明の第2の観点に係る記憶部と、差分情報抽出部と、グラフ生成部と、順序情報生成部と、を有する論理的構成を変更する機能を有する論理回路装置に対し、書き込み機能を有する構成情報生成装置が実行する構成情報生成制御方法は、

前記記憶部には、前記論理的構成を定義する複数の構成情報と、差分情報と、関係グラフと、順序情報と、が記憶され、

30

前記情報抽出部が、前記記憶部に記憶された前記複数の構成情報間との差分情報を抽出する差分情報抽出工程と、

前記グラフ生成部が、前記差分情報抽出部により抽出された差分情報に基づいて、前記構成情報間のつながりを示す関係グラフを生成するグラフ生成工程と、

前記順序情報生成部が、前記グラフ生成部により生成された前記関係グラフを巡回する順序情報を生成する順序情報生成工程と、を備える。

【0008】

上記の目的を達成するため、本発明の第3の観点に係るプログラムは、論理的構成を変更する機能を有する論理回路装置に対し、書き込み機能を有するコンピュータを、

40

前記論理的構成を定義する複数の構成情報と、差分情報と、関係グラフと、順序情報と、が記憶される記憶部と、

前記記憶部に記憶された前記複数の構成情報間との差分情報を抽出する差分情報抽出部と、

前記差分情報抽出部により抽出された差分情報に基づいて、前記構成情報間のつながりを示す関係グラフを生成するグラフ生成部と、

前記グラフ生成部により生成された前記関係グラフを巡回する順序情報を生成する順序情報生成部と、として機能させる。

【発明の効果】**【0009】**

50

本発明によれば、論理的構成を変更する機能を有する論理回路装置に対し、書き込み処理をする情報の総量を圧縮することができる。

【発明を実施するための最良の形態】

【0010】

以下では、本発明の構成情報生成装置の実施形態の一つについて説明するが、当該実施形態は本発明の原理の理解を容易にするためのものであり、本発明の範囲は、下記の実施形態に限られるものではなく、当業者が以下の実施形態の構成を適宜置換した他の実施形態も、本発明の範囲に含まれる。

【0011】

(実施形態1)

まず、論理的構成を変更する(再構成可能な)機能を有する論理回路装置に対し、構成情報を書き込むための前提となる基本的性質を、図3から図5を参照して説明する。

図3(a)及び(b)は、当該論理回路装置が有する構成情報の一例である。構成情報は、一般的に構成情報メモリのアドレスとデータとの組で表現される。図3から図5に示す構成情報は5ワードで構成され、各ワードは16ビットのビット幅を有する。

【0012】

図3(a)及び(b)に示す構成情報A及びBは、共通な構成情報を有している。この場合、図3(c)においてハッチングを施した構成情報が、構成情報A及びBの共通データであり、2ワード存在する。

当該共通データが存在する場合、共通データ以外のデータ(差分データ)が構成情報に書き込まれる。

【0013】

共通データについては書き込みを行わずに、構成情報Aから構成情報Bに書き換える方法を、図4を参照して説明する。図4(a)に示す構成情報Aに、図4(b)に示す構成情報B1が含む差分データとなる3ワードを書き込むことにより、図4(c)に示す構成情報Bを生成することができる。

上記と同様にして、構成情報Bから構成情報Aに書き換える方法を、図5を参照して説明する。図5(a)に示す構成情報Bに、図5(b)に示す構成情報A1が含む差分データとなる3ワードを書き込むことにより、図5(c)に示す構成情報Aを生成することができる。

以上説明したように、共通データ以外のデータ(差分データ)について構成情報を書き換えることにより、構成情報の書き込み総量を圧縮することができる。

以下、これらの構成情報の書き込み方法を前提とする。

【0014】

本発明の第1の実施形態に係る構成情報生成装置について図1を参照して説明する。構成情報生成装置は、当該装置が生成した構成情報を論理回路装置に書き込む。

【0015】

本実施形態の構成情報生成装置100は、図1に示すように、入出力部110と、処理部120と、差分情報抽出部121と、差分関係グラフ生成部122と、書込順序情報生成部123と、書込情報生成部124と、記憶部130と、差分情報記憶部131と、差分関係グラフ記憶部132と、書込順序情報生成部133と、を備える。

【0016】

入出力部110は、外部装置(図示せず)から複数の構成情報を読み込み、当該構成情報を後述する処理部120に渡す。また、入出力部110は、処理部120の処理が完了した後、構成情報の書き込み総量を圧縮するための書き込み順序と差分情報とを外部装置に渡す。

【0017】

処理部120は、差分情報抽出部121と、差分関係グラフ生成部122と、書込順序情報生成部123と、書込情報生成部124と、を備える。また、ここでは図示しないが、処理部120は、CPU(Central Processing Unit)、ROM(Read Only Memory)

10

20

30

40

50

、 R A M (Random Access Memory) 等を備える。

【 0 0 1 8 】

差分情報抽出部 1 2 1 は、図 3 (c) に示すように、入出力部 1 1 0 から入力された構成情報の全ての組について差分情報を抽出する。また、差分情報抽出部 1 2 1 は、当該差分情報を差分情報記憶部 1 3 1 に格納する。

【 0 0 1 9 】

差分関係グラフ生成部 1 2 2 は、差分情報記憶部 1 3 1 に格納された差分情報を参照し、全構成情報に対する差分関係グラフを作成する。また、差分関係グラフ生成手段 1 2 2 は、当該差分関係グラフを差分関係グラフ記憶部 1 3 2 に格納する。

【 0 0 2 0 】

ここで、差分関係グラフとは、図 6 (a) 及び (b) に示すように、各構成情報の関係を、ノード 2 0 1 と、エッジ 2 0 2 と、エッジの重み 2 0 3 と、で表現したグラフである。エッジ 2 0 2 は全てのノード 2 0 1 間に作成される。また、各エッジ 2 0 2 は、エッジ 2 0 2 の一方の構成情報から他方の構成情報に再構成される場合、書き込みが必要となる構成情報のワード数に基づいて重み付けされる。

【 0 0 2 1 】

書込順序情報生成部 1 2 3 は、差分関係グラフ記憶部 1 3 2 に格納された差分関係グラフ情報を参照し、書き込む構成情報の総量が最小となるような書き込み順序を生成する。また、書込順序情報生成部 1 2 3 は、当該書き込み順序方法を書込順序情報記憶部 1 3 3 に格納する。

【 0 0 2 2 】

当該書き込み順序を生成する処理は、差分関係グラフ上で全てのノード 2 0 1 を 1 回ずつ通過し、かつ通過するエッジの重み 2 0 3 の総和が最小となるような巡回路を求める問題に帰着できる。この問題は、「巡回セールスマン問題」の解法を利用して解くことができる (U R L : http://en.wikipedia.org/wiki/Traveling_salesman_problem) 。

【 0 0 2 3 】

書込情報生成部 1 2 4 は、書込順序情報記憶部 1 3 3 に格納された順序情報を参照し、書き込む構成情報の総量が最小となるような差分書き込み用の構成情報を生成する。

【 0 0 2 4 】

次に、本実施形態に係る構成情報生成装置 1 0 0 の動作について、図 2、図 6 及び図 7 を参照して説明する。

【 0 0 2 5 】

まず、入出力部 1 1 0 から与えられた複数の構成情報は、差分情報抽出部 1 2 1 に供給される。差分情報抽出部 1 2 1 は、例えば図 3 (a) 及び (b) に示す全ての構成情報の組について差分情報を抽出し、差分情報記憶部 1 3 1 に格納する (ステップ S 1 1) 。

【 0 0 2 6 】

ここで差分情報記憶部 1 3 1 に格納される差分情報とは、図 4 及び図 5 に示すように、1 組の構成情報である構成情報 A 及び構成情報 B について、構成情報 A から構成情報 B に再構成するときに必要な最小の構成情報 B 1 とそのワード数、及び、構成情報 B から構成情報 A に再構成するときに必要な最小の構成情報 A 1 とそのワード数を含む。

【 0 0 2 7 】

次に、差分関係グラフ生成部 1 2 2 は、差分情報記憶部 1 3 1 に格納された差分情報を参照し、構成情報の差分関係グラフを作成する。また、差分関係グラフ生成部 1 2 2 は、当該差分関係グラフを差分関係グラフ記憶部 1 3 2 に格納する (ステップ S 1 2) 。

【 0 0 2 8 】

ここで、差分関係グラフとは、図 6 (a) 及び (b) に示すように、各構成情報をノード 2 0 1 で、構成情報間の関係をエッジ 2 0 2 で、表現したグラフである。エッジ 2 0 2 は全てのノード 2 0 1 間に作成される。また、各エッジ 2 0 2 は、エッジ 2 0 2 の一方の構成情報から他方の構成情報に再構成される場合、書き込みが必要となる構成情報のワード数に基づいて重み付けがなされる。

10

20

30

40

50

【 0 0 2 9 】

次に、書込順序情報生成部 1 2 3 は、差分関係グラフ記憶部 1 3 2 に格納された差分関係グラフを参照し、再構成のために書き込みが必要な構成情報の総量を最小化する書込順序情報を生成する。また、書込順序情報生成部 1 2 3 は、当該書込順序情報を書込順序情報記憶部 1 3 3 に格納する（ステップ S 1 3）。

【 0 0 3 0 】

ステップ S 1 3 において、図 7 (a) に示すように、差分関係グラフ上で全てのノード 2 0 1 を 1 回ずつ通過し、かつ通過するエッジの重み 2 0 3 の総和が最小となるような巡回路 2 0 4 を求める問題に帰着できる。この問題は、「巡回セールスマン問題」の解法を利用して解くことができる。ここでは、重みの総和が 1 5 で最小となる巡回路 2 0 4 が求められ、この巡回路 2 0 4 に基づいて構成情報の書込順序情報が生成される。

10

【 0 0 3 1 】

本実施形態では、構成情報生成装置 1 0 0 上で複数の回路構成を任意の順序で繰り返し実行する場合を扱っており、構成情報の書込順序生成部 1 2 3 によって求められる書込順序情報は、始点と終点とを定めない巡回順序となる。

【 0 0 3 2 】

また、図 4 及び図 5 に示すように、構成情報 A から構成情報 B、また構成情報 B から構成情報 A、というように書き換えの向きが変わっても差分のワード数に変化はない。このため、結果として求められる書き込み順序は、図 7 (b) 及び (c) に示すように、正順と逆順の 2 通りの巡回順序となる。

20

【 0 0 3 3 】

最後に、書込情報生成部 1 2 4 は、差分情報記憶部 1 3 1 と書込順序情報記憶部 1 3 3 とに格納された差分情報と書込順序情報とを参照して、再構成可能な構成情報生成装置 1 0 0 上で複数の回路構成を任意の順序で繰り返し実行する場合に必要な構成情報の総量が最小となる差分書込用の構成情報を生成する。また、書込情報生成部 1 2 4 は、当該構成情報を入出力部 1 1 0 に出力し、処理を終了する（ステップ S 1 4）。

【 0 0 3 4 】

ステップ S 1 4 において、ステップ S 1 3 で求められた 2 通りの巡回順序のどちらを選択するか、またどの構成情報を始点と定めるかは、入出力部 1 1 0 から与えるか、または差分書込用の構成情報生成手段 1 2 4 が適切な指標に基づいて自動的に決定される。

30

【 0 0 3 5 】

以上説明したように、本発明によれば、全ての構成情報の組に対して差分情報を抽出し、これに基づいた差分関係グラフに基づいて処理を行うというように構成されているため、複数（2 つ以上）の構成情報について、差分書込用の構成情報を生成することができる。

また、差分関係グラフ上で重みの総和が最小となる巡回路を求めることで、書き込み順序を求めるというように構成されているため、書き込み総量が最小となるような差分書込用の構成情報を生成することができる。

【 0 0 3 6 】

(実施形態 2)

次に、第 2 の実施形態に係る構成情報生成装置 1 0 0 について図 8 を参照して説明する。実施形態 2 の構成情報生成装置 1 0 0 は、図 1 に示した構成情報生成装置 1 0 0 の処理部 1 2 0 に差分関係グラフ補正部 1 2 5 を追加した構成となる。本実施形態は、構成情報生成装置 1 0 0 上で複数の回路構成を任意の順序で 1 回だけ実行するものである。

40

【 0 0 3 7 】

差分関係グラフ補正部 1 2 5 は、差分関係グラフ記憶部 1 3 2 に格納された差分関係グラフを参照し、図 1 0 (b) に示す 1 つのダミーノード 2 0 5 を差分関係グラフに挿入する。また、差分関係グラフ補正部 1 2 5 は、差分関係グラフ記憶部 1 3 2 に差分関係グラフを再び格納する。

【 0 0 3 8 】

50

次に、本実施形態に係る構成情報生成装置 100 の動作について、図 9 から図 11 を参照して説明する。なお、ステップ S 21 及びステップ S 22 においては、ステップ S 11 及びステップ 12 と同様の処理がなされる。またステップ S 25 においては、ステップ S 14 と同様の処理がなされる。

【0039】

差分関係グラフ補正部 126 は、差分関係グラフ記憶部 132 に格納された差分関係グラフを参照し、図 10 (b) に示すように、1つのダミーノード 205 を差分関係グラフに挿入する。また、差分関係グラフ補正部 125 は、差分関係グラフ記憶部 132 に差分関係グラフを再び格納する。さらに、差分関係グラフ補正部 126 は、図 10 (b) に示すように、挿入したダミーノード 205 とそれ以外の全てのノード 201 との間に新たにダミーエッジ 206 を設け、エッジの重み 203 を「0」で初期化する(ステップ S 23)。

10

【0040】

次に、書込順序情報生成部 123 は、差分関係グラフ記憶部 132 に再び格納された差分関係グラフを参照し、再構成のために書き込みが必要な構成情報の総量を最小化する書込順序情報を生成する。また、書込順序情報生成部 123 は、当該書込順序情報を書込順序情報記憶部 133 に格納する(ステップ S 24)。

【0041】

ステップ S 24 において、図 11 (a) に示すように、差分関係グラフ上で全てのノード 201 を 1 回ずつ通過し、かつ通過するエッジの重み 203 の総和が最小となるような巡回路 204 を求める問題に帰着できる。結果として求められる書き込み順序は、図 11 (b) 及び (c) に示すように、正順と逆順の 2 通りの巡回順序となる。

20

【0042】

ステップ S 24 では、1つのダミーノード 205 を挿入して差分関係グラフを補正している。その結果、ステップ S 24 で求められるエッジの重み 203 の総和最小の巡回路 204 は必ずダミーノード 205 を含む。巡回路上でダミーノード 205 の前後のダミーエッジ 206 の重み 203 は 0 で初期化されており、巡回路 204 のエッジの重み総和に影響を与えていない。したがって、求められた巡回路 204 から、ダミーノード 205 を取り除くことで、エッジの重みの総和が最小であって、始点と終点を有する構成情報書き込み順序が生成できる。

30

【0043】

以上説明したように、本発明によれば、全ての構成情報の組に対して差分情報を抽出し、これに基づいた差分関係グラフに基づいて処理を行うというように構成されているため、複数(2つ以上)の構成情報について、差分書込用の構成情報を生成することができる。

また、差分関係グラフ上で重みの総和が最小となる巡回路を求めることで、書き込み順序を求めるというように構成されているため、書き込み総量が最小となるような差分書込用の構成情報を生成することができる。

【0044】

なお、本発明は上記実施の形態に限定されず、種々の変形及び応用が可能である。

40

【0045】

構成情報の数は、2つに限定されず、2以上で任意である。

構成情報のデータは、5ワードに限定されず、任意である。また、各ワードのビット幅は、16ビットに限定されず、任意である。

【0046】

巡回路を求める方法は、線形計画法、焼きなまし法、遺伝的アルゴリズム等、任意である。

【図面の簡単な説明】

【0047】

【図1】本発明の実施形態 1 に係る構成情報生成装置の構成を示すブロック図である。

50

【図 2】実施形態 1 に係る構成情報生成装置の動作を説明するフローチャートである。

【図 3】構成情報例を示す図である。

【図 4】構成情報を書き換える方法を説明する図である。(a) は書き換える前の構成情報を示し、(b) は差分データを含む構成情報を示し、(c) は書き換えた後の構成情報を示す図である。

【図 5】構成情報を書き換える方法を説明する図である。(a) は書き換える前の構成情報を示し、(b) は差分データを含む構成情報を示し、(c) は書き換えた後の構成情報を示す図である。

【図 6】(a) は実施形態 1 に係る差分関係グラフを示し、(b) は重み付けのある差分関係グラフを示す図である。

10

【図 7】(a) は実施形態 1 に係る書き込み巡回路を示す図であり、(b) は正順の巡回路を示し、(c) は逆順の巡回路を示す図である。

【図 8】本発明の実施形態 2 に係る構成情報生成装置の構成を示すブロック図である。

【図 9】実施形態 2 に係る構成情報生成装置の動作を説明するフローチャートである。

【図 10】(a) は実施形態 2 に係る差分関係グラフを示し、(b) は重み付けのある差分関係グラフを示す図である。

【図 11】(a) は実施形態 2 に係る書き込み巡回路を示す図であり、(b) は正順の巡回路を示し、(c) は逆順の巡回路を示す図である。

【符号の説明】

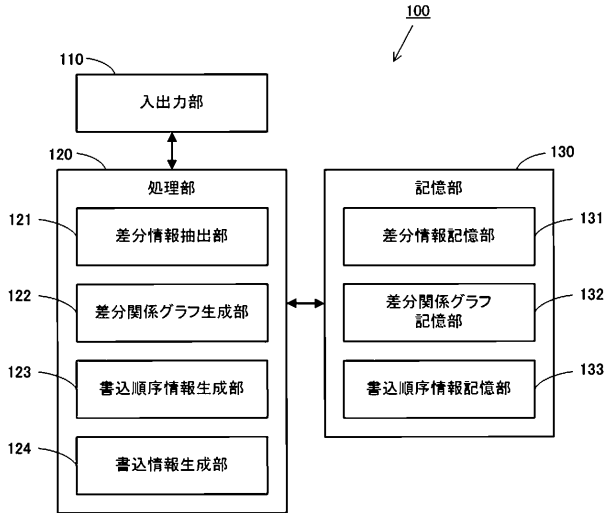
【 0 0 4 8 】

20

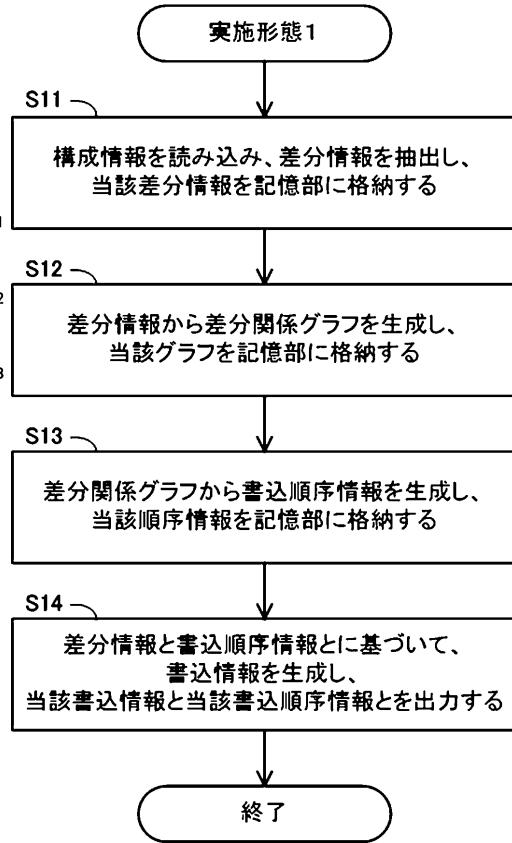
- 1 0 0 構成情報生成装置
- 1 1 0 入出力部
- 1 2 0 処理部
- 1 2 1 差分情報抽出部
- 1 2 2 差分関係グラフ生成部
- 1 2 3 書込順序情報生成部
- 1 2 4 書込情報生成部
- 1 2 5 差分関係グラフ補正部
- 1 3 0 記憶部
- 1 3 1 差分情報記憶部
- 1 3 2 差分関係グラフ記憶部
- 1 3 3 書込順序情報記憶部

30

【図1】



【図2】



【図3】

(a)

アドレス	データ
0x0000	0x00ff
0x0001	0x11ee
0x0002	0x22dd
0x0003	0x33cc
0x0004	0x44bb

構成情報A

(b)

アドレス	データ
0x0000	0x11ff
0x0001	0x22ee
0x0002	0x22dd
0x0003	0xaacc
0x0004	0x44bb

構成情報B

(c)

アドレス	データ
0x0000	/
0x0001	/
0x0002	0x22dd
0x0003	/
0x0004	0x44bb

構成情報AとBとの共通部

【図4】

(a)

アドレス	データ
0x0000	0x00ff
0x0001	0x11ee
0x0002	0x22dd
0x0003	0x33cc
0x0004	0x44bb

構成情報A

(b)

アドレス	データ
0x0000	0x11ff
0x0001	0x22ee
0x0002	/
0x0003	0xaacc
0x0004	/

構成情報B1

(c)

アドレス	データ
0x0000	0x11ff
0x0001	0x22ee
0x0002	0x22dd
0x0003	0xaacc
0x0004	0x44bb

構成情報B

【図5】

(a)

アドレス	データ
0x0000	0x11ff
0x0001	0x22ee
0x0002	0x22dd
0x0003	0xaacc
0x0004	0x44bb

構成情報B

(b)

アドレス	データ
0x0000	0x00ff
0x0001	0x11ee
0x0002	
0x0003	0x33cc
0x0004	

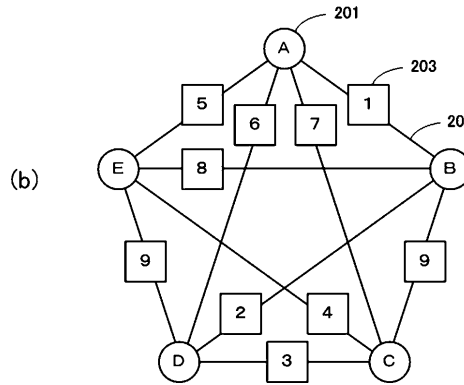
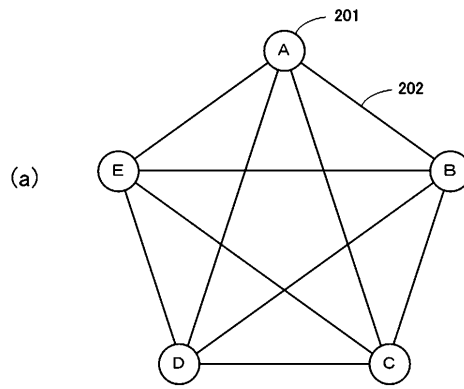
構成情報A1

(c)

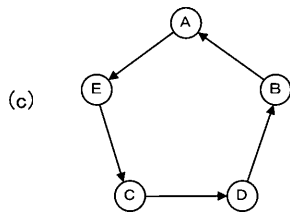
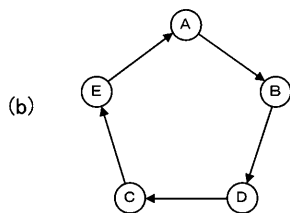
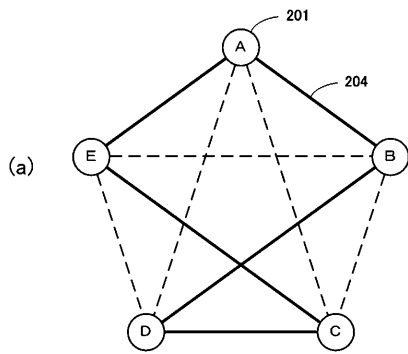
アドレス	データ
0x0000	0x00ff
0x0001	0x11ee
0x0002	0x22dd
0x0003	0x33cc
0x0004	0x44bb

構成情報A

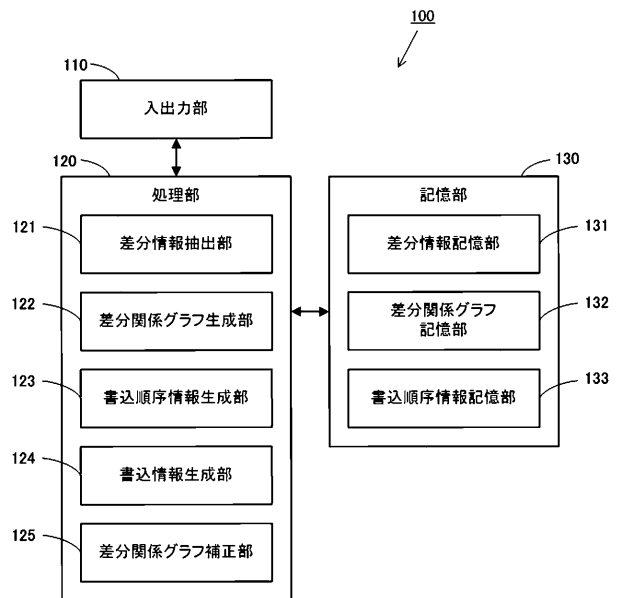
【図6】



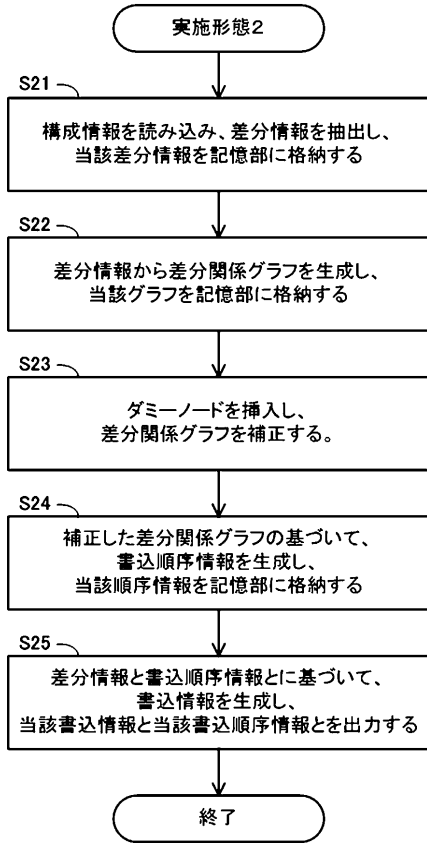
【図7】



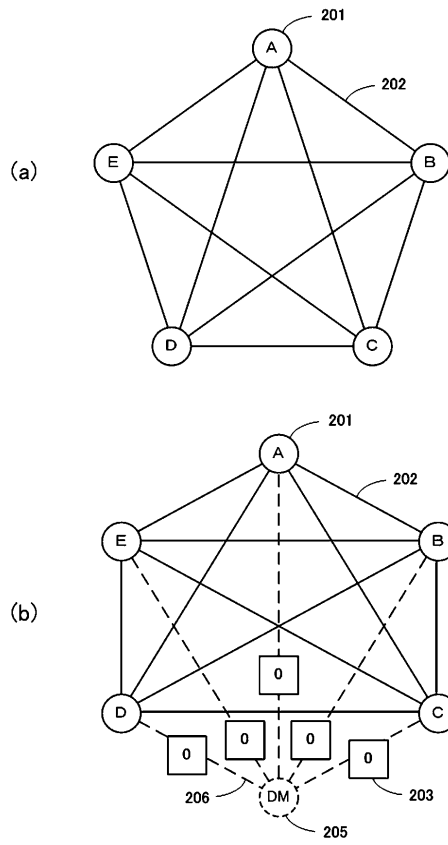
【図8】



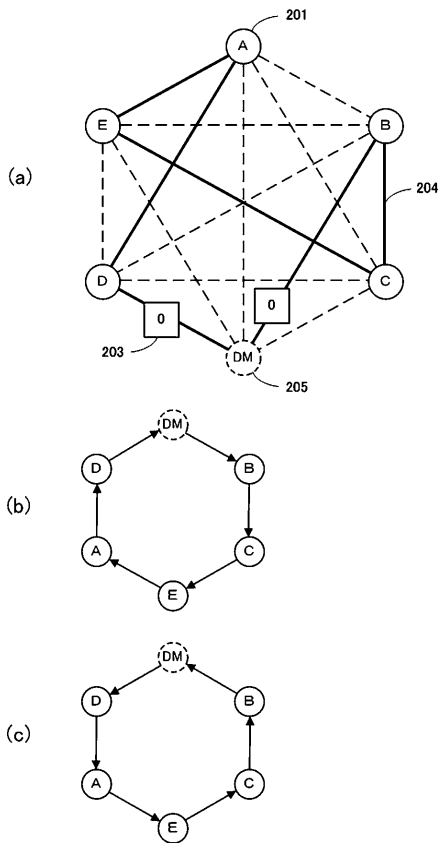
【図9】



【図10】



【図11】



フロントページの続き

(56)参考文献 特開2001-111413(JP,A)
特開2001-28536(JP,A)
信学技報 CPSY2000-67

(58)調査した分野(Int.Cl., DB名)
H03K 19