

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3655232号

(P3655232)

(45) 発行日 平成17年6月2日(2005.6.2)

(24) 登録日 平成17年3月11日(2005.3.11)

(51) Int. Cl.⁷

F I

H O 1 L 27/14

H O 1 L 27/14

K

G O 1 J 1/02

G O 1 J 1/02

C

G O 1 J 5/02

G O 1 J 5/02

J

請求項の数 5 (全 12 頁)

(21) 出願番号 特願2001-349618 (P2001-349618)
 (22) 出願日 平成13年11月15日(2001.11.15)
 (65) 公開番号 特開2003-152170 (P2003-152170A)
 (43) 公開日 平成15年5月23日(2003.5.23)
 審査請求日 平成15年5月23日(2003.5.23)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075683
 弁理士 竹花 喜久男
 (74) 代理人 100084515
 弁理士 宇治 弘
 (72) 発明者 飯田 義典
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝 研究開発センター内
 (72) 発明者 重中 圭太郎
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝 研究開発センター内

最終頁に続く

(54) 【発明の名称】 赤外線センサ

(57) 【特許請求の範囲】

【請求項1】

複数の行および列のマトリクス状に配列され、入射赤外線光を吸収することで発生した熱を熱電変換し抵抗値の変化として取出す複数個の熱電変換画素と、

前記熱電変換画素の各行または各列のいずれか一方にそれぞれ接続される複数の選択線と、

前記熱電変換画素の各行または各列の他方にそれぞれ接続される複数の信号線と、

前記各選択線に接続され前記熱電変換画素に選択線ごとに選択的に読み出し電圧を付与して前記信号線に電気信号を発生させる画素選択回路と、

前記各信号線に接続され該信号線に発生した電気信号を読み出す信号読み出し回路とが半導体基板上に配置され、

前記熱電変換画素が配置された領域と前記画素選択回路及び前記信号読み出し回路の少なくとも一方が配置された領域との間の前記半導体基板の表面に溝が設けられていることを特徴とする赤外線センサ。

【請求項2】

前記画素選択回路及び前記信号読み出し回路の少なくとも一方が配置された領域と前記溝との間における前記半導体基板の表面若しくはその上に、前記半導体基板よりも熱伝導率の高い材料が設けられていることを特徴とする請求項1記載の赤外線センサ。

【請求項3】

前記溝が、前記熱電変換画素が配置された領域の周囲を囲んで設けられていることを特 20

徴とする請求項 1 乃至 2 のいずれかに記載の赤外線センサ。

【請求項 4】

前記半導体基板が SOI 基板であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の赤外線センサ。

【請求項 5】

前記熱電変換画素は、前記 SOI 基板の SOI 領域に形成された pn 接合を備え、該 pn 接合により熱電変換が行われることを特徴とする請求項 4 記載の赤外線センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は赤外線センサ、特に熱型赤外線センサに関する。

【0002】

【従来の技術】

赤外線センサは、被写体の温度測定を可能とするものであり、昼夜にかかわらず撮像可能である。また、赤外線は、可視光よりも煙、霧に対して透過性が高いという特徴があることから、防衛分野をはじめ監視カメラや火災検知カメラとして広い応用範囲を有する。

【0003】

従来主流であった量子型赤外線センサは、室温以下の低温において動作させなければならぬため冷却機構を必要としていた。しかしながらこのような冷却機構は部品点数の増加を招くため、高コスト化及び素子を小型化できないという問題がある。

【0004】

そこで、近年冷却機構を必要としない熱型赤外線センサの開発が盛んになってきている。

【0005】

熱型赤外線センサは、波長 10 μm 程度の入射赤外線を感熱部により熱に変換した上で、この微弱な温度変化を熱電変換手段により電気的信号に変換し、この電気的信号を読み出すことで赤外線画像情報を得るものである。

【0006】

このような熱型赤外線センサの一つとして、シリコン基板上に絶縁膜が形成され、この上にシリコン層が形成された SOI (Silicon On Insulator) 基板のうち、絶縁膜上に形成されたシリコン層 (SOI) 領域に形成した素子が報告されている (Tomohiro Ishikawa, et al., Proc. SPIE Vol. 3698, p. 556, 1999)。この素子はシリコン pn 接合に一定の順方向電流を流して温度変化を電圧変化に変換するものである。

【0007】

このようなシリコン pn 接合を用いた赤外線センサは、シリコン LSI 製造工程を用いて製造することが可能であることから量産性に優れた素子である。

【0008】

ところで、このような赤外線センサは、撮像領域全面において SOI 領域を支持しているバルクシリコン基板の温度が均一であることが非常に重要である。なぜなら赤外線検出画素の温度は、入射赤外線を吸収することによって発生した熱による温度上昇量を、バルクシリコン基板の温度とを比較して決定するためである。

【0009】

しかしながら、現実には撮像領域に隣接配置されている行選択回路や列選択回路或いはタイミングジェネレータ等のデジタル回路における発熱の影響で、撮像領域の周辺部では、バルクシリコン基板の温度が上昇してしまい、赤外線により発生した温度上昇量を正確に比較できないといういわゆるシェーディングが発生する。

【0010】

したがって、従来は、隣接するデジタル回路の発熱に起因するシェーディングを防止するためには、熱が伝わらないように撮像領域とデジタル回路との間隔を広く設計することが行われてきた。

10

20

30

40

50

【0011】

しかしながら、このような熱型赤外線センサにおいても、通常のLSIチップと同様にさらなるチップサイズを低減することが要求されており、上述した撮像領域とデジタル回路との間隔を広くする設計は、チップサイズを低減するためには逆行し問題とされてきている。

【0012】

【発明が解決しようとする課題】

このように従来の熱型赤外線センサは、撮像領域とデジタル回路との間隔を広くする設計によってこれらの間の熱伝達を防止してシェーディングを防いでいた。しかしながらチップサイズを低減するという要求には、この方法は逆行し問題とされている。

10

【0013】

本発明は、上記問題に鑑みて成されたもので、撮像領域とデジタル回路との間隔を広く取らなくても熱伝達を防止してシェーディングを防ぐことができチップサイズを低減することが可能な赤外線センサを提供することを目的とする

【0014】

【課題を解決するための手段】

上記目的を達成するために、本発明は、複数の行および列のマトリクス状に配列され、入射赤外線光を吸収することで発生した熱を熱電変換し抵抗値の変化として取出す複数の熱電変換画素と、

前記熱電変換画素の各行または各列のいずれか一方にそれぞれ接続される複数の選択線と

20

、前記熱電変換画素の各行または各列の他方にそれぞれ接続される複数の信号線と、前記各選択線に接続され前記熱電変換画素に選択線ごとに選択的に読み出し電圧を付与して前記信号線に電気信号を発生させる画素選択回路と、

前記各信号線に接続され該信号線に発生した電気信号を読み出す信号読み出し回路とが半導体基板上に配置され、

前記熱電変換画素が配置された領域と前記画素選択回路及び前記信号読み出し回路の少なくとも一方が配置された領域との間の前記半導体基板の表面に溝が設けられていることを特徴とする赤外線センサを提供する。

【0016】

また、前記画素選択回路及び前記信号読み出し回路の少なくとも一方が配置された領域と前記溝との間における前記半導体基板の表面若しくはその上に、前記半導体基板よりも熱伝導率の高い材料が設けられていることが好ましい。

30

【0017】

また、前記溝が、前記熱電変換画素が配置された領域の周囲を囲んで設けられていることが好ましい。

【0018】

また、前記半導体基板がSOI基板であることが好ましい。

【0019】

また、前記熱電変換画素は、前記SOI基板のSOI領域に形成されたpn接合を備え、該pn接合により熱電変換が行われることが好ましい。

40

【0020】

本発明によれば、基板温度の均一性が要求される撮像領域と、発熱源であるデジタル回路との間に、溝を設けることによって、これらの間を熱分離できる。こうすることでシェーディングを防止しつつかつチップサイズを低減することが可能となる。

【0021】

【発明の実施の形態】

以下、本発明の実施形態について図面に基づいて説明する。なお、以下に示す実施形態は、この発明の技術思想を具体化する素子について例示するものであって、この発明の素子の構造を、下記のものに限定するものではなく、種々の変更を加えることができるもので

50

ある。

【0022】

(実施形態1)

図1は、本発明の実施形態1に係る赤外線センサの m 行 n 列($m \times n$ 画素)の2次元マトリクス構成を示す図である。ここで m 、 n は2以上の自然数である。

【0023】

図1に示すように、入射赤外線光を電気信号に変換する赤外線検出画素1が半導体基板2上に2次的に配置され撮像領域3を構成している。赤外線検出画素1は、赤外線が照射されることで温度上昇し、この温度上昇を電気信号に変換するものである。ここではシリコン pn 接合領域115を有するダイオードが形成されている。

10

【0024】

撮像領域3内部には、平行方向の行選択線4(4-1, 4-2...)と垂直方向の列信号線5(5-1, 5-2...)が設けられている。行選択線4(4-1, 4-2...)は、それぞれ赤外線検出画素1の pn 接合領域の一方に接続されている。また、それぞれ列信号線5(5-1, 5-2...)は、赤外線検出画素1の pn 接合領域の他方に接続されている。

【0025】

撮像領域3内の任意の赤外線検出画素1を選択できるように、行選択線4(4-1, 4-2...)は、行選択回路40と接続され、列信号線5(5-1, 5-2...)は、増幅回路9を介して列選択トランジスタ6に接続され、列選択回路70により選択された画素の信号が出力される。

20

【0026】

赤外線検出画素1からの出力電圧を得るための定電流源80として、各列の列信号線5には、負荷MOSトランジスタ8-1, 8-2...が接続されている。

【0027】

図1では、負荷MOSトランジスタのソースには基板電圧: V_s が印加されているが、必要に応じて、そのソース電圧を調整することも可能であり、より好ましい。

【0028】

行選択回路40により選択された行選択線4例えば4-1には電源電圧: V_d が印加され、行選択回路40により選択されない行選択線には V_s が印加される。その結果、選択された行選択線4-1の赤外線検出画素1内部の pn 接合領域115、...が順バイアスとなりバイアス電流が流れ、赤外線検出画素1の内部に存在する pn 接合領域115の温度と順バイアス電流とにより動作点が決まり、各列の列信号線5-1, 5-2に赤外線検出用画素1の信号となる出力電圧が発生する。このとき、選択回路40によって選択されない赤外線検出用画素1の pn 接合領域115a、...は逆バイアスとなる。すなわち、赤外線検出用画素の内部に存在する pn 接合領域115は画素選択の機能を持っている。

30

【0029】

このとき列信号線5に発生する信号電圧は、きわめて低電圧である。被写体の温度変化: dT_s と画素温度変化: dT_d との比として 5×10^{-3} を仮定し、この値と画素の pn 接合が8個の pn 接合を直列接続した場合の熱電変換感度: $dV/dT_d = 10$ [mV/K]とにより、 $dT_s = 0.1$ [K]のときには、わずかに5 [μV]であることがわかる。

40

【0030】

したがって、この被写体温度差を認識するためには、列信号線に発生する雑音を5 [μV]以下にすることが必要になる。この雑音の値は、MOS型の可視光イメージセンサであるCMOSセンサの雑音の約1/80と非常に低い。

【0031】

このため各信号線5-1, 5-2と列選択トランジスタ回路60間にはカラム増幅回路9が接続されている。この増幅回路9の増幅用MOSトランジスタ10のゲート10gに各信号線が接続される。このMOSトランジスタ10のドレイン10d側には、電流増幅した信号電流を積分し蓄積するための蓄積容量12が接続されている。信号電流を積分する

50

蓄積時間は、行選択回路40により行選択線4に印加される行選択パルスにより決定される。

【0032】

蓄積容量12には、蓄積容量の電圧をリセットするためのリセットトランジスタ14が接続され、列選択トランジスタ6による信号電圧の読み出しが完了した後にリセット動作を行う。端子24は出力端子である。

【0033】

ここで、行選択回路40、列選択回路70は、いわゆるデジタル回路であり、その他の回路はアナログ回路である。

【0034】

また、図1では、行選択回路40が撮像領域3の右側のみに隣接配置された構造を示したが、同一の動作をする行選択回路を撮像領域3の左側にも隣接配置し、いわゆる両側駆動することも可能であり、行選択回路40への負荷を低減することもできる。

【0035】

さらに、この赤外線センサを簡便に使用できるようにするために、基準クロック信号、スタートパルス、電源電圧およびグラウンド等の数少ない入力を与えるだけでセンサ出力を得ることも可能である。その場合には、チップ内部でデジタル回路駆動のための各種パルスが発生させるタイミングジェネレータを撮像領域3の上部に配置することも可能である。もちろん、このタイミングジェネレータはデジタル回路である。

【0036】

本発明では、行選択回路40と撮像領域3との間に溝が設けられている。このように発熱源である行選択回路40と撮像領域3との間に溝を設けることで熱が撮像領域3に伝導することを防ぐことができる。

【0037】

また、列選択回路70も発熱源であるが間に増幅回路9及び選択トランジスタ回路60が存在するので、行選択回路40からよりは熱は伝わり難い。しかし列選択回路70と撮像領域3との間にも溝が形成されている方が好ましい。この場合、列選択回路70と選択トランジスタ回路60との間、選択トランジスタ回路60と増幅回路9との間、増幅回路9と撮像領域3との間のいずれに溝が形成されていてもよい。

【0038】

次に、図2に、図1に示した赤外線センサの赤外線検出画素1の構造を示す。ここで、図2(a)は平面図、図2(b)は断面図である。

【0039】

図2に示すように、この赤外線検出画素1は、熱電変換のためのpn接合領域115を含むもので、単結晶シリコン半導体基板2内部に形成された中空構造107の上に、赤外線吸収部118、120と、熱電変換のために形成されたSOI層108内部に形成されたpn接合領域115、これらを接続する配線117、121、このSOI層108の下面に形成された埋め込みシリコン酸化膜114とから成る。ここでSOI(Silicon On Insulator)基板とは、シリコン基板と、このシリコン基板上に形成された酸化シリコン等の絶縁層と、この絶縁膜上に形成された単結晶シリコン層とを具備する基板である。典型的には絶縁層はシリコン基板上に形成される。このSOI基板を用いることによって、素子容量を小さくでき高速化、低雑音化を図ることが可能である。SOI層とは、SOI基板のうち絶縁膜上に形成された単結晶シリコン層のことである。

【0040】

図2では説明上、pn接合領域を2個直列に配置したダイオード構造を示す。さらに赤外線検出画素1を中空構造である中空底部107、中空側部119を介して支持するとともに赤外線検出画素1からの電気信号を出力するための支持部111が設けられている。この支持部を介して赤外線検出画素1と列信号線5及び行選択線4とが接続される。

【0041】

赤外線検出画素1及び支持部111が中空構造107上に設けられることにより、赤外線

10

20

30

40

50

検出画素 1 の熱放散が緩慢となり、入射赤外線による赤外線検出画素 1 の温度の変調を効率良く行う構造になっている。

【 0 0 4 2 】

次に、図 3 に、このような赤外線センサのチップ全体を上から見た上面図を示す。

【 0 0 4 3 】

図 3 に示すように、この赤外線センサは、単結晶シリコン基板 2 上に撮像領域 3 が形成されている。この撮像領域の左右に隣接する位置には、行選択回路 4 0 が形成されている。これにより両側駆動する。

【 0 0 4 4 】

撮像領域 3 の図下側に隣接する位置には、列選択回路 7 0 が形成されている。また撮像領域 3 の図上側に隣接する位置には、タイミングジェネレータ 9 0 が形成されている。

【 0 0 4 5 】

図 3 に示すように、この赤外線センサは、アナログ回路である撮像領域 3 及び左右両側に配置されたデジタル回路である行選択回路 4 0 間の基板 2 の表面に、熱分離のための溝 3 0 1 が設けられている。

【 0 0 4 6 】

溝のない構造では、デジタル回路 4 0 等で発熱した熱により、撮像領域 3 の行選択回路 4 0 に隣接する周辺部で、バルクシリコン基板温度が上昇する。

【 0 0 4 7 】

本実施形態では、図 3 に示すように、行選択回路 4 0 及び撮像領域 3 間の基板 2 の表面に、断熱用の溝を形成することによって、周辺に配置した回路による撮像領域 3 内部のバルクシリコン基板温度の上昇が抑制される。このために入射赤外線に起因する発熱のみを測定することが可能となり、シェーディング現象を抑えることができる。

【 0 0 4 8 】

図 4 に、本実施形態の別の例を示す。

【 0 0 4 9 】

この例では、図 3 に示したような撮像領域 3 及び行選択回路 4 0 間の基板 2 の表面に溝を設ける他に、撮像領域 3 及び列選択回路 7 0 間、さらに撮像領域 3 及びタイミングジェネレータ 9 0 間に溝を設けたものである。すなわち基板 2 の表面でアナログ回路領域である撮像領域 3 を、完全に囲むように閉曲線状に溝 3 0 2 を形成している。

【 0 0 5 0 】

こうすることによって、行選択回路 4 0 からの発熱の影響だけでなく、列選択回路 7 0 及びタイミングジェネレータ 9 0 からの発熱の影響まで含めて、デジタル回路からの発熱の影響を実質的に完全に排除でき、垂直方向のシェーディングもなくすることができる。

【 0 0 5 1 】

図 5 及び図 6 に、実施形態 1 に係る赤外線センサについて、上述した溝周面部の構造を具体的に示す。図 5 (a) は上面図であり、図 5 (b) はその A - A ' 断面図である。図 6 (a) は上面図であり、図 6 (b) はその A - A ' 断面図である。

【 0 0 5 2 】

まず、図 5 (a) に示すように、撮像領域 3 及び行選択回路 4 0 間に溝 3 0 1 が形成されている。また、撮像領域 3 から行選択回路 4 0 には、行選択線 4 が設けられている。このように溝 3 0 1 は、配線 4 の部分には形成されず、ここでは井戸状に分散配置されている。この場合も溝として表す。

【 0 0 5 3 】

次に、図 5 (b) に、図 5 (a) の行選択線 4 が設けられていない部分で、溝 3 0 1 が設けられている部分である A - A ' 断面図を示す。

【 0 0 5 4 】

図 5 (b) に示すように、溝 3 0 1 は、バルクシリコン基板 2 に達するまで掘られている。

【 0 0 5 5 】

10

20

30

40

50

この溝301は、赤外線検出画素1における中空構造107(図2)の形成工程時に同時に形成することができる。すなわち、赤外線吸収部である酸化シリコン膜120及び窒化シリコン膜118を堆積した後に、赤外線検出画素1におけるエッチングホール119(図2)の形成と同時に、熱分離構造300も形成する。そして、それに引き続きTMAH等のシリコン異方性エッチングを行うことで、赤外線検出画素1の中空構造107(図2)の形成と同時に溝301が完成する。

【0056】

ここで符号150はCMOSトランジスタのゲート配線、符号151は行選択回路配線、符号114は、埋め込み絶縁膜である。

【0057】

図6(a)は、図5(a)に対応する図である。

【0058】

図6(b)に、図6(a)の行選択線4が設けられている部分であるA-A'断面図を示す。

【0059】

図6(b)に示すように、行選択配線4の下には、溝301は形成されていない。こうすることで行選択配線4の段切れを防止することができる。

【0060】

ここで、図6(b)に示すように、デジタル回路である行選択回路40からの行選択線4が存在する領域では溝301は形成されていないが、一般的な画素サイズが40ミクロン程度であるのに対して、行選択線4の幅が1ミクロン以下であることから、断熱に関しては事実上問題が無い。

【0061】

(実施形態2)

次に、本発明の実施形態2について説明する。

【0062】

図7及び図8に、実施形態2に係る赤外線センサについて、上述した溝周面部の構造を具体的に示す。本実施形態では、溝とデジタル回路領域間にシリコン基板よりも熱伝導の高い材料を埋め込んだものである。

【0063】

図7(a)は上面図であり、図7(b)はそのA-A'断面図である。図8(a)は上面図であり、図8(b)はそのA-A'断面図である。本実施形態においても、図3及び図4のように溝301を配置することができる。

【0064】

まず、図7(a)に示すように、撮像領域3及び行選択回路40間に溝301が形成されている。そして溝301及び行選択回路40間には、シリコン基板2よりも熱伝導率が高い金属からなるヒートシンク150'及び151'が埋め込まれている。ヒートシンク150'は、ゲート配線150を形成するときと同時に形成することができる。また、ヒートシンク151'は、配線151を形成するときと同時に形成することができる。また、ヒートシンク151'や150'は基板表面まで配線されて金属プレート等によって放熱されるようにしてもよい。また、ヒートシンク150'を基板2表面まで配線して放熱してもよい。基板2はパッケージ上にマウントすることによって放熱される。

【0065】

また、撮像領域3から行選択回路40には、行選択線4が設けられている。また、ヒートシンク150'の下には、単結晶シリコンからなるヒートシンク310も埋め込まれている。このヒートシンク310も上記のように放熱することができる。また、ヒートシンク310は酸化シリコン等の絶縁膜320に囲まれて絶縁されている。その他の構造は、図5と同じである。

【0066】

図8(a)は、図7(a)に対応する図である。

10

20

30

40

50

【0067】

図8(b)に、図7(a)の行選択線40が設けられている部分であるA-A'断面図を示す。

【0068】

図8(b)に示すように、行配線4の下には、溝301は形成されていない。こうすることで行配線4の段切れを防止することができる。しかしこの場合行選択線4の下においても、ヒートシンク151'、150'、310が埋め込まれている。

【0069】

こうすることで、デジタル回路における発熱を溝301によって断熱するだけでなく、さらにヒートシンク151'、150'、310によって、チップ外部に逃がすことによりさらにシェーディング現象の発生を防止することが可能である。

10

【0070】

そして赤外線センサの特性をフルに発揮できるようなアナログ回路設計、および駆動が可能であるので高感度化が可能である。

【0071】

さらに、製造工程において、フォトリソグラフィ工程におけるマスクパターンの変更のみで、上記の効果を得ることが可能であり、プロセスコストの増加を招くことなく、低コストで高感度の赤外線センサを得ることができる。

【0072】

なお、図1においては出力信号増幅器として、第1入力をゲートとし、第2入力をソースとする単一増幅MOSトランジスタで構成するカラム増幅回路で説明した。この増幅回路は簡単な構成のため、製造上好ましいものである。しかし、2入力を持つのであれば、他の増幅回路例えば差動増幅器を用いることができる。

20

【0073】

また、熱電変換画素についても、シリコンpn接合を用いて説明したが、本発明はそれに限定されるものではなく、例えば酸化バナジウム等のボロメータを用いた熱電変換画素からなる赤外線センサ装置にも適用可能である。

【0074】

その場合には、各画素内に画素選択のための選択トランジスタが必要となることは言うまでも無い。

30

【0075】

【発明の効果】

本発明によれば、撮像領域とデジタル回路との間隔を広く取らなくても熱伝達を防止してシェーディングを防ぐことができチップサイズを低減することが可能な赤外線センサを提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態1に係る赤外線センサの上面図。

【図2】 本発明の実施形態1に係る赤外線センサの熱電変換画素を説明するもので、(a)は平面図、(b)は(a)のA-A'線に沿った断面図。

【図3】 本発明の実施形態1に係る赤外線センサのチップ全体を示す上面図。

40

【図4】 本発明の実施形態1に係る別の赤外線センサのチップ全体を示す上面図。

【図5】 本発明の実施形態1に係る赤外線センサの溝周辺の構造を説明するための拡大図で、(a)は上面図、(b)は(a)のA-A'線に沿った断面図。

【図6】 本発明の実施形態1に係る赤外線センサの溝周辺の構造を説明するための拡大図で、(a)は上面図、(b)は(a)のA-A'線に沿った断面図。

【図7】 本発明の実施形態2に係る赤外線センサの溝周辺の構造を説明するための拡大図で、(a)は上面図、(b)は(a)のA-A'線に沿った断面図。

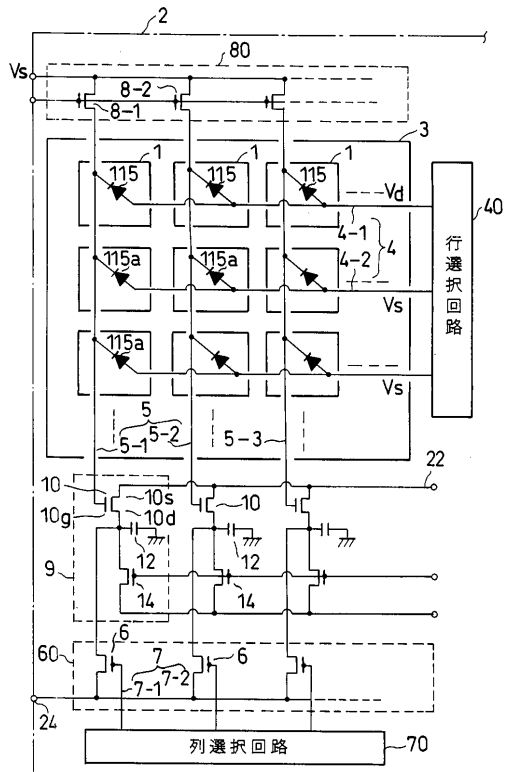
【図8】 本発明の実施形態2に係る赤外線センサの溝周辺の構造を説明するための拡大図で、(a)は上面図、(b)は(a)のA-A'線に沿った断面図。

【符号の説明】

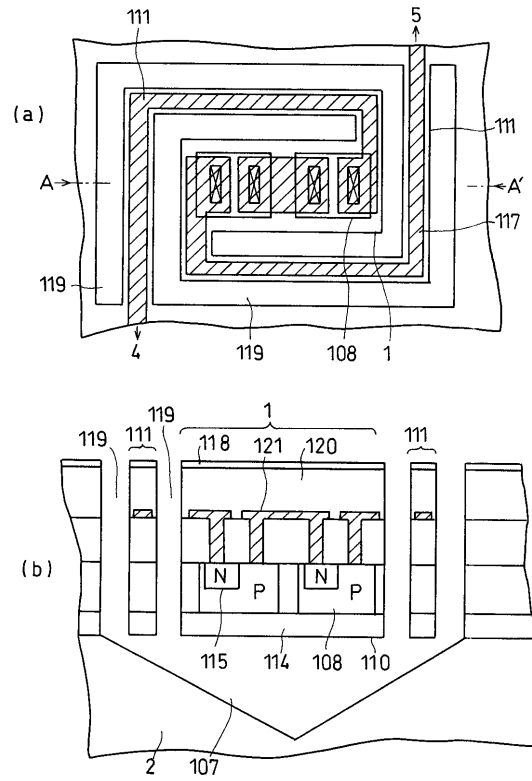
50

1 ... 赤外線検出画素	
2 ... 半導体基板	
3 ... 撮像領域	
4 ... 行選択線	
5 ... 列信号線	
6 ... 列選択トランジスタ	
8 ... 負荷トランジスタ	
9 ... カラム増幅回路	
10 ... MOS増幅トランジスタ	
12 ... 蓄積容量	10
14 ... リセットトランジスタ	
22 ... 増幅トランジスタのソース電圧入力部	
40 ... 行選択回路	
60 ... 列選択トランジスタ群	
70 ... 列選択回路	
80 ... 定電流回路	
90 ... タイミングジェネレータ	
107 ... 中空底部	
108 ... SOI層	
111 ... 支持脚	20
114 ... 埋め込み酸化膜	
115 ... pn接合領域	
118 ... 赤外線吸収部	
119 ... 中空側部	
120 ... 赤外線吸収部	
150 ... MOSトランジスタゲートおよびゲート配線	
300 ... 溝	
301 ... 溝	
302 ... 溝	
310 ... ヒートシンク	30
320 ... 絶縁膜	
151' ... ヒートシンク	
150' ... ヒートシンク	

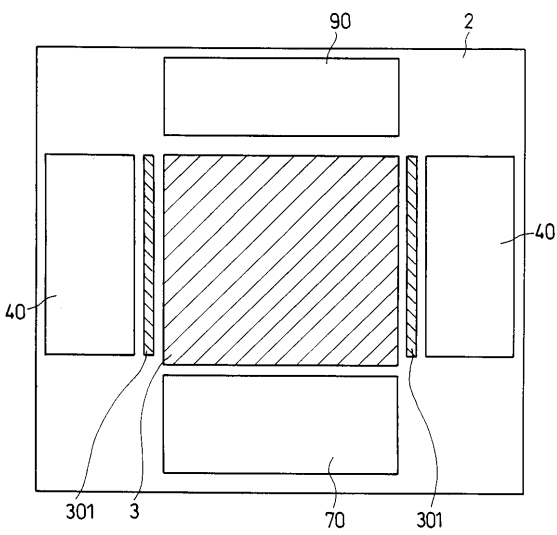
【 図 1 】



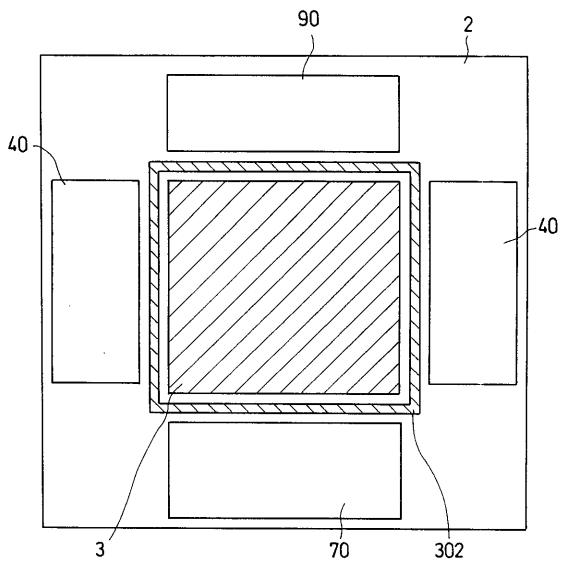
【 図 2 】



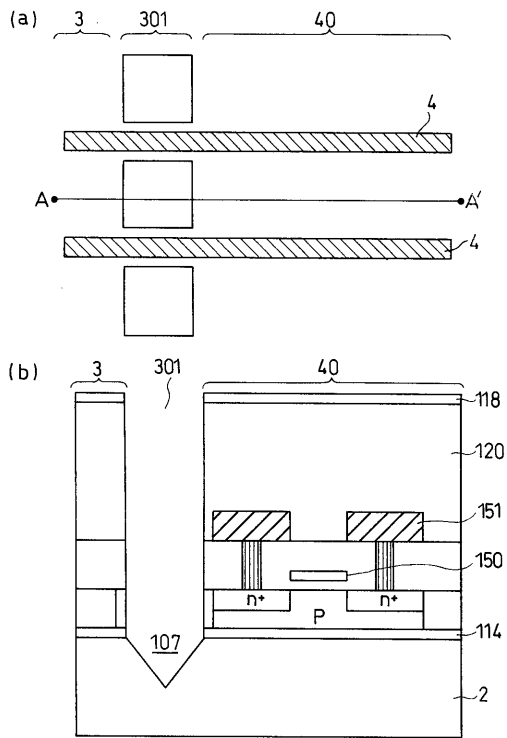
【 図 3 】



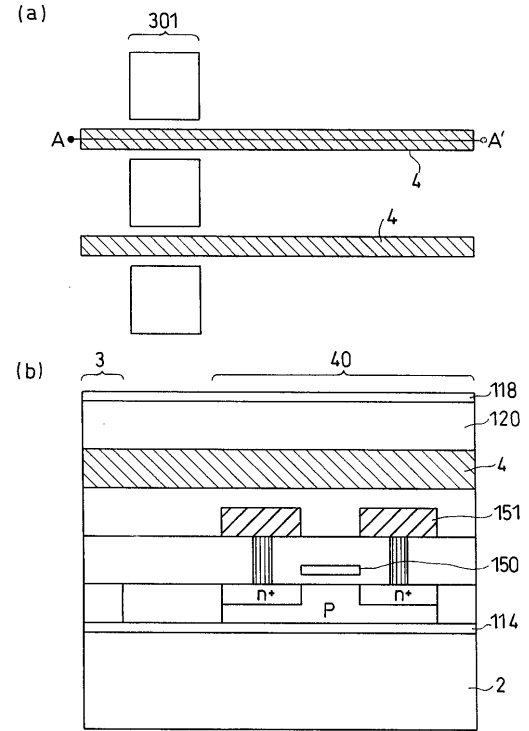
【 図 4 】



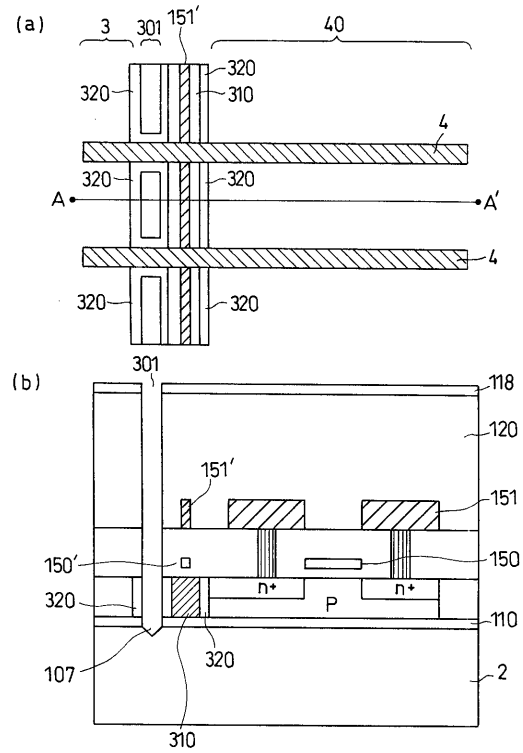
【 図 5 】



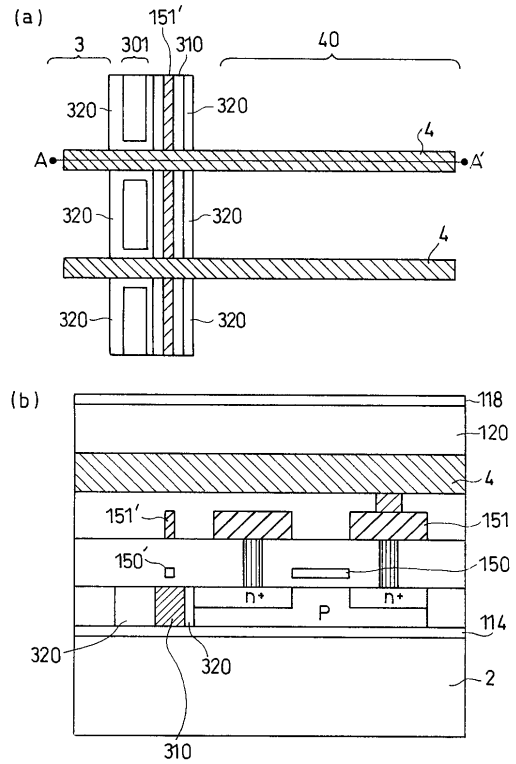
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 真塩 尚哉

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 恩田 春香

(56)参考文献 特開2001-264158(JP,A)

特開2001-267542(JP,A)

特開平03-123078(JP,A)

特開2002-286552(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/14-27/148

G01J 5/00- 5/62

G01J 1/00- 1/46