(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월14일
(11) 등록번호 10-2202991
(24) 등록일자 2021년01월08일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *B32B 9/00* (2006.01)
B32B 9/04 (2006.01) *C23C 16/34* (2006.01)
H01L 21/205 (2006.01) *H01L 29/16* (2006.01)
(52) CPC특허분류
H01L 21/02115 (2013.01)
B32B 9/007 (2013.01)
(21) 출원번호 10-2015-7035025
(22) 출원일자(국제) 2014년05월01일
심사청구일자 2019년04월17일
(85) 번역문제출일자 2015년12월09일
(65) 공개번호 10-2016-0036012
(43) 공개일자 2016년04월01일
(86) 국제출원번호 PCT/US2014/036405
(87) 국제공개번호 WO 2014/182540
국제공개일자 2014년11월13일
(30) 우선권주장
13/890,316 2013년05월09일 미국(US)
(56) 선행기술조사문헌
WO2012086387 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
글로벌웨이퍼스 씨오., 엘티디.
중화민국, 타이완, 신주, 사이언스-베이스드 인더스트리얼 파크, 인더스트리얼 이스트 로드 2, 넘버 8
캔사스 스테이트 유니버시티 리서치 파운데이션
미국 66502-5020 캔자스주 맨하탄 스위트 105 리서치 파크 써클 2005
(72) 발명자
시크리스트, 마이클 알.
미국 63376 미주리주 세인트 피터스 펄 드라이브 501
베리, 비카스
미국 66506 캔자스주 맨하탄 더랜드 홀 1005 캔자스주립대학교 캠퍼스
응우옌, 퐁 티.
미국 66506 캔자스주 맨하탄 더랜드 홀 1005 캔자스주립대학교 캠퍼스
(74) 대리인
양영준, 정은진, 백만기

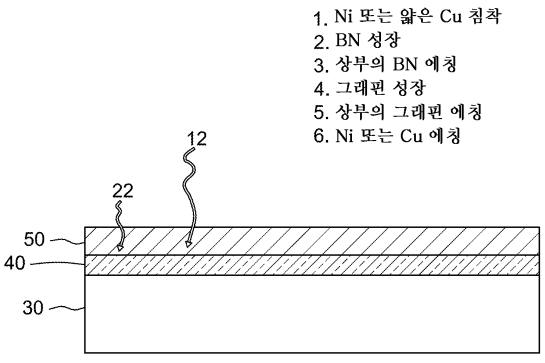
전체 청구항 수 : 총 50 항 심사관 : 양진석

(54) 발명의 명칭 **기판 상의 질화붕소 및 그래핀의 단층의 직접적 및 순차적 형성**

(57) 요 약

본 발명은 일반적으로, 기판, 예컨대 반도체 기판의 표면 상에 직접적으로 그래핀의 층을 제조하는 방법에 관한 것이다. 그래핀의 층은 기판의 표면과 직접 접촉되어 형성될 수 있거나, 물질의 개재 층이 기판 표면과 그래핀 층 사이에 형성될 수 있다.

대 표 도 - 도2a



(52) CPC특허분류
B32B 9/041 (2013.01)
C23C 16/342 (2013.01)
H01L 21/02263 (2013.01)
H01L 21/205 (2013.01)
H01L 29/1606 (2013.01)
B32B 2457/14 (2013.01)

명 세 서

청구범위

청구항 1

하나는 반도체 기판의 전면이고 다른 하나는 반도체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 및 반도체 기판 전면과 배면을 연결하는 주변 연부를 포함하는 반도체 기판으로부터 다층 물품을 제조하는 방법이며,

(a) 반도체 기판의 전면 상에 금속 필름을 형성하는 단계이며, 상기 금속 필름은 금속 필름 전면, 금속 필름 배면, 및 금속 필름 전면과 배면 사이의 벌크 금속 영역을 포함하고, 상기 금속 필름 배면은 반도체 기판 전면과 접촉하는 단계;

(b) 반도체 기판의 전면과 금속 필름 배면 사이에 질화붕소의 층을 형성하는 단계; 및

(c) 반도체 기판의 전면과 금속 필름 배면 사이에 그래핀의 층을 형성하는 단계

를 포함하는, 상기 반도체 기판으로부터 다층 물품을 제조하는 방법.

청구항 2

제1항에 있어서, 단계 (b) 및 (c)를 순서대로 수행하는 것인 방법.

청구항 3

제2항에 있어서, 단계 (b) 및 (c)를 반복하는 것인 방법.

청구항 4

제1항에 있어서, 단계 (b) 전에, 단계 (c)를 수행하는 것인 방법.

청구항 5

제4항에 있어서, 단계 (b) 및 (c)를 반복하는 것인 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 단계 (b)가,

금속 필름 전면을, 붕소 원자 및 질소 원자가 금속 필름의 벌크 금속 영역 내로 내부-확산되기에 충분한 온도에서 붕소-함유 기체 및 질소-함유 기체와 접촉시키고;

금속 필름을 포함하는 반도체 기판을 냉각시켜서, 금속 필름의 벌크 금속 영역으로부터의 붕소 및 질소를 침전시켜, 금속 필름 배면과 반도체 기판의 전면 사이에 질화붕소의 층을 형성하도록 하는 것

을 포함하는 것인 방법.

청구항 7

제1항 내지 제5항 중 어느 한 항에 있어서, 단계 (c)가,

금속 필름을, 탄소 원자가 금속 필름의 벌크 금속 영역 내로 내부-확산되기에 충분한 온도에서 탄소-함유 기체와 접촉시키고;

벌크 금속 영역으로부터 내부-확산된 탄소 원자를 침전시켜, 반도체 기판의 전면과 금속 필름 배면 사이에 그래핀의 층을 형성하는 것

을 포함하는 것인 방법.

청구항 8

제1항 내지 제5항 중 어느 한 항에 있어서, 반도체 기판이 반도체 웨이퍼를 포함하는 것인 방법.

청구항 9

제8항에 있어서, 반도체 웨이퍼가, 규소, 갈륨 비소, 탄화규소, 규소 게르마늄, 질화규소, 이산화규소 및 게르마늄 및 그의 조합으로 이루어진 군으로부터 선택된 물질을 포함하는 것인 방법.

청구항 10

제8항에 있어서, 반도체 웨이퍼가 초크랄스키(Czochralski) 방법에 의해 성장된 단결정 규소 잉곳으로부터 슬라이싱된 규소 웨이퍼를 포함하는 것인 방법.

청구항 11

제1항 내지 제5항 중 어느 한 항에 있어서, 반도체 기판의 전면이 그의 전면 상의 유전 층을 포함하는 것인 방법.

청구항 12

제1항 내지 제5항 중 어느 한 항에 있어서, 반도체 기판의 전면이 그의 전면 상의 산화규소 층을 포함하는 것인 방법.

청구항 13

제12항에 있어서, 산화규소 층이 약 30 나노미터 내지 약 1000 나노미터 두께인 방법.

청구항 14

제1항 내지 제5항 중 어느 한 항에 있어서, 반도체 기판의 전면이 산화규소 층 및 질화규소 층을 포함하며, 상기 산화규소 층은 반도체 기판과 질화규소 층 사이에 존재하는 것인 방법.

청구항 15

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름이 1000℃에서 약 0.05 원자% 이상의 탄소 용해도를 갖는 금속을 포함하는 것인 방법.

청구항 16

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름이 1000℃에서 약 3 원자% 미만의 탄소 용해도를 갖는 금속을 포함하는 것인 방법.

청구항 17

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름이 니켈, 구리, 철, 백금, 팔라듐, 루테늄, 코발트 및 그의 합금으로 이루어진 군으로부터 선택된 금속을 포함하는 것인 방법.

청구항 18

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름이 니켈을 포함하는 것인 방법.

청구항 19

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름이 구리를 포함하는 것인 방법.

청구항 20

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름이 약 50 나노미터 내지 약 20 마이크로미터 두께인 방법.

청구항 21

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름이 약 100 나노미터 내지 약 400 나노미터 두께인 방법.

청구항 22

제6항에 있어서, 붕소-함유 기체가 디보란, 트리클로로보란 및 트리플루오로보란으로 이루어진 군으로부터 선택된 것인 방법.

청구항 23

제6항에 있어서, 질소-함유 기체가 질소 및 암모니아로 이루어진 군으로부터 선택된 것인 방법.

청구항 24

제6항에 있어서, 붕소-함유 기체 및 질소-함유 기체가 동일하며, 상기 기체는 보라진, 트리클로로보라진 및 암모니아-보란으로 이루어진 군으로부터 선택된 것인 방법.

청구항 25

제7항에 있어서, 탄소-함유 기체가 메탄, 에탄, 에틸렌, 아세틸렌, 프로판, 프로필렌, 프로핀, 부탄, 부틸렌, 부틴 및 그의 조합으로 이루어진 군으로부터 선택된 것인 방법.

청구항 26

제25항에 있어서, 금속 필름을 환원 분위기에서 탄소-함유 기체와 접촉시키는 것인 방법.

청구항 27

제26항에 있어서, 환원 분위기가 수소 기체를 포함하는 것인 방법.

청구항 28

제6항에 있어서, 반도체 기판의 냉각이, 금속 필름의 벌크 금속 영역으로부터의 붕소 및 질소를 금속 필름의 전면 상의 질화붕소의 층으로서 침전시키는 것인 방법.

청구항 29

제28항에 있어서, 금속 필름과 탄소-함유 기체의 접촉 전에, 금속 필름 전면으로부터 질화붕소의 층을 제거하는 단계를 추가로 포함하는 방법.

청구항 30

제29항에 있어서, 필름 전면 상의 질화붕소의 층을 산소 플라즈마 에칭에 의해 제거하는 것인 방법.

청구항 31

제1항 내지 제5항 중 어느 한 항에 있어서, 금속 필름을 제거하는 단계를 추가로 포함하는 방법.

청구항 32

제31항에 있어서, 금속 필름을 수성 금속 에칭제와 접촉시킴으로써, 금속 필름을 제거하여, 반도체 기판, 질화붕소 층 및 그래핀 층을 포함하는 다층 구조를 제조하는 것인 방법.

청구항 33

제7항에 있어서, 상부에 금속 필름을 갖는 반도체 기판을 급속히 냉각시킴으로써, 탄소 원자를 침전시켜, 질화붕소 층과 금속 필름 배면 사이에 그래핀의 층을 형성하는 것인 방법.

청구항 34

하나는 반도체 기판의 전면이고 다른 하나는 반도체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 및 반도체 기판 전면과 배면을 연결하는 주변 연부를 포함하는 반도체 기판을 제조하는 방법이며,

반도체 기판의 전면 상에 제1 금속 필름을 형성하는 단계이며, 상기 제1 금속 필름은 금속 필름 전면, 금속 필름 배면, 및 금속 필름 전면과 배면 사이의 벌크 금속 영역을 포함하고, 상기 금속 필름 배면은 반도체 기판 전면과 접촉하는 것인 단계;

반도체 기판의 전면과 금속 필름 배면 사이에 질화붕소의 층을 형성하는 단계;

제1 금속 필름을 제거하는 단계;

질화붕소의 층 상에 탄소-풍부 중합체를 포함하는 층을 침착시키는 단계;

탄소-풍부 중합체 층 상에 제2 금속 필름을 형성하는 단계이며, 상기 제2 금속 필름은 금속 필름 전면, 금속 필름 배면, 및 금속 필름 전면과 배면 사이의 벌크 금속 영역을 포함하고, 상기 금속 필름 배면은 탄소-풍부 중합체를 포함하는 층과 접촉하는 것인 단계;

질화붕소의 층, 탄소-풍부 중합체를 포함하는 층, 및 그 위의 제2 금속 필름을 포함하는 반도체 기판을 수소의 존재 하에 탄소-풍부 중합체 층을 열화시키기에 충분한 온도로 가열하는 단계; 및

탄소 원자를 침전시켜, 질화붕소의 층과 금속 필름 배면 사이에 그래핀의 층을 형성하는 단계

를 포함하는, 상기 반도체 기판을 제조하는 방법.

청구항 35

제34항에 있어서, 탄소-풍부 중합체가 폴리메틸메타크릴레이트 (PMMA), 폴리부타디엔, 폴리스티렌, 폴리(아크릴로니트릴-코-부타디엔-코-스티렌) (ABS), 폴리에틸렌, 폴리프로필렌, 폴리(4'-비닐헥사페닐벤젠) 및 그의 조합으로 이루어진 군으로부터 선택된 것인 방법.

청구항 36

제34항에 있어서, 탄소-풍부 중합체 층이 약 1 나노미터 내지 약 100 나노미터 두께를 갖는 것인 방법.

청구항 37

삭제

청구항 38

다층 물품으로서,

하나는 반도체 기판의 전면이고 다른 하나는 반도체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 전면과 배면을 연결하는 주변 연부, 및 전면과 배면 사이의 중앙 평면을 포함하는 반도체 기판;

반도체 기판의 전면과 접촉하는 질화붕소의 층;

질화붕소의 층과 접촉하는 그래핀의 층; 및

그래핀의 층과 접촉하는 금속 필름을 포함하고, 상기 금속 필름은 금속 필름 전면, 금속 필름 배면, 및 금속 필름 전면과 배면 사이의 벌크 금속 영역을 포함하는 것인 다층 물품.

청구항 39

제38항에 있어서, 금속 필름이 니켈, 구리, 철, 백금, 팔라듐, 루테늄, 코발트 및 그의 합금으로 이루어진 군으로부터 선택된 금속을 포함하는 것인 다층 물품.

청구항 40

다층 물품으로서,

하나는 반도체 기판의 전면이고 다른 하나는 반도체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 전면과 배면을 연결하는 주변 연부, 및 전면과 배면 사이의 중앙 평면을 포함하는 반도체 기판;

반도체 기판의 전면과 접촉하는 질화붕소의 층;

질화붕소의 층과 접촉하는 그래핀의 층; 및

그래핀의 층과 접촉하는 제2의 질화붕소의 층을 포함하는 다층 물품.

청구항 41

제40항에 있어서, 반도체 기판이 반도체 웨이퍼를 포함하는 것인 다층 물품.

청구항 42

제41항에 있어서, 반도체 웨이퍼가 규소, 갈륨 비소, 탄화규소, 규소 게르마늄, 질화규소, 이산화규소, 게르마늄 및 그의 조합으로 이루어진 군으로부터 선택된 물질을 포함하는 것인 다층 물품.

청구항 43

다층 물품으로서,

하나는 실리콘 웨이퍼의 전면이고 다른 하나는 실리콘 웨이퍼의 배면인, 대체로 평행한, 2개의 주 표면, 전면과 배면을 연결하는 주변 연부, 및 전면과 배면 사이의 중앙 평면을 포함하는, 초크랄스키 방법에 의해 성장된 단결정 규소 잉곳으로부터 슬라이싱된 규소 웨이퍼;

실리콘 웨이퍼의 전면과 접촉하는 질화붕소의 층; 및

질화붕소의 층과 접촉하는 그래핀의 층을 포함하는 다층 물품.

청구항 44

제43항에 있어서, 실리콘 웨이퍼의 전면이 유전 층을 포함하는 것인 다층 물품.

청구항 45

제43항에 있어서, 질화붕소의 층이 질화붕소의 2 내지 약 100개의 단원자 두께인 층을 포함하는 것인 다층 물품.

청구항 46

하나는 반도체 기판의 전면이고 다른 하나는 반도체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 전면과 배면을 연결하는 주변 연부, 및 전면과 배면 사이의 중앙 평면을 포함하는 반도체 기판;

반도체 기판의 전면과 접촉하는 그래핀의 층; 및

그래핀의 층과 접촉하는 질화붕소의 층

을 포함하는 다층 물품.

청구항 47

제46항에 있어서, 질화붕소의 층과 접촉하는 제2의 그래핀의 층을 추가로 포함하는 다층 물품.

청구항 48

제46항 또는 제47항에 있어서, 반도체 기판이 반도체 웨이퍼를 포함하는 것인 다층 물품.

청구항 49

제48항에 있어서, 반도체 웨이퍼가 규소, 갈륨 비소, 탄화규소, 규소 게르마늄, 질화규소, 이산화규소, 게르마늄 및 그의 조합으로 이루어진 군으로부터 선택된 물질을 포함하는 것인 다층 물품.

청구항 50

제49항에 있어서, 반도체 기판의 전면이 유전 층을 포함하는 것인 다층 물품.

청구항 51

제46항 또는 제47항에 있어서, 질화붕소의 층이 질화붕소의 2 내지 약 100개의 단원자 두께인 층을 포함하는 것인 다층 물품.

발명의 설명

기 술 분 야

[0001] <관련 출원의 상호 참조>

[0002] 본 출원은 2013년 5월 9일에 출원된 미국 특허 출원 번호 13/890,316을 우선권 주장하며, 그의 전체 개시내용은 그 전문이 본원에 참조로 포함된다.

[0003] 본 발명의 분야는 일반적으로 기판, 예컨대 반도체 기판 상에 그래핀 및 다른 원자 두께인 시트를 제조하는 방법, 보다 구체적으로는 반도체 기판과 접촉하는 개재 층 상에 그래핀의 원자 두께인 시트를 제조하거나 또는 반도체 기판과 접촉하는 그래핀의 층 상에 물질의 원자 두께인 시트의 층을 제조하는 방법에 관한 것이다.

배 경 기 술

[0004] 그래핀은, 벌집 격자로 배열된 sp^2 혼성 (이중 결합) 탄소 원자의 1-원자 두께인 평면형 시트를 형성하는 탄소 원자의 육방정 배열이다. 그래핀은 유망한 전자 물질이다. 이는, 기존의 반도체 가공 기술과의 상용성을 동시에 제공하면서, 그의 우수한 전기적, 열적, 기계적 및 광학적 특성으로 인해 반도체 산업에 상당히 영향을 줄 가능성을 갖는다. 그래핀은 단일 분자 검출, 초고속 FET, TEM에 대한 수소 가시화-템플레이트, 및 조정가능한 스핀트로닉(spintronic) 장치를 비롯하여 특별한 응용성을 나타내어 왔다. 또한, 이는 높은 열 전도도 (25 x 규소), 높은 기계적 강도 (가장 강한 나노물질), 높은 광학 투명도 (80%), 캐리어 제어 밴드간/광학-전이 및 가요성 구조를 나타낸다. 전자적으로, 그래핀은 브릴루인 영역(Brillouin zone)에서 2개 지점 (K 및 K')에서 원자가 밴드에 닿는 전도 밴드로 인해 0의 밴드-갭을 갖는 반-금속이다. 그래핀의 sp^2 탄소 원자로부터의 π-전자의 높은 밀도 및 개방 결정학적 구조에서의 캐리어-구속은, 지금까지 측정된 최고의 이동성을 그래핀에 부여한다.

[0005] 이들 이익을 대량 생산에서 실현하기 위해서는, 그래핀을 대직경 반도체, 예를 들어 규소 기판 상에 통합시키는 경로가 필수적이다. 현재의 방법은 그래핀을 금속 베이스로부터 원하는 기판으로 전달하는 것을 필요로 한다. 원자 두께인 시트의 이러한 전달 공정은 과제가 되며, 낮은 수율 및 상당한 밀도의 접힘 및 찢김으로 이어진다.

[0006] 2004년 에이. 게임(A. Geim) 및 케이. 노보셀로프(K. Novoselov)에 의한 그래핀의 성공적인 단리, 규명 및 특성화 이래로, 그래핀 박편의 가장 통상적인 제조 방법은, 흑연으로부터의 테이프 박리 및 산화된 규소 웨이퍼로의 전달에 의한 것이다. 금속으로부터 그래핀의 전달 공정은 (a) 비일관성 피복으로 인해 대규모 합성에 대해서는 실현가능하지 않고, (b) 그래핀 상에 전달 중합체의 잔류물 (PMMA, PDMS, 열-접착-테이프)을 남겨서 캐리어-산란을 증가시키고, (c) 접힘, 주름 및 찢김을 생성한다. 따라서, 그래핀의 전달은 산업적 가공에 대해서는 실현가능하지 않다. 명백히, 스코치-테이프 방법은 반도체 산업에 대해 확장가능하지 않다. 이들 결점으로 인해, 이러한 방법은 작고 불규칙한 형상의 그래핀 박편을 생성하며, 규소와의 대직경 통합으로의 확장에 적합하지 않다. 문헌 [A. K. Geim and K.S. Novovselov, "The Rise of Graphene" Nature Materials 6 (2007) 183-191]을 참조한다.

[0007] 웨이퍼 레벨 그래핀 및 그래핀의 대면적 시트의 제조에 대한 연구는 2가지 주요 옵션의 개발을 제공하였다.

[0008] 먼저, 조지아 공과대학의 더블유. 디히어(W. deHeer)의 그룹은, 초고온에서의 규소 승화 및 삼출에 의한 SiC 웨이퍼 상의 그래핀 층의 형성을 입증하였다. 이러한 기술의 단점은, SiC 웨이퍼의 높은 비용, SiC 웨이퍼의 보다 작은 직경, 및 규소 웨이퍼 상의 가능한 통합 스케일의 부재이다. 일부 그룹은 규소 상의 SiC 침착, 및 침착된 SiC 층 상의 그래핀 형성을 시도하는 것에 대해 작업중이다. 문헌 [P. First, W. deHeer et al, "Epitaxial Graphenes on Silicon Carbide" MRS Bulletin 35, 296-305 (2010)]을 참조한다.

[0009] 한국 및 텍사스 대학에서의 그룹은 금속 호일, 예컨대 Cu 및 Ni 상의 그래핀 형성을 입증하였다. 문헌 [S. Bae et al, "Roll-to Roll Production of 30 inch Graphene Films for Transparent Electrodes" Nature Nanotechnology 5, 574-578 (2010)] 및 [X. Li et al, ECS Transactions, "Synthesis, Characterization, and Properties of Large-Area Graphene Films" 19 (5), 41-52 (2005)]을 참조한다. 500 mtorr와 같은 압력에서 CVD 챔버 내에서 700 내지 1000℃ 범위의 온도에서 수소와 혼합된 메탄과 같은 탄소 공급원을 사용하여, 탄소가 금속 필름 내로 흡수되고, 냉각시에 금속 호일의 표면으로 격리 또는 침전되어, 공정 조건 및 금속 호일에 따라 단층 또는 다층 그래핀을 형성한다. 이어서, 그래핀 층은 산화된 규소로 전달되어야 한다. 전달 공정에서는 일반적으로 그래핀 상의 PMMA와 같은 물질을 사용하고, 이어서 금속 호일을 용해시킨 다음, 그래핀을 이산화규소 층으로 접속시키고, 최종적으로 PMMA를 제거하여 규소 상의 SiO_2 상에 그래핀을 남긴다. 금속 호일 상의 그

래핀 형성은 그래핀의 대형 시트가 생성되는 것을 가능하게 하지만, 전자 장치 제작을 위해 대면적 그래핀 시트를 대직경 규소 기판으로 전달하는 공정은 과제가 된다. 필름 응력, 화학적 잔류물, 접합 결함 및 그래핀 필름 내의 주름과 같은 문제점은 제조가능한 공정에 대한 상당한 과제가 될 가능성이 있다.

발명의 내용

[0010] 요약하면, 본 발명은, 하나는 반도체 기판의 전면이고 다른 하나는 반도체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 및 반도체 기판 전면과 배면을 연결하는 주변 연부를 포함하는 반도체 기판으로부터 다층 물품을 제조하는 방법에 관한 것이다. 방법은 (a) 반도체 기판의 전면 상에 금속 필름을 형성하는 단계이며, 상기 금속 필름은 전면, 금속 필름 배면, 및 금속 필름 전면과 배면 사이의 벌크 금속 영역을 포함하고, 상기 금속 필름 배면은 반도체 기판 전면과 접촉하는 것인 단계를 포함한다. 방법은 (b) 반도체 기판의 전면과 금속 필름 배면 사이에 질화붕소 층을 형성하는 단계를 포함한다. 방법은 (c) 반도체 기판의 전면과 금속 필름 배면 사이에 그래핀의 층을 형성하는 단계를 포함한다.

[0011] 본 발명은 추가로, 하나는 반도체 기판의 전면이고 다른 하나는 반도체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 및 반도체 기판 전면과 배면을 연결하는 주변 연부를 포함하는 반도체 기판을 제조하는 방법에 관한 것이다. 방법은, 반도체 기판의 전면 상에 제1 금속 필름을 형성하는 단계이며, 상기 제1 금속 필름은 금속 필름 전면, 금속 필름 배면, 및 금속 필름 전면과 배면 사이의 벌크 금속 영역을 포함하고, 상기 금속 필름 배면은 반도체 기판 전면과 접촉하는 것인 단계; 반도체 기판의 전면과 금속 필름 배면 사이에 질화붕소의 층을 형성하는 단계; 제1 금속 필름을 제거하는 단계; 질화붕소의 층 상에 탄소-풍부 중합체를 포함하는 층을 침착시키는 단계; 탄소-풍부 중합체 층 상에 제2 금속 필름을 형성하는 단계이며, 상기 제2 금속 필름은 금속 필름 전면, 금속 필름 배면, 및 금속 필름 전면과 배면 사이의 벌크 금속 영역을 포함하고, 상기 금속 필름 배면은 탄소-풍부 중합체를 포함하는 층과 접촉하는 것인 단계; 질화붕소의 층, 탄소-풍부 중합체를 포함하는 층, 및 그 위의 제2 금속 필름을 포함하는 반도체 기판을 수소의 존재 하에 탄소-풍부 중합체 층을 열화시키기에 충분한 온도로 가열하는 단계; 및 탄소 원자를 침전시켜, 질화붕소의 층과 금속 필름 배면 사이에 그래핀의 층을 형성하는 단계를 포함한다.

[0012] 본 발명은 또한 추가로, 하나는 공여체 기판의 전면이고 다른 하나는 공여체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 전면과 배면을 연결하는 주변 연부, 및 전면과 배면 사이의 중앙 평면을 포함하는 반도체 기판; 반도체 기판의 전면과 접촉하는 질화붕소의 층; 및 질화붕소의 층과 접촉하는 그래핀의 층을 포함하는 다층 물품에 관한 것이다.

[0013] 본 발명은 또한 추가로, 하나는 공여체 기판의 전면이고 다른 하나는 공여체 기판의 배면인, 대체로 평행한, 2개의 주 표면, 전면과 배면을 연결하는 주변 연부, 및 전면과 배면 사이의 중앙 평면을 포함하는 반도체 기판; 반도체 기판의 전면과 접촉하는 그래핀의 층; 및 그래핀의 층과 접촉하는 질화붕소의 층을 포함하는 다층 물품에 관한 것이다.

도면의 간단한 설명

[0014] 도 1은 평면형 질화붕소 상의 그래핀의 구조의 도시이다. 그래핀의 탄소는 2차원 평면형 벌집 격자로 배열되어 있다.

도 2a는 반도체 기판의 초기 구조의 도시이다.

도 2b는 필름의 CVD 가공 및 상부 층 및 금속의 에칭 후의 반도체 기판 상의 질화붕소-상-그래핀 층의 도시이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명은 기판, 예를 들어 반도체 기판, 예컨대 반도체 웨이퍼 상에 직접적으로 그래핀을 형성하는 방법에 관한 것이다. 직접적이란, 그래핀이 층 전달 없이 기판 상에 형성됨을 의미한다. 직접적 형성은 기판과 그래핀 층 사이의 개재 층의 존재를 배제하지는 않는다. 즉, 그래핀이 기판의 표면 상에 형성될 수 있거나, 또는 기판과 접촉되는 층의 표면 상에 형성될 수 있다. 본 발명의 방법의 일부 실시양태에 따르면, 개재 층을 반도체 기판의 전면 상에 침착시킨다. 그 후, 그래핀의 층을 개재 층 상에 형성한다. 일부 실시양태에서, 그래핀 층 상에 추가의 층을 침착시킬 수 있다. 따라서, 본 발명은 추가로, 반도체 기판, 개재 층, 및 그래핀의 층을 포함하는 다층 물품에 관한 것이다. 일부 실시양태에서, 개재 층은 그래핀의 탄소 격자와 등전자인 물질을 포함한

다. 바람직한 실시양태에서, 등전자 개재 층은 질화붕소를 포함하고, 다층 물품은 반도체 기판, 질화붕소의 개재 층, 및 그래핀의 층을 포함한다. 본 발명의 방법에 따라 제조될 수 있는, 질화붕소 층 (20) 상의 그래핀 층 (10)의 도시인 도 1을 참조한다. 또한, 필름의 CVD 가공 및 상부 층 및 금속의 에칭 후의 반도체 기판(30) (유전 층(40)을 추가로 포함함) 상의 질화붕소 층 (20)과 접촉하는 그래핀 층 (10)의 도시인 도 2b를 참조한다.

[0016] 본 발명의 방법의 일부 실시양태에 따르면, 그래핀 층을 반도체 기판의 전면 상에 침착시킨다. 그 후, 그래핀 층 상에, 또 다른 물질, 바람직하게는 그래핀과 등전자인 물질의 층을 형성한다. 일부 실시양태에서는, 등전자 물질을 포함하는 층 상에 추가의 그래핀 층이 침착될 수 있다. 따라서, 본 발명은 추가로, 반도체 기판, 그래핀의 층, 및 그래핀과 등전자인 물질의 층을 포함하는 다층 물품에 관한 것이다. 바람직한 실시양태에서, 등전자 개재 층은 질화붕소를 포함하고, 다층 물품은 반도체 기판, 그래핀의 개재 층, 및 질화붕소의 층을 포함한다. 일부 실시양태에서는, 질화붕소의 층 상에 추가의 그래핀 층이 침착될 수 있다.

[0017] 기판, 예를 들어 반도체 기판의 전면과 그래핀의 층 또는 층들 사이에, 또는 그래핀의 다중 층들 사이에, 등전자 층, 예를 들어 질화붕소를 혼입하는 것은, 생성된 다층 구조에 대해 여러 이점을 부여한다. 최근의 실험 및 이론은, 계면 전하-포획 및 국소-응력으로 인해, SiO_2 상의 그래핀이 < 15,000 ㎠/Vs의 캐리어 이동도를 나타내며, BN-상-그래핀이 60,000 내지 150,000 ㎠/Vs 범위의 향상된 캐리어 이동도를 나타냄을 제시하고 있다. 이는 질화붕소의 원자 규모의 평활도, 절연 유전 특성, 최소 전하-불순물 부위, 큰 밴드-갭, 낮은 유전 상수, 그래핀과 유사한 격자-상수 (차이 = 2%), 및 낮은 전자-홀-퍼들로 인한 것으로 여겨진다.

[0018] 유리하게는, 본 발명의 방법은, 대직경 반도체 웨이퍼, 예를 들어 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부가 그래핀의 적어도 1개의 층으로 코팅되는 것을 가능하게 한다. 일부 실시양태에서, 반도체 기판은 그래핀과 등전자인 물질, 예를 들어 질화붕소의 개재 층을 포함한다. 일부 실시양태에서, 반도체 기판은 그래핀의 개재 층, 및 그래핀과 등전자인 물질, 예를 들어 질화붕소의 층을 포함한다. 일부 실시양태에서, 반도체 기판은 제1의 그래핀의 층, 및 그래핀과 등전자인 물질, 예를 들어 질화붕소의 층, 및 질화붕소의 층 상의 제2의 그래핀의 층을 포함한다. 일부 실시양태에서, 본 발명의 방법은, 대직경 반도체 웨이퍼, 예를 들어 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부가 질화붕소의 층 및 그래핀의 단일 단원자 층으로 코팅되는 것을 가능하게 한다. 일부 실시양태에서, 본 발명의 방법은, 대직경 반도체 웨이퍼, 예를 들어 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부가 질화붕소의 개재 층 및 그래핀의 2개의 단원자 층으로 코팅되는 것을 가능하게 한다. 즉, 그래핀 층은 단원자 두께인 그래핀의 2개의 층을 포함한다. 일부 실시양태에서, 본 발명의 방법은, 대직경 반도체 웨이퍼, 예를 들어 이산화규소로 코팅된 규소 웨이퍼의 적어도 일부가 질화붕소의 층 및 단원자 두께인 그래핀의 3개 이상의 층을 갖는 그래핀의 층으로 코팅되는 것을 가능하게 한다. 즉, 그래핀 층은 단원자 두께인 그래핀의 3개 이상의 층을 포함한다. 본 발명의 방법은, 단원자 두께인 그래핀 층의 여러 연속 층, 예컨대 단원자 두께인 그래핀의 2개의 층 내지 단원자 두께인 그래핀의 약 100개의 층이 침착되는 것을 가능하게 한다. 일부 실시양태에서, 그래핀 층은 단원자 두께인 그래핀의 2개의 층 내지 단원자 두께인 그래핀의 약 50개의 층, 예컨대 단원자 두께인 그래핀의 3개의 층 내지 단원자 두께인 그래핀의 약 50개의 층을 포함한다.

[0019] 일부 실시양태에서, 질화붕소의 층 및 그래핀의 층은 어느 순서로나 침착될 수 있다. 일부 실시양태에서, 다층 구조는 반도체 웨이퍼, 예를 들어 산화규소 층 및 질화규소 층을 포함하는 규소 웨이퍼를 포함한다. 이러한 기판 상에, 질화붕소의 층, 및 단원자 두께인 그래핀 층, 단원자 두께인 그래핀의 이중층, 3개 이상의 층, 예컨대 3개의 층 내지 약 100개의 층, 또는 약 3개의 층 내지 약 50개의 층을 포함하는 단원자 두께인 그래핀의 다층이 침착될 수 있다.

[0020] 본 발명의 실시양태에서, 질화붕소 층은 단일 단원자 두께인 층, 단원자 두께인 질화붕소의 2개의 층을 포함하는 층, 또는 질화붕소의 3개 이상의 층을 포함하는 단원자 두께인 질화붕소의 다층일 수 있다. 일부 실시양태에서, 질화붕소 층은 단원자 두께인 질화붕소 층의 2 내지 약 100개의 연속 층, 예컨대 단원자 두께인 질화붕소 층의 2 내지 약 50개의 연속 층, 예컨대 단원자 두께인 질화붕소 층의 3 내지 약 50개의 연속 층을 포함할 수 있다. 일부 실시양태에서는, 웨이퍼의 전체 주 표면이 그래핀의 층 또는 다층으로 코팅될 수 있다. 일부 실시양태에서는, 웨이퍼의 주 표면의 일부가 그래핀의 층 또는 다층으로 코팅될 수 있다.

[0021] 일부 실시양태에서는, 기판, 예를 들어 반도체 기판 상에, 교호하는 질화붕소 층 및 그래핀 층의 다층 스택이 형성될 수 있다. 질화붕소 층이 처음 침착된, 즉 기판과 직접 접촉하는 층일 수 있거나, 또는 그래핀 층이 처음 침착된 층일 수 있다. 일부 실시양태에서, 다층은 기판 상의 그래핀의 1개의 층 및 질화붕소의 1개의 층의 단일 스택을 포함할 수 있다. 일부 실시양태에서, 다층은 2 내지 약 100개, 예컨대 약 2 내지 약 50개의 스택을 포함할 수 있으며, 각각의 스택은 기판 상의 그래핀의 1개의 층 및 질화붕소의 1개의 층을 포함한다. 여기

서 각각의 층은, 그래핀 또는 질화붕소의 1, 2 또는 3개 또는 그 초과, 예컨대 약 50개의 단원자 두께인 층을 포함할 수 있다.

[0022] 일반적으로, 본 발명의 방법은 반도체 기판의 주 표면 상의 금속 필름의 침착에 의존한다. 금속 필름은 전구화합물 및 분자로부터 층 원자, 예를 들어 탄소, 질소 및 붕소의 해리를 촉매하는 금속을 포함한다. 일부 실시양태에서, 이들 해리된 원자는 금속 층 내에 용해되고, 이어서 냉각시에 층으로부터 침전된다. 금속 필름이 니켈을 포함하는 실시양태에서, 니켈 금속 필름은 (질화붕소 침착 공정에서는) 붕소 및 질소 원자 또는 (그래핀 침착 공정에서는) 탄소 원자를 흡수하고, 흡수된 원자는 냉각 단계 동안 침전되고, 층의 품질은 냉각 속도와 관련되어 있다. 일부 실시양태에서, 이들 해리된 원자는 입자-경계를 통해 확산되어 금속-기판 계면 상에 직접적으로 그래핀 또는 BN을 생성한다. 박막-구리에서, 원자는 입자-경계를 통해 확산되고, 금속-기판 계면에서 핵형성되어 질화붕소 및 그래핀의 층을 형성한다. 일부 실시양태에서, 그래핀 및 BN은 또한 금속 필름의 전면(금속-공기 계면)에서 생성될 수 있다. 이러한 실시양태에서, 금속 필름의 전면 상에 형성된 층은 (예를 들어, 산소 플라즈마에 의해) 별도로 제거된다. 따라서, 본 발명의 방법의 일부 실시양태에 따르면, 반도체 기판 (예를 들어, 산화규소 및/또는 질화규소와 같은 유전 층을 포함할 수 있는 규소 웨이퍼)을 금속 필름 침착 단계에 적용한다. 일부 실시양태에 따르면, 이러한 단계 후에, 금속 필름을 포함하는 반도체 기판을, 붕소 및 질소 원자가 금속 필름의 벌크 내로 내부-확산되기에 충분한 온도에서 붕소 및 질소 원자를 포함하는 전구물질에 노출시킨다. 이어서, 물품을 냉각시켜 반도체 기판과 금속 필름의 배면 사이에서 질화붕소의 층을 격리 및 침전시킨다. 그 후, 다층 구조를 탄소 공급원에 노출시켜서 탄소를 금속 필름 내로 흡수시킨다. 일부 실시양태에 따르면, 층 침착의 순서를 역전시켜서 기판 상에 직접적으로 그래핀의 층을 제조하고, 이어서 질화붕소의 층을 제조할 수 있다. 일부 실시양태에서, 다중 층 침착을 수행하여, 각각 질화붕소 개재 층을 갖는 1개 이상의 그래핀 층을 포함하는 다층 필름을 제조할 수 있다. 본 발명의 방법에 따르면, 그래핀 및 질화붕소 스택은 반도체 기판과 직접 접촉하는 층으로서 그래핀을 포함할 수 있거나, 또는 반도체 기판과 직접 접촉하는 층으로서 질화붕소를 포함할 수 있다.

[0023] 일부 실시양태에서, 탄소 공급원은, 금속 필름의 침착 전에 반도체 기판의 표면 상에 침착된 탄화수소-함유 자가-조립 단층 또는 탄소-풍부 중합체일 수 있다. 일부 실시양태에서, 탄소 공급원은 탄화수소-함유 자가-조립 단층 및 탄소-풍부 중합체의 조합일 수 있으며, 이들 둘 다는 금속 필름의 침착 전에 반도체 기판의 표면 상에 침착된다. 일부 실시양태에서, 탄소 공급원은 탄소-풍부 기체, 예를 들어 메탄일 수 있으며, 여기서 탄소는 증착 공정 동안 금속 필름 내로 흡수된다. 일부 실시양태에서는, 고체 탄소 공급원, 예를 들어 자가-조립 단층 및/또는 중합체가 반도체 기판과 금속 필름 사이에 배치될 수 있으며, 방법은 탄소-함유 기체로부터의 탄소 흡수를 추가로 포함한다.

[0024] 일부 실시양태에서, 반도체 기판의 주 표면 상에 침착된 금속은 (질화붕소 층의 형성 단계에서는) 붕소 및 질소 및 (그래핀의 형성 단계에서는) 탄소의 침착 온도에서 높은 용해도를 갖는다. 이러한 금속의 예는 니켈이다. 이들 실시양태에서, 붕소 및 질소는 붕소 공급원 및 질소 공급원 또는 붕소와 질소의 조합 공급원으로부터 금속 내로 흡수될 수 있다. 다층 구조가 냉각되는 경우에, 금속 필름으로부터의 붕소 및 질소가 격리 및 침전되어서, 반도체 기판과 금속 필름 사이에 질화붕소의 1개 이상의 층이 침착된다. 또한, 탄소는 고체 또는 기체상 탄소 공급원으로부터 금속 필름 내로 흡수될 수 있다. 다층 구조가 냉각되는 경우에, 금속 필름으로부터 탄소가 격리 및 침전되어서, 질화붕소 층과 금속 필름 사이에 그래핀의 1개 이상의 층이 침착된다.

[0025] 본 발명의 일부 실시양태에서는, 반도체 기판의 주 표면 상에 침착된 금속이 붕소/질소 침착 및 탄소 침착의 온도에서 낮은 또는 실질적으로 0인 탄소 용해도를 갖는다. 이러한 금속은, 예를 들어 구리를 포함한다. 구리 금속 필름은 구리 입자를 포함할 수 있다. 구리 필름이 기판 상에 침착된 실시양태에서, B 및 N 원자는 입자-경계를 통해 확산되고, 기판-구리 계면에서 핵형성된다. 기판이 냉각됨에 따라, 구리 층으로부터 질화붕소가 격리되고, 반도체 기판의 전면과 금속 필름의 배면 사이에 질화붕소의 층이 형성된다. 유사하게, 승온은 탄소 공급원, 예를 들어 기체상 탄소 또는 탄소 함유 중합체를 열화시켜, 탄소 원자가 구리 입자들 사이에 확산되도록 한다. 금속 표면은 질화붕소 층과 금속 필름 사이에서 그래핀의 1개 이상의 층이 성장하는 것을 촉매한다.

[0026] 일부 실시양태에서, 금속 층은 반도체 기판의 전체 주 표면 상에 침착될 수 있다. 일부 실시양태에서, 금속 층은 기판의 일부, 예컨대 주 표면의 총 면적의 약 10% 이상, 또는 총 면적의 약 25% 이상, 또는 총 면적의 약 50% 이상, 또는 총 면적의 약 75% 이상 상에 침착될 수 있다. 일부 실시양태에서는, 금속 층이 반도체 기판의 전체 주 표면 상에 침착될 수 있고, 그 후에 금속이 통상의 리소그래피 기술을 사용하여 제거되어, 기판의 주 표면 상에 원하는 패턴의 금속 침착을 남길 수 있다.

[0027] 반도체 기판, 질화붕소의 층, 그래핀의 층 및 금속 필름을 포함하는 다층 구조의 형성이 완료된 후, 금속 필름을, 예를 들어 에칭에 의해 제거하여, 반도체 기판, 그래핀과 등전자인 물질, 예를 들어 질화붕소의 층, 및 그래핀의 층을 포함하는 다층 반도체 구조를 얻을 수 있다. 대안적 실시양태에서, 다층 반도체 구조는 반도체 기판, 그래핀의 층, 및 그래핀과 등전자인 물질, 예를 들어 질화붕소의 층을 포함한다. 본 발명의 실시양태에서, 그래핀 및 질화붕소의 층은 물질의 단일 단원자 두께인 층을 함유할 수 있거나, 또는 물질의 다중 단원자 두께인 층, 예컨대 2 내지 약 100개의 단원자 두께인 층, 또는 2 내지 약 50개의 단원자 두께인 층, 또는 3 내지 약 50개의 단원자 두께인 층을 함유할 수 있다. 또한 추가의 실시양태는 그래핀 및 질화붕소의 교호 층의 스택을 포함한다. 그래핀 층은 반도체 기판의 주 표면 상의 금속 층과 동일한 치수를 갖는다. 이러한 관점에서, 방법은, 예를 들어 금속 층의 리소그래피에 의해, 반도체 기판의 주 표면 상에 원하는 패턴을 갖는 그래핀 층을 제조하는 것을 가능하게 한다. 유리하게는, 그래핀은 어떠한 층 전달 단계도 없이 침착된다.

[0028] 본 발명의 방법에 따르면, 그래핀 층(들)은 반도체 기판 상에 직접적으로, 즉 층 전달 단계 없이 형성된다. 반도체 기판 상의 직접적 형성은 개재 층, 예를 들어 질화붕소와 같은 등전자 물질의 층의 존재를 배제하지는 않는다. 반도체 기판은, 하나는 기판의 전면이고 다른 하나는 기판의 배면인, 대체로 평행한, 2개의 주 표면을 포함할 수 있다. 주변 연부는 전면과 배면을 연결하고, 중앙 평면은 전면과 배면 사이에 놓인다. 본원에 기재된 바와 같은 임의의 작업 전에, 기판의 전면 및 배면은 실질적으로 동일할 수 있다. 표면은 단지 편의상 "전면" 또는 "배면"으로서 언급되고, 이는 일반적으로 본 발명의 방법의 작업이 수행되는 표면을 구별하기 위한 것이다. 본 발명의 일부 실시양태에서, 본 발명의 작업은 반도체 기판의 전면 상에서 수행된다. 본 발명의 일부 실시양태에서, 본 발명의 작업은 반도체 기판의 전면 및 배면 둘 다에서 수행된다.

[0029] 일부 실시양태에서, 반도체 기판은 반도체 웨이퍼를 포함한다. 바람직한 실시양태에서, 반도체 웨이퍼는 규소, 탄화규소, 규소 게르마늄, 질화규소, 이산화규소, 갈륨 비소, 질화갈륨, 인화인듐, 비소화인듐갈륨 및 게르마늄으로부터 선택된 물질을 포함한다. 반도체 웨이퍼는, 예를 들어 다층 구조 내에, 이러한 물질의 조합을 포함할 수 있다. 일반적으로, 반도체 웨이퍼는 약 20 mm 이상, 보다 전형적으로는 약 20 mm 내지 약 500 mm의 직경을 갖는다. 일부 실시양태에서, 직경은 약 20 mm 이상, 약 45 mm 이상, 약 90 mm 이상, 약 100 mm 이상, 약 150 mm 이상, 약 200 mm 이상, 약 250 mm 이상, 약 300 mm 이상, 약 350 mm 이상, 또는 심지어 약 450 mm 이상이다. 반도체 웨이퍼는 약 100 마이크로미터 내지 약 5000 마이크로미터, 예컨대 약 100 마이크로미터 내지 약 1500 마이크로미터의 두께를 가질 수 있다.

[0030] 특히 바람직한 실시양태에서, 반도체 웨이퍼는, 통상의 초크랄스키(Czochralski) 결정 성장 방법에 따라 성장된 단결정 잉곳으로부터 슬라이싱된 단결정 규소 웨이퍼로부터 슬라이싱된 웨이퍼를 포함한다. 이러한 방법 뿐만 아니라 표준 규소 슬라이싱, 랩핑, 에칭 및 연마 기술이, 예를 들어 문헌 [F. Shimura, Semiconductor Silicon Crystal Technology, Academic Press, 1989] 및 [Silicon Chemical Etching, (J. Grabmaier ed.) Springer-Verlag, N.Y., 1982] (본원에 참고로 포함됨)에 개시되어 있다. 일부 바람직한 실시양태에서, 반도체 규소 기판은 CZ 방법에 의해 성장된 연마 규소 웨이퍼이다. 규소 기판은 임의의 결정 배향, 예를 들어 (100), (110) 및 (111)을 가질 수 있다. 규소 웨이퍼 비저항은 기판 상에 그래핀 층을 형성하는데에 결정적이지는 않다. 그러나, 비저항은 최종 사용 요건에 따라 달라질 수 있다. 이러한 관점에서, 웨이퍼는 대량 도핑될 수 있거나, 반-절연성일 수 있거나, 또는 대략 이들 사이의 도핑 프로파일을 가질 수 있다. 따라서, 웨이퍼의 비저항은 약 1 밀리옴-cm 내지 약 10 킬로옴-cm로 달라질 수 있다.

[0031] 본 발명의 방법의 일부 실시양태에서, 반도체 기판의 주 표면 중 하나 이상은 유전 층으로 개질될 수 있다. 일부 바람직한 실시양태에서, 반도체 기판은, 전면 층이 산화된 규소 웨이퍼를 포함한다. 바람직한 실시양태에서는, 전면 층, 즉, 금속 필름이 침착되는 층이 산화된다. 반도체 기판이 규소 웨이퍼를 포함하는 바람직한 실시양태에서는, 규소 웨이퍼의 전면은 바람직하게는 규소 웨이퍼의 전면 층이 약 30 nm 내지 약 1000 nm, 약 50 nm 내지 약 500 nm, 바람직하게는 약 50 nm 내지 약 300 nm의 두께, 예컨대 약 90 nm 내지 약 300 나노미터 두께, 또는 약 90 nm 내지 약 200 나노미터 두께를 갖는 이산화규소 (SiO_2) 층을 포함하도록 산화된다. 규소 웨이퍼의 전면은, 관련 기술분야에 공지된 바와 같이 습식 또는 건식 산화에 의해 열적으로 산화될 수 있다. 산화는 일반적으로, 수증기 및/또는 산소를 사용하여 약 800℃ 내지 약 1200℃의 온도에서 일어난다.

[0032] 일부 실시양태에서, 반도체 기판은 질화규소의 층을 포함할 수 있다. 일부 실시양태에서, 반도체 기판은, 전면 층이 상기 기재된 바와 같이 산화되고, 이어서 질화규소 층이 침착된 규소 웨이퍼를 포함한다. 질화규소는 금속 원자, 예를 들어 니켈의 산화규소 층으로의 확산을 감소시키도록 장벽 층을 유리하게 형성하기 때문에, 질화규소 층이 산화규소 층 상에 침착될 수 있다. 일부 실시양태에서, 질화규소 층은 약 50 나노미터 내지 약 1000

나노미터의 두께 범위를 가질 수 있다. 일부 실시양태에서, 질화규소 층은 약 50 나노미터 내지 약 500 나노미터의 두께 범위를 가질 수 있다. 일부 실시양태에서, 질화규소 층은 약 70 나노미터 내지 약 250 나노미터의 두께 범위를 가질 수 있다. 질화규소 층의 두께는, 보다 얇은 층이 바람직하도록 하는 장치 성능과, 보다 두꺼운 층이 바람직하도록 하는 불순물의 반도체 기판으로의 내부-확산을 방지하기 위한 효과적인 장벽 사이의 상충 관계를 고려하여 결정된다. 질화규소는, 기판을 승온에서 질소 분위기와 접촉시킴으로써 산화규소 층의 표면 상에 침착될 수 있다. 예를 들어, 반도체를 약 700℃ 내지 약 1300℃ 범위의 온도에서 질소 기체 또는 암모니아에 노출시킬 수 있다. 일부 실시양태에서, 질화규소는, 약 800℃에서 화학 증착에 의해 형성된다.

[0033] 본 발명의 방법에 따르면, 반도체 기판, 예를 들어 산화규소 층 및 임의로 질화규소 층을 포함하는 규소 웨이퍼의 주 표면은 금속 필름으로 코팅된다. 일부 실시양태에서는, 금속 층이 반도체 기판의 전체 주 표면 상에 침착될 수 있다. 일부 실시양태에서는, 금속 층이 기판의 일부, 예컨대 주 표면의 총 면적의 약 10% 이상, 또는 총 면적의 약 25% 이상, 또는 총 면적의 약 50% 이상, 또는 총 면적의 약 75% 이상 상에 침착될 수 있다. 일부 실시양태에서는, 금속 층이 반도체 기판의 전체 주 표면 상에 침착될 수 있고, 그 후에 이는 통상의 리소그래피 기술을 사용하여 선택적으로 제거되어, 기판의 주 표면 상에 원하는 패턴의 금속 침착을 남길 수 있다. 일부 실시양태에서는, 반도체 기판의 전면 층이 금속 필름으로 코팅된다. 전면 층은 금속으로 완전히 코팅되거나, 금속으로 부분적으로 코팅되거나, 또는 리소그래피에 의해 금속 패턴으로 코팅될 수 있다. 일부 실시양태에서, 반도체 기판은 상부에 유전 층을 갖는 반도체 웨이퍼를 포함한다. 일부 실시양태에서, 반도체 기판은 이산화규소 전면 층을 갖는 규소 웨이퍼를 포함하고, 금속 필름은 이산화규소 전면 층 상에 침착된다. 이산화규소 층은 금속으로 완전히 코팅되거나, 금속으로 부분적으로 코팅되거나, 또는 리소그래피에 의해 금속 패턴으로 코팅될 수 있다. 일부 실시양태에서, 반도체 기판은 이산화규소 층 및 질화규소 전면 층을 갖는 규소 웨이퍼를 포함하고, 금속 필름은 질화규소 전면 층 상에 침착된다. 질화규소 층은 금속으로 완전히 코팅되거나, 금속으로 부분적으로 코팅되거나, 또는 리소그래피에 의해 금속 패턴으로 코팅될 수 있다. 편의상, 금속 필름의 표면이 "금속 필름 전면" 및 "금속 필름 배면"으로서 언급될 수 있다. 여기서, 금속 필름 배면은, 유전 층, 예를 들어 산화규소 층 또는 산화규소 층과 질화규소 층을 포함할 수 있는 반도체 기판 전면 층과 접촉한다. 벌크 금속 영역은 금속 필름의 전면과 배면 사이에 존재한다.

[0034] 본 발명에 적합한 금속은 니켈, 구리, 철, 백금, 팔라듐, 루테늄, 코발트 및 그의 합금을 포함한다. 일부 바람직한 실시양태에서, 금속 필름은 니켈을 포함한다. 일부 바람직한 실시양태에서, 금속은 구리를 포함한다. 금속 필름은, 스퍼터링, 증발, 이온 빔 증발, 화학 증착, 전해 도금 및 금속 호일 접합을 비롯한 관련 기술분야에 공지된 기술에 의해 침착될 수 있다. 일부 실시양태에서, 금속 필름은, 예를 들어 스퍼터링 및 금속 증발 장치를 사용하여 스퍼터링 또는 증발에 의해 침착된다. 전해 금속 도금은 문헌 [Supriya, L.; Claus, R. O. Solution-Based Assembly of Conductive Gold Film on Flexible Polymer Substrates: Langmuir 2004, 20, 8870-8876]에 기재된 방법에 따라 수행될 수 있다. 일부 실시양태에서, 금속 필름은 비교적 저온, 예컨대 약 100℃ 내지 약 300℃, 예컨대 약 200℃에서 화학 증착에 의해 침착될 수 있다. 바람직하게는, 금속 필름은 약 50 나노미터 내지 약 20 마이크로미터, 예컨대 약 50 나노미터 내지 약 10 마이크로미터의 두께, 예컨대 약 50 나노미터 내지 약 1000 나노미터, 예컨대 약 100 나노미터 내지 약 500 나노미터, 예컨대 약 100 나노미터 내지 약 400 나노미터, 예컨대 약 300 나노미터 또는 약 500 나노미터의 두께를 가질 수 있다.

[0035] 일부 실시양태에서, 금속 필름은, 질화붕소 층 단계의 침착 동안 붕소 및 질소의 내부-확산 및 그래핀 층 단계 동안 탄소의 내부-확산을 가능하게 하는, 승온 (즉, 일반적으로 500℃ 초과, 또는 800℃ 초과, 예컨대 약 1000℃)에서 붕소, 질소 및 탄소에 대해 비교적 높은 용해도를 갖는 금속을 포함할 수 있다. 바람직하게는, 금속은 또한 보다 저온에서는 낮은 또는 실질적으로 0인 붕소, 질소 또는 탄소 용해도를 가져서, 후속 냉각 단계에서 붕소 및 질소가 질화붕소로 격리 및 침전되고 탄소가 그래핀으로 침전되는 것을 가능하게 한다. 내부-확산 온도에서 용해도가 높은 금속 필름은 니켈, 철, 팔라듐 및 코발트를 포함한다. 일부 실시양태에서, 금속 필름은 1000℃에서 약 0.05 원자% 이상, 바람직하게는 1000℃에서 약 0.10 원자% 이상, 훨씬 더 바람직하게는 1000℃에서 약 0.15 원자% 이상의 탄소 용해도를 갖는 금속을 포함한다. 일부 실시양태에서, 금속 필름은 1000℃에서 약 3 원자% 미만, 바람직하게는 1000℃에서 약 2 원자% 미만의 탄소 용해도를 갖는 금속을 포함한다. 예를 들어, 일부 바람직한 실시양태에서, 금속 필름은 니켈이 금속 필름인 경우의 탄소 내부-확산을 위한 챔버 온도인 1000℃에서, 약 0.2 원자%의 탄소 용해도를 갖는 니켈을 포함한다. 일부 실시양태에서, 금속 필름은 철이 금속 필름인 경우의 탄소 내부-확산을 위한 챔버 온도인 800℃에서, 약 0.02 원자%의 탄소 용해도를 갖는 철을 포함한다. 일부 실시양태에서, 금속 필름은 코발트가 금속 필름인 경우의 탄소 내부-확산을 위한 챔버 온도인 1000℃에서, 약 1.6 원자%의 탄소 용해도를 갖는 코발트를 포함한다.

[0036] 일부 실시양태에서, 금속 필름은 심지어 승온 (즉, 일반적으로 500℃ 초과, 또는 800℃ 초과, 예컨대 약 1000℃)에서 붕소, 질소 및 탄소에 대해 낮은 또는 실질적으로 0인 용해도를 갖는 금속을 포함할 수 있다. 용해도가 낮은 금속 필름은 구리, 백금 및 루테늄을 포함한다. 예를 들어, 탄소 용해도는 500℃ 초과, 또는 800℃ 초과, 예컨대 약 1000℃의 온도에서 구리 중에서 실질적으로 0이다. 내부-확산 단계 동안, 기체상 원자, 예를 들어 붕소 및 질소 또는 탄소는, 금속 입자, 예를 들어 구리 입자 사이의 벌크 금속 영역 내로 내부-확산된다. 구리가 금속 필름에 대한 금속으로서 선택된 경우에, 탄소 함유 기체 또는 탄소 함유 중합체는 구리 상의 수소에 의해 열화된다. 그래핀으로의 탄소-탄소 결합 형성은 구리 표면 상에서 촉매된다.

[0037] 금속 필름의 침착 후, 다층 구조를 세정할 수 있다. 다층 구조는 반도체 기판, 임의적인 표면 유전 층 (예를 들어, 질화규소 층을 추가로 포함할 수 있는 이산화규소), 중합체 필름 (하기에서 더욱 상세히 설명된 바와 같은, 금속 필름의 침착 전에 중합체 필름이 침착되는 실시양태에서) 및 금속 필름을 포함한다. 일부 바람직한 실시양태에서, 다층 구조를 환원 분위기에서 진공 로에서 가열함으로써 세정할 수 있다. 고진공 하의 베이킹만이 수행되는 화학 증착 시스템이 사용될 수 있다. 바람직한 실시양태에서, 환원 분위기는 수소 기체 또는 다른 환원 기체를 포함한다. 불활성 캐리어 기체, 예컨대 아르곤 또는 헬륨이 사용될 수 있다. 바람직한 실시양태에서, 환원 분위기에 대한 노출 동안 온도는 바람직하게는 약 800℃ 내지 약 1200℃, 예컨대 약 1000℃이다. 압력은 바람직하게는 대기압 미만, 예컨대 약 100 Pa 미만 (1 Torr 미만), 바람직하게는 약 1 Pa 미만 (0.01 Torr 미만), 훨씬 더 바람직하게는 약 0.1 Pa 미만 (0.001 Torr 미만), 훨씬 더 바람직하게는 약 0.01 Pa 미만 (0.0001 Torr 미만)이다. 세정 어닐링은 금속 필름의 입자 크기를 조정할 수 있고, 예를 들어 승온에서 입자 크기를 증가시킬 수 있다.

[0038] 일부 실시양태에서는, 금속 필름의 침착 및 임의적인 세정 후, 반도체 기판의 전면과 금속 필름의 배면 사이에 그래핀과 등전자인 물질의 층을 형성한다. 일부 실시양태에서, 등전자 물질은 질화붕소 층, 보다 구체적으로는 질화붕소의 육방정 형태인 α-BN을 포함한다. 질화붕소 층은, 붕소 원자 및 질소 원자가 금속 필름의 벌크 금속 영역 내로 내부-확산되기에 충분한 온도에서 금속 필름 전면을 붕소-함유 기체 및 질소-함유 기체 또는 붕소 및 질소 함유 기체와 접촉시킴으로써 형성될 수 있다. 붕소 및 질소 공급원의 일부는 실온에서 고체 또는 액체일 수 있다. 일반적으로, 붕소 및 질소 공급원은 내부-확산 온도에서 기체상이다. 적합한 붕소 공급원은 디보란 (B_2H_6), 트리클로로보란 (BCl_3) 및 트리플루오로보란 (BF_3)을 포함한다. 적합한 질소 공급원은 질소 또는 암모니아를 포함한다. 일부 실시양태에서, 기체는 질소 및 수소를 포함할 수 있다. 일부 실시양태에서, 기체는, 보라진 ($B_3H_6N_3$), 트리클로로보라진 (예를 들어, 2,4,6-트리클로로보라진, $H_3B_3Cl_3N_3$),및 암모니아 보란 (BH_3-NH_3)과 같이 붕소 및 질소 둘 다를 포함할 수 있다. 이들 캐리어에 추가로, 기체상 분위기는 불활성 캐리어 기체, 예컨대 헬륨 및 아르곤을 포함할 수 있다. 금속 필름은 바람직하게는 붕소 원자 및 질소 원자가 대략 1:1 몰비인 붕소 및 질소의 공급원과 접촉되지만, 이러한 비는 약 2:1 내지 약 1:2로 달라질 수 있다. 붕소-함유 기체 및 질소-함유 기체는 상이한 기체일 수 있다. 예를 들어, 붕소-함유 기체는 디보란을 포함하고, 질소-함유 기체는 암모니아를 포함한다. 일반적으로, 다층 기판 (유전 층(40) 및 그 위의 금속 층 (예를 들어, 니켈 또는 구리)(50)을 갖는 반도체 기판(30)을 도시하는 도 2a 참조)을, 디보란 (B_2H_6) 및 암모니아 (NH_3)를 B_2H_6:NH_3 1:2 몰비로 포함하는 기체(22)에 노출시킬 수 있다. 일부 실시양태에서, 붕소-함유 기체 및 질소-함유 기체는 동일한 기체이다. 예를 들어, 붕소-함유 기체 및 질소-함유 기체는, 붕소 및 질소를 1:1 몰비로 포함하는 트리클로로보라진 (예를 들어, 2,4,6-트리클로로보라진, $H_3B_3Cl_3N_3$)을 포함한다. 금속 필름의 표면을 노출시키기 위한 적합한 기기는 버블러를 갖는 화학 증착기이다. 별도의 단계에서, 유전 층(40) 및 그 위의 금속 층 (예를 들어, 니켈 또는 구리)(50)을 갖는 반도체 기판(30)을 그래핀 침착 공정에서 탄소-함유 기체(12) (예를 들어, 메탄)에 노출시킨다.

[0039] 다층 구조가 반도체 기판, 임의적인 표면 유전 층 및 금속 필름을 포함하는 실시양태에서, 다층 구조는 가열 및 냉각 사이클을 겪어서 금속 필름의 벌크 금속 영역 내로의 붕소 및 질소의 내부-확산, 이어서 냉각 동안 반도체 표면과 금속 필름의 배면 사이에서 질화붕소의 격리 및 침전이 일어난다. 금속 필름은 예를 들어 니켈일 수 있고, 여기서 온도는 벌크 금속 영역 내에서 붕소 및 질소 원자를 가용화시키기에 충분한 온도이다. 일부 실시양태에서, 금속 필름은 구리와 같은 금속을 포함할 수 있으며, 여기서 붕소 원자 및 질소 원자는 구리 입자 경계를 통해 이동함으로써 벌크 금속 영역 내로 내부-확산된다. 일부 실시양태에서는, 냉각 동안 반도체 표면과 금속 필름의 배면 사이에 육방정 질화붕소의 단일 단원자 층이 침전된다. 일부 실시양태에서는, 냉각 동안 반도체 표면과 금속 필름의 배면 사이에 단원자 육방정 질화붕소의 다중 층, 예컨대 단원자 육방정 질화붕소의 2개 이상의 층, 예컨대 단원자 육방정 질화붕소의 2 내지 약 100개의 층, 또는 단원자 육방정 질화붕소의 2 내지 약

50개의 층, 또는 단원자 육방정 질화붕소의 3 내지 약 50개의 층이 침전된다. 일부 실시양태에서, 질화붕소는 금속 필름의 전면 상에 침전될 수 있다.

[0040] 다층 구조의 냉각은 금속 필름의 벌크 영역 내에서의 붕소 및 질소의 용해도를 저하시키며, 이는 붕소 및 질소가 금속 필름으로부터 격리되고 반도체 기판의 전면과 금속 필름의 배면 사이에서 질화붕소가 침전되는 것을 유발한다. 금속 필름이, 붕소 및 질소의 용해도가 낮은 금속, 예를 들어 구리를 포함하는 실시양태에서, 냉각은 붕소 및 질소가 구리 입자들 사이로부터 반도체 기판의 전면 상으로 질화붕소의 층으로서 격리되는 것을 유발한다. 따라서, 본 발명의 방법은, 전면 상에서 유전 층으로 임의로 개질된 반도체 기판; 반도체 기판의 전면과 접촉하는 질화붕소의 층; 및 질화붕소의 층과 접촉하는 금속 필름을 포함하는 다층 물품의 제조에 유용하다.

[0041] 붕소 및 질소의 내부-확산 동안 온도는 약 500℃ 내지 약 1100℃, 예컨대 약 700℃ 내지 약 1000℃ 범위, 예컨대 철의 경우에 약 800℃ 또는 니켈의 경우에 약 1000℃일 수 있다. 금속이 충분한 농도의 붕소 및 질소를 흡수한 후, 다층 구조를 냉각시켜서 냉각 동안 그래핀이 격리 및 침전되게 한다. 냉각 속도는 바람직하게는 약 5℃/초 내지 약 50℃/초, 예컨대 약 10℃/초 내지 약 30℃/초, 예를 들어 약 10℃/초 또는 약 30℃/초의 속도로 제어된다. 챔버의 압력은 약 0.1 파스칼 (약 1 mTorr) 내지 약 70 파스칼 (약 500 mTorr)로 달라질 수 있다. 분위기는 바람직하게는, 약 1% 내지 약 99% 수소, 예컨대 약 70% 내지 약 99% 수소, 바람직하게는 약 95% 수소 및 나머지 불활성 기체를 포함할 수 있는 환원 분위기이다.

[0042] 냉각이 금속 필름의 전면 상에 질화붕소 층을 추가로 형성하는 실시양태에서, 본 발명의 방법은, 금속 필름을 탄소-함유 기체와 접촉시키기 전에, 금속 필름 전면으로부터 질화붕소의 층을 제거하는 단계를 추가로 포함한다. 필름 전면 상의 질화붕소의 층은 산소 플라즈마 에칭에 의해 제거될 수 있다.

[0043] 본 발명의 방법의 일부 실시양태에 따르면, 반도체 기판, 임의로 유전 층, 질화붕소 개재 층 및 금속 필름을 포함하는 다층 구조를 탄소-함유 기체에 노출시켜서 원자 탄소를 금속 필름의 벌크 영역 내로 내부-확산시킬 수 있다. 원자 탄소는, 탄소의 용해도가 높은 금속, 예를 들어 니켈을 포함하는 금속 필름 중에서 가용화될 수 있거나, 또는 탄소의 용해도가 낮은 금속, 예를 들어 구리를 포함하는 금속 필름 중 금속 입자들 사이에서 이동할 수 있다. 일부 실시양태에서는, 탄소-함유 기체 (도 2a에서 (12)) 유동을 환원 기체 유동에 첨가할 수 있다. 탄소-함유 기체는 휘발성 탄화수소, 예를 들어 메탄, 에탄, 에틸렌, 아세틸렌, 프로판, 프로필렌, 프로핀, 부탄, 부틸렌, 부틴 등으로부터 선택될 수 있다. 탄소-함유 기체, 예를 들어 메탄은 본 발명의 방법에 따라 그래핀으로 침전될 수 있는 탄소의 공급원이다. 분위기는, 환원 기체, 예컨대 수소를 추가로 포함하는 환원 분위기일 수 있다. 일부 실시양태에서, 기체는 메탄 기체 및 수소 기체를 약 1:1 내지 약 1:100, 예컨대 약 1:10의 비로 포함할 수 있다. 탄소 내부-확산 및 흡수 동안 최소 온도는 일반적으로 약 500℃ 이상이다. 탄소 내부-확산 및 흡수 동안 최대 온도는 일반적으로 약 1100℃ 이하이다. 일반적으로, 온도는 바람직하게는 약 700℃ 내지 약 1000℃이다. 일반적으로, 수소 기체/메탄 유동 동안 반응 챔버 내의 압력은 약 600 Pa (약 5 Torr) 내지 약 8000 Pa (약 60 Torr), 바람직하게는 약 1300 Pa (약 10 Torr) 내지 약 7000 Pa (약 50 Torr)이다.

[0044] 임의로 및 바람직하게는, 충분한 탄소가 금속 필름의 벌크 영역 내로 내부-확산된 후, 기체의 유동을 중단시키고, 다층을 탄소가 금속 필름의 벌크 영역 전반에 걸쳐 분포되도록 하기에 충분한 지속기간 동안 내부-확산 온도에서 유지한다. 원하는 수의 단원자 두께인 그래핀 층을 갖는 생성물을 얻기에 적절한 탄소 내부-확산에 대한 지속기간은, 최종 생성물 중 격리된 그래핀 층의 개수가 탄소 내부-확산 지속기간에 대한 함수인 보정 곡선을 생성함으로써 결정할 수 있다. 보정 곡선을 사용하여 단일 단원자 두께인 그래핀 층 또는 다중 단원자 두께인 그래핀 층을 얻기에 충분한 이상적인 탄소 내부-확산 지속기간을 결정할 수 있다. 탄소-함유 기체의 유동이 중단된 후 평형의 지속기간은 약 5초 내지 약 3600초, 예컨대 약 600초 내지 약 1800초 범위일 수 있다. 일부 실시양태에서, 탄소 내부-확산의 지속기간은 매우 짧고, 예컨대 약 10초이다. 그 후, 다층 구조를 상기 기재된 바와 같이 급속히 냉각시킨다.

[0045] 일부 실시양태에서는, 탄소-함유 기체에 추가로 또는 탄소-함유 기체에 대한 대안으로서, 탄소가 탄소-함유 자가-조립 단층 및/또는 탄소-풍부 중합체로서 고체 형태로 제공될 수 있다. 탄소의 공급원이 고체 탄소 공급원을 포함하는 실시양태에서, 기판은 실질적으로 본원에 개시된 바와 같이 제조된다. 구체적으로, 반도체 기판, 예를 들어 규소 웨이퍼는 산화물 층 및 임의로 추가의 질화물 층을 갖도록 제조될 수 있다. 일부 실시양태에서, 반도체 웨이퍼는 산화규소 층을 포함하는 규소 웨이퍼를 포함한다. 일부 실시양태에서, 반도체 웨이퍼는 산화규소 층 및 질화규소 층을 포함하는 규소 웨이퍼를 포함한다. 본원에 기재된 바와 같이, 금속 필름을 반도체 기판 상에 침착시킨다. 본원에 기재된 바와 같이, 반도체 기판과 금속 필름 사이에 질화붕소의 층을 형성한다. 그 후, 필요에 따라, 금속 필름의 외부 표면 상의 질화붕소의 층 (형성된 경우)을 제거하고, 이

어서 금속 필름을 제거하여, 상부에 질화붕소의 층을 포함하는 반도체 기판을 제조할 수 있다. 고체 탄소 공급원이 그래핀 층의 형성을 위한 탄소를 제공하는 실시양태에서는, 고체 탄소 공급원을 질화붕소의 층 상에 침착시킨다. 본원에서 더욱 상세히 기재된 바와 같이, 고체 탄소 공급원은 자가-조립 단층 및/또는 탄소-풍부 중합체를 포함할 수 있다. 이어서, 금속 필름을 고체 탄소 공급원 상에 침착시킨다. 이어서, 다층 구조를 가열 및 냉각 사이클에 적용하여 질화붕소의 층과 금속 층 사이에서 그래핀의 층을 성장시킨다.

[0046] 본 발명의 방법의 일부 실시양태에서는, 탄화수소 또는 탄화수소와 질소 및/또는 붕소를 포함하는 자가-조립 단층 또는 몇몇 층을 반도체 기판 상에 침착시킬 수 있다. 여기서, 탄화수소-함유 모이어티는 탄소 (또는 B 및/또는 N)의 공급원으로서 작용하고, 이는 가열 사이클 동안 후속적으로 적용되는 금속 필름 내로 내부-확산되거나 또는 그래핀 (또는 도핑된 그래핀)으로 열화될 것이며, 여기서 금속 필름은 낮은 또는 실질적으로 0인 탄소 용해도를 갖는 금속을 포함한다. 탄화수소는 반도체 기판의 전면 층 상에 침착된 질화붕소의 개재 층 상의 그래핀 형성을 위한 탄소 공급원을 제공한다.

[0047] 본 발명의 방법의 일부 실시양태에서는, 탄소-풍부 중합체를, 반도체 기판, 예를 들어 상부에 유전 층을 가지며 내부에 미리 형성된 질화붕소의 층을 갖는 반도체 웨이퍼 상에 침착시킨다. 일부 실시양태에서는, 탄소-풍부 중합체를, 기판이 질화붕소 개재 층을 추가로 포함하는 반도체 웨이퍼의 주 표면 상에 침착된 금속 층 상에 침착시킨다. 본 발명의 방법의 일부 실시양태에서는, 탄소-풍부 중합체를, 금속 필름 형성 전에, 반도체 기판, 예를 들어 상부에 유전 층을 가지며 내부에 미리 형성된 질화붕소의 층을 갖는 반도체 웨이퍼 상에 침착시키거나, 또는 탄소-풍부 중합체 층을 금속 필름의 표면 상에 침착시킨다. 여기서, 탄소-풍부 중합체는 탄소의 공급원으로서 작용하고, 이는 가열 사이클 동안 후속적으로 적용되는 금속 필름 내로 내부-확산되거나 또는 그래핀으로 열화될 것이며, 여기서 금속 필름은 낮은 또는 실질적으로 0인 탄소 용해도를 갖는 금속을 포함한다. 일반적으로, 매우 다양한 탄소-함유 중합체가 적합하다. 일부 실시양태에서, 탄소-풍부 중합체는 폴리메틸메타크릴레이트 (PMMA), 폴리부타디엔, 폴리스티렌, 폴리(아크릴로니트릴-코-부타디엔-코-스티렌) (ABS), 폴리에틸렌, 폴리프로필렌, 폴리(4'-비닐헥사페닐벤젠) 및 그의 조합으로 이루어진 군으로부터 선택될 수 있다.

[0048] 일부 실시양태에서, 중합체 또는 탄소-함유 필름은 질소-도핑된 또는 붕소-도핑된 그래핀 시트를 제조하기 위해 질소 또는 붕소를 함유할 수 있다. 본 발명에 적합한 질소-함유 중합체는 멜라민 포름알데히드, 폴리아크릴로니트릴, 폴리(2,5-피리딘), 폴리피롤, 폴리카르바졸, 폴리아닐린 및 그의 조합을 포함한다. 붕소 도핑은, 붕소 알콜 (비-중합체)을 포함하는 탄소-함유 층을 제조함으로써 또는 보라머(Boramer)™를 침착시킴으로써 달성될 수 있다.

[0049] 탄소-풍부 중합체는 기판을 중합체-함유 용액으로부터의 중합체 필름으로 스핀 코팅함으로써 침착될 수 있다. 다른 적합한 침착 방법은 분무 코팅 및 전기화학 침착을 포함한다. 스핀-코팅 용액에 대한 적합한 용매는 톨루엔, 헥산, 크실렌, 펜탄, 시클로헥산, 벤젠, 클로로포름을 포함한다. 중합체 농도는 일반적으로 약 0.01 중량% 내지 약 1 중량%, 약 0.05 중량% 내지 약 0.5 중량%, 예컨대 약 0.1 중량%이다.

[0050] 탄소-풍부 중합체 층은 약 1 나노미터 내지 약 100 나노미터 두께, 예컨대 약 5 나노미터 내지 약 100 나노미터 두께, 바람직하게는 약 10 나노미터 내지 약 50 나노미터 두께로 침착될 수 있다. 일부 실시양태에서, 탄소-풍부 중합체 층은 약 1 나노미터 내지 약 10 나노미터의 두께로 침착될 수 있다.

[0051] 다층 구조가 반도체 기판, 임의적인 표면 유전 층, 질화붕소 층, 및 높은 탄소 용해도를 갖는 금속을 포함하는 금속 필름을 포함하는 실시양태에서는, 다층 구조가 가열 및 냉각 사이클을 겪어서 가열 동안 금속 필름 내로의 내부-확산을 통한 탄소 흡수, 이어서 냉각 동안 그래핀으로서의 탄소 격리 및 침전이 일어난다. 일부 실시양태에서는, 본 발명의 방법에 따라, 충분한 탄소가, 탄소-함유 자가-조립 단층, 탄소-풍부 중합체, 탄소-함유 기체 또는 그의 임의의 조합으로부터 금속 필름 내로 내부-확산된 후, 질화붕소 층과 금속 필름 배면 사이에서 그래핀의 층 또는 다층이 침전된다. 일부 실시양태에서, 탄소 원자는, 임의로 상부에 금속 필름을 갖는 반도체 기판에서 온도 구배 프로파일을 형성함으로써 그래핀의 층 또는 다층으로 침전된다. 온도 구배 프로파일은 다층 기판의 전면 및 배면을 냉각시킴으로써 달성된다. 이러한 냉각은, 금속 필름 전면 및 금속 필름 배면이 벌크 금속 영역 내의 중앙 평면 근처의 온도보다 더 낮은 온도 구배를 생성한다. 일부 실시양태에서, 탄소 원자는 다층 구조를 급속히 냉각시킴으로써 그래핀의 층 또는 다층으로 침전된다. 탄소 내부-확산 동안 온도는 약 500 ℃ 내지 약 1000℃, 예컨대 약 700℃ 내지 약 1000℃ 범위, 예컨대 철의 경우에 약 800℃ 또는 니켈의 경우에 약 1000℃일 수 있다. 금속이 충분한 농도의 탄소를 흡수한 후, 다층 구조를 냉각시켜서 냉각 동안 그래핀이 격리 및 침전되게 한다.

[0052] 다층 구조의 냉각은 금속 필름의 벌크 영역 내에서의 탄소의 용해도를 저하시키고, 이는 탄소가 금속 필름으로

부터 격리되도록 강제하고, 질화붕소 층과 금속 필름의 배면 사이에서 그래핀을 침전시킨다. 냉각 속도는 바람직하게는 약 5℃/초 내지 약 50℃/초, 예컨대 약 10℃/초 내지 약 30℃/초, 예를 들어 약 10℃/초 또는 약 30℃/초의 속도로 제어된다. 챔버의 압력은 약 0.1 파스칼 (약 1 mTorr) 내지 약 70 파스칼 (약 500 mTorr)로 달라질 수 있다. 분위기는 바람직하게는, 약 1% 내지 약 99% 수소, 예컨대 약 70% 내지 약 99% 수소, 바람직하게는 약 95% 수소 및 나머지 불활성 기체를 포함할 수 있는 환원 분위기이다. 따라서, 본 발명의 방법은, 임의로 전면 상에서 유전 층으로 개질된 반도체 기판; 반도체 기판의 전면과 접촉하는 질화붕소의 층; 및 질화붕소의 층과 접촉하는 그래핀의 층; 및 그래핀의 층과 접촉하는 금속 필름을 포함하는 다층 물품의 제조에 유용하다.

[0053] 금속 중 탄소의 용해도가 낮은 또는 0인 실시양태 (예를 들어, 구리)에서, 본 발명의 방법은 그래핀의 단층을 유리하게 산출한다. 그래핀 형성이 금속 필름 내로의 탄소의 가용화에 이어서 그래핀의 격리 및 침전에 따라 달라지는 실시양태 (예를 들어, 니켈)에서, 본 발명의 방법은 생성되는 그래핀 층의 개수를 제어하도록 흡수 및 침전되는 탄소의 양을 제어하는 것을 필요로 한다. 어느 실시양태에서나, 조건은, 그래핀의 적어도 1개의 층이 반도체 기판의 전면과 금속 필름의 배면 사이에서 침전되도록 제어될 수 있다. 일부 실시양태에서, 본 발명의 방법은, 반도체 기판의 전면 상의 질화붕소 층과 금속 필름의 배면 사이에서 그래핀의 단일 단원자 층이 침착되는 것을 가능하게 한다. 일부 실시양태에서, 본 발명의 방법은, 반도체 기판의 전면 상의 질화붕소 층과 금속 필름의 배면 사이에서 다수의 단원자 두께인 그래핀의 층이 침착되는 것을 가능하게 한다. 그래핀 층은 단원자 두께인 그래핀의 2 내지 약 100개의 층, 예컨대 단원자 두께인 그래핀의 2 내지 약 50개의 층, 또는 단원자 두께인 그래핀의 3 내지 약 50개의 층을 포함할 수 있다. 제2의 그래핀의 층이 금속 필름 전면에 침전될 수 있다. 지금까지의 현행 결과는 니켈 층이 특히 다층 그래핀 필름의 제조에 적합한 것으로 제시되었다.

[0054] 그래핀 층이 금속 필름 전면 상에 침전되는 실시양태에 따르면, 그래핀의 이러한 외부 층 또는 층들이 제거될 수 있다. 일부 실시양태에서, 외부 그래핀 층 또는 층들은 에칭, 예를 들어 습식 에칭, 플라즈마 에칭, 또는 오존/UV 광에서의 산화에 의해 제거될 수 있다. 바람직한 실시양태에서, 그래핀의 외부 층 또는 층들은 산소 플라즈마 에칭에 의해 제거될 수 있다.

[0055] 일부 실시양태에 따르면, 그래핀 층의 형성 및 질화붕소 층의 형성 공정은 역전될 수 있거나 (즉, 먼저 기판의 전면 상에 직접적으로 그래핀을 침착시키고, 이어서 질화붕소를 그래핀 층 상에 침착시킴), 또는 반복되어 교호 그래핀 및 질화붕소 층의 스택을 포함하는 다층이 제조될 수 있다.

[0056] 일부 실시양태에 따르면, 본 발명의 후속 단계에서, 금속 필름을 제거하여 질화붕소 층 (이는 또한 반도체 기판의 전면과 접촉함)과 접촉하는 그래핀 층을 노출시킨다. 대안적으로, 금속 필름을 제거함으로써, 그래핀 층 (이는 또한 반도체 기판의 전면과 접촉됨)과 접촉하는 질화붕소 층을 노출시킨다. 금속 필름은 금속 필름의 금속을 용해 (예를 들어, 니켈, 구리, 철, 또는 그의 합금의 용해)시키기에 적절한 관련 기술분야에 공지된 기술에 의해 제거될 수 있다. 바람직한 실시양태에서는, 금속 필름을 수성 금속 에칭제와 접촉시킨다. 금속 필름 제거에 유용한 금속 에칭제는 염화제2철, 질산철(III), 왕수 및 질산을 포함한다. 유리하게는, 이들 금속 에칭제는 그래핀을 제거되지 않을 것이다.

[0057] 일부 실시양태에서는, 금속 필름의 제거시에, 반도체 기판 (예를 들어, 산화규소 층 및/또는 질화규소 층을 포함하는 규소 웨이퍼), 질화붕소의 층, 및 단원자 두께인 그래핀의 단일 층을 포함하는 다층 기판이 생성된다. 일부 실시양태에서는, 금속 필름의 제거시에, 반도체 기판 (예를 들어, 산화규소 층 및/또는 질화규소 층을 포함하는 규소 웨이퍼), 단원자 두께인 그래핀의 단일 층, 및 질화붕소의 층을 포함하는 다층 기판이 생성된다. 일부 실시양태에서는, 그래핀 및 질화붕소 층 중 하나 또는 둘 다가, 각각의 층이 단원자 두께를 갖는 각각의 물질의 다층을 포함할 수 있다. 그래핀 층은, 관련 기술분야에 공지된 기술, 예를 들어 라만(Raman) 분광법에 의해 층의 개수를 확인하도록 특성화될 수 있다.

[0058] 일부 실시양태에서는, 금속 필름의 제거시에, 반도체 기판, 질화붕소의 층 및 그래핀의 이중층을 포함하며, 상기 이중층의 각각의 층이 단원자 두께를 갖는 것인 다층 기판이 생성된다. 일부 실시양태에서, 그래핀은 그래핀의 3개 이상의 단원자 층을 포함한다.

[0059] 산화된 규소 웨이퍼 상의 그래핀의 형성은, 단일 분자 검출, 초고속 FET, TEM에 대한 수소 가시화-템플레이트, 및 조정가능한 스핀트로닉 장치를 비롯한 많은 잠재적 응용을 가능하게 한다. 또한, 그래핀은 높은 열 전도도 (25 X 규소), 높은 기계적 강도 (가장 강한 나노물질), 높은 광학 투명도 (97%), 캐리어 제어 밴드간/광학-전이 및 가요성 구조를 나타낸다. 그래핀의, sp^2 탄소 원자로부터의 π-전자의 높은 밀도 및 개방 결정학적 구조에서의 캐리어-구속은, 지금까지 측정된 최고의 이동성을 그래핀에 부여한다. 또한, 결정학적 및 전자적 구조의

독특한 조합인 그래핀은 여러 우수하고 이례적인 특성, 예컨대 약한 산란 ($\lambda_{산란}$ > 300 nm), 실온에서의 그의 전하 캐리어의 탄동적(ballistic) 수송; 이중층에서의 게이트-조정가능한 밴드갭; 실온에서의 양자 홀(Hall) 효과; 양자 간섭; 감자기성-수송; 조정가능한 광학 전이; 메가헤르츠 특징적 주파수; 및 화학적 및 기하학적으로 제어가능한 밴드갭을 나타낸다. 다른 응용은, 바이오-전자-장치, 조정가능한 스핀트로닉스, 울트라-커패시터 및 나노-기계 장치를 포함한다. 산화된 규소 상의 직접적 그래핀 형성은, 매우 다양한 전자 및 감지 응용에서 규소-기재 플랫폼 상의 독특한 그래핀-구조를 제공할 것으로 예상된다.

[0060] 하기 비제한적 실시예는 본 발명을 추가로 설명하기 위해 제공된 것이다.

[0061] 실시예 1. 규소 상 산화규소 상의 그래핀의 직접적 성장

[0062] 90 나노미터의 두께를 갖는 대략 5 센티미터 (2 인치) 직경의 이산화규소 층을 n-형 (n^{++}) 규소 기판 상에 형성시켰다. 기판을 산소 플라즈마 (100 W, 600 mTorr, 2 min)를 사용하여 세정하였다. PMMA의 층을 실리카 기판 상에 약 10 nm의 두께로 스핀-코팅하였다 (아세톤 중 1%, 4000 rpm (예로서)). 400 nm 두께의 니켈 층을 금속 증발기 시스템에서 PMMA 층 상에 침착시켰다. 규소-상-실리카 기판-상-PMMA-상-금속을 CVD 챔버 내부에 넣었다. 샘플을 1000℃에서 5 min 동안 베이킹하여 필름을 어닐링하였다. 분위기는 7 Torr의 압력에서 수소 기체를 포함하였다. 마지막으로, 샘플을 10℃/초로 실온까지 급속히 냉각시켰다. 이로부터 금속과 실리카의 계면에 그래핀이 생성되었다. 마지막으로, 금속 필름을 질산철(III)로 에칭하여, 규소-상-실리카 기판 상의 그래핀을 형성하였다.

[0063] 실시예 2. 규소 상 산화규소 상의 그래핀의 직접적 성장

[0064] 90 나노미터의 두께를 갖는 대략 5 센티미터 (2 인치) 직경의 이산화규소 층을 n-형 (n^{++}) 규소 기판 상에 형성시켰다. 기판을 산소 플라즈마 (100 W, 600 mTorr, 2 min)를 사용하여 세정하였다. 400 nm 두께의 니켈 층을 금속 증발기 시스템에서 이산화규소 층 상에 침착시켰다. 규소-상-실리카 기판-상-금속을 CVD 챔버 내부에 넣었다. 샘플을 1000℃에서 5 min 동안 베이킹하여 필름을 어닐링하였다. 분위기는 100 Torr의 압력에서 1:10 메탄:수소의 몰비로 메탄 및 수소 기체를 포함하였다. 마지막으로, 샘플을 10℃/초로 실온까지 급속히 냉각시켰다. 이로부터 금속과 실리카의 계면에 그래핀이 생성되었다. 마지막으로, 금속 필름을 질산철(III)로 에칭하여, 규소-상-실리카 기판 상의 그래핀을 형성하였다.

[0065] 실시예 3. 규소-상-BN-SiO_2 상의 그래핀의 직접적 성장

[0066] 300 나노미터의 두께를 갖는 대략 5 센티미터 (2 인치) 직경의 이산화규소 층을 n-형 (n^{++}) 규소 기판 상에 형성시켰다. 기판을 산소 플라즈마 (100 W, 600 mTorr, 2 min)를 사용하여 세정하였다. 육방정 질화붕소 (hBN) 박편/시트를 기계적으로 박리시키고, 스코치 테이프의 방법에 의해 300 nm SiO_2 기판 상에 전달하고, 세척하였다. 이어서, 기판을 저온 스퍼터링 시스템을 사용하여 구리의 얇은 필름 (100 nm 내지 300 nm)으로 스퍼터링하였다. 수소 기체 (5 내지 10 sccm) 및 메탄 기체 (95 내지 90 sccm)의 100 sccm의 총 기체 유동으로 1000℃에서 40 min 동안 4" 석영 튜브 내에서 대기압 하에 CVD 성장을 수행하였다. 마지막으로, 상부 그래핀 필름을 O_2 플라즈마-에칭하고, 구리를 세척하였다. 라만 분광법에서, 질화붕소의 특징 및 그래핀의 G-피크가 나타났다.

[0067] 실시예 4. 규소-상-BN-SiO_2 상의 그래핀의 직접적 성장

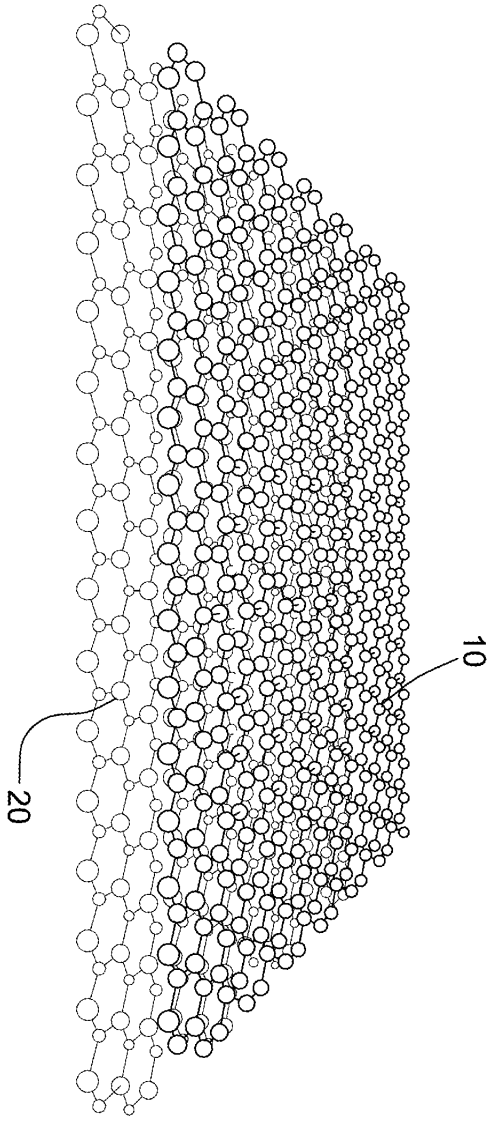
[0068] 본 방법에서는 규소-상-SiO_2 기판 상의 GBN을 생성할 것이다. 100 내지 400 nm 니켈 또는 구리 필름을 대면적 SiO_2 기판 상에 침착시키고, CVD 챔버 내에 배치한다. BN 필름을 생성하기 위해, 디보란 (B_2H_6) 및 암모니아 (1:2 몰비)를 챔버 내로 유동시키고, 샘플을 1000℃에서 열처리한다. Ni의 경우, 이는 금속 필름을 B 및 N 원자로 포화시키고, 얇은-Cu의 경우, 이는 B 및 N 원자를 입자 경계를 통해 확산시켜 금속-기판 계면 상에서의 핵형성을 일으킨다. Ni의 경우, 금속-SiO_2-계면 (및 상부 표면)에 BN을 형성하도록 B 및 N 원자를 침전시키기 위해 기판을 급속히 냉각시켜야 한다. Ni 또는 얇은-Cu의 경우, 상부 BN 층을 플라즈마-에칭한다. 유사하게, 후속 단계에서, 탄소-공급원으로서 CH_4 기체를 사용하여 금속-BN 계면에 그래핀을 성장시키고, 상부 그래핀 층을 플라즈마 에칭한다. 마지막으로, 금속 필름의 에칭으로부터 SiO_2 기판 상의 GBN을 형성한다.

[0069] 상기 기재된 설명에서는 실시예를 사용하여, 최선의 양태를 비롯한 본 발명을 개시하고, 또한 통상의 기술자가

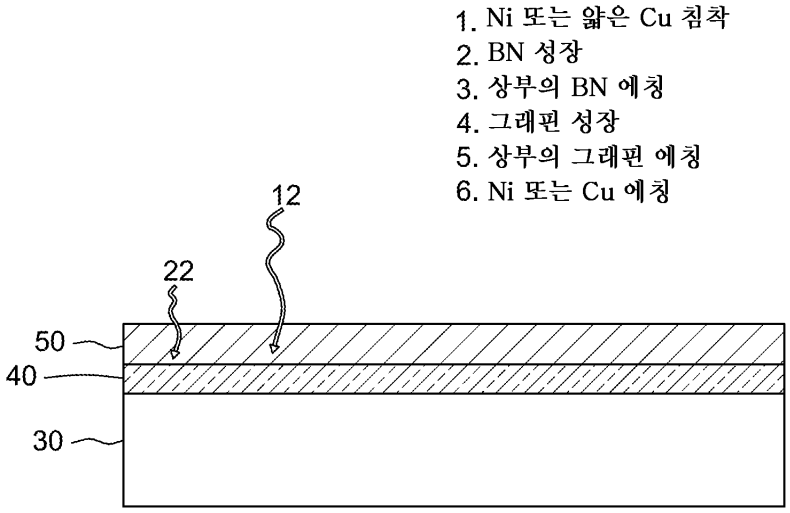
임의의 장치 또는 시스템을 구성 및 사용하고 임의의 도입된 방법을 수행하는 것을 비롯한 본 발명의 실시를 가능하게 하였다. 본 발명의 특허가능한 범주는 청구범위에 의해 한정되며, 이는 통상의 기술자에게 일어나는 다른 예를 포함할 수 있다. 이러한 다른 예는, 청구범위의 문자 그대로의 표현과 상이하지 않은 구조적 요소를 갖는 경우 또는 청구범위의 문자 그대로의 표현과 비실질적인 차이가 있는 등가의 구조적 요소를 포함하는 경우에, 청구범위의 범주에 포함되도록 의도된다.

도면

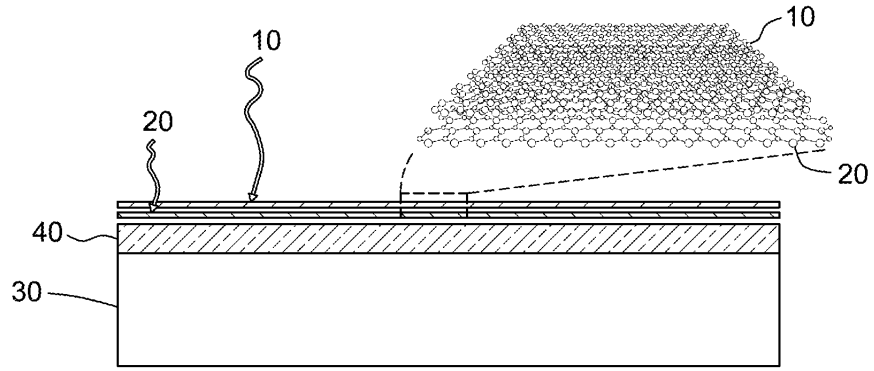
도면1



도면2a


1. Ni 또는 얇은 Cu 침착
2. BN 성장
3. 상부의 BN 에칭
4. 그래핀 성장
5. 상부의 그래핀 에칭
6. Ni 또는 Cu 에칭
12
22
50
40
30

도면2b


10
10
20
20
40
30