



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I467912 B

(45)公告日：中華民國 104 (2015) 年 01 月 01 日

(21)申請案號：098104543

(22)申請日：中華民國 98 (2009) 年 02 月 12 日

(51)Int. Cl. : H02P6/08 (2006.01)

H01L29/778 (2006.01)

H01L29/80 (2006.01)

(30)優先權：2008/02/12 美國

61/028,133

2009/02/09 美國

12/368,200

(71)申請人：全斯法姆公司 (美國) TRANSPHORM INC. (US)

美國

(72)發明人：荷尼亞詹姆斯 HONEA, JAMES (US) ; 吳毅鋒 WU, YIFENG (CN)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 200618252A

TW 200742079A

US 3767946

審查人員：莊程傑

申請專利範圍項數：33 項 圖式數：9 共 50 頁

(54)名稱

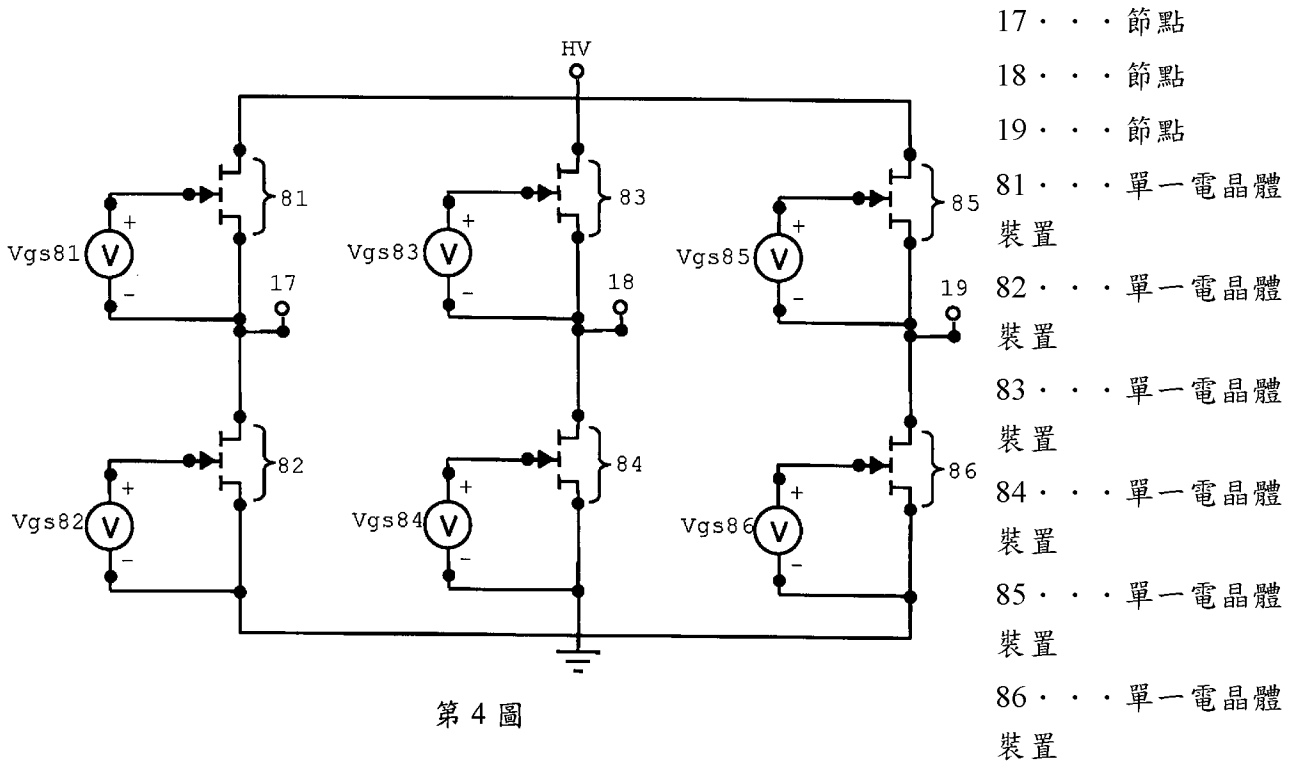
橋式電路及其操作方法

BRIDGE CIRCUITS AND METHOD OF OPERATING THE SAME

(57)摘要

本發明闡述一種半橋，其包含至少一具有一溝道之電晶體，該至少一電晶體能夠在一第一運作模式中在至少一方向上阻斷一有效電壓，在一第二運作模式中經該溝道在一個方向上傳導有效電流，且在一第三運作模式中經該溝道在一相反方向上傳導有效電流。該半橋可包含兩個具有此一電晶體之電路。

A half bridge is described with at least one transistor having a channel that is capable in a first mode of operation of blocking a substantial voltage in at least one direction, in a second mode of operation of conducting substantial current in one direction through the channel and in a third mode of operation of conducting substantial current in an opposite direction through the channel. The half bridge can have two circuits with such a transistor.



公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：98104543

※ 申請日期：2009 年 2 月 12 日

※IPC 分類：

H02P 6/08 (2006.01)

H01L 29/778 (2006.01)

H01L 29/80 (2006.01)

一、發明名稱：(中文/英文)

橋式電路及其操作方法

BRIDGE CIRCUITS AND METHOD OF OPERATING THE SAME

二、中文發明摘要：

本發明闡述一種半橋，其包含至少一具有一溝道之電晶體，該至少一電晶體能夠在一第一運作模式中在至少一方向上阻斷一有效電壓，在一第二運作模式中經該溝道在一個方向上傳導有效電流，且在一第三運作模式中經該溝道在一相反方向上傳導有效電流。該半橋可包含兩個具有此一電晶體之電路。

三、英文發明摘要：

A half bridge is described with at least one transistor having a channel that is capable in a first mode of operation of blocking a substantial voltage in at least one direction, in a second mode of operation of conducting substantial current in one direction through the channel and in a third mode of operation of conducting substantial current in an opposite direction through the channel. The half bridge can have two circuits with such a transistor.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

17	節點
18	節點
19	節點
81	單一電晶體裝置
82	單一電晶體裝置
83	單一電晶體裝置
84	單一電晶體裝置
85	單一電晶體裝置
86	單一電晶體裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於橋式電路及構成橋式電路之組件。

【先前技術】

橋式電路應用範圍廣泛。用於馬達驅動之一典型 3 相橋式電路示出於第 1 圖中。電路 10 中三個半橋 15、25、35 其中每一者包含兩個開關(61-66)，該等開關能夠阻斷一個方向之電流且能夠在兩個方向上傳導電流。由於在電源電路中通常所用之電晶體(41-46)本身不能在反方向上傳導電流，故電路 10 中之每一開關 61-66 皆包含一與一續流(freewheeling)二極體 51-56 反平行連接之電晶體(41-46)。該等電晶體 41-46 在其被偏壓於 OFF (關斷)狀態時，分別能夠阻斷至少與電路 10 之高電壓(HV)源一樣大之電壓，且二極體 51-56 在其被反向偏壓時，分別能夠阻斷至少與電路 10 之高電壓(HV)源一樣大之電壓。理想地，二極體 51-56 具有良好之開關特性，以使在開關期間之瞬變電流最小化，因此通常使用蕭特基二極體(Schottky diode)。電晶體 41-46 可為增強模式(常閉， $V_{th}>0$)，即 E 模式，或者為耗盡模式(常開， $V_{th}<0$)，即 D 模式。在電源電路中，通常使用增強模式裝置以防止意外導通，藉以避免損壞該等裝置或其他電路組件。節點 17、18 及 19 均經由電感負載，即例如馬達線圈等

電感組件（第 1 圖中未示出）相互耦接。

第 2a 圖示出第 1 圖中完整 3 相馬達驅動之半橋 15，以及位於節點 17 與 18 間之馬達繞組（電感組件 21）及其中被饋送馬達電流之開關 64。對於此相電源而言，電晶體 44 持續導通 ($V_{gs44} > V_{th}$)，且電晶體 42 持續關斷 ($V_{gs42} < V_{th}$ ，即若使用增強模式電晶體，則 $V_{gs42} = 0V$)，而電晶體 41 則經一脈寬調變 (PWM) 訊號調變以獲得所期望之馬達電流。第 2b 圖係第 2a 圖中圖式之簡化版本，其示出在電晶體 41 被偏壓導通之時間期間電流 27 之路徑。在此偏壓條件下，馬達電流流經電晶體 41 及 44，而電流不流經開關 62，此乃因電晶體 42 被偏壓關斷且二極體 52 被反向偏壓。參見第 2c 圖，在電晶體 41 被偏壓關斷期間，沒有可流經電晶體 41 或二極體 51 之電流，並且因此馬達電流流經二極體 52。在此部分運作期間，電感組件 21 迫使節點 17 處之電壓變為足以使二極體 52 導通之負值。

目前，在高功率橋式電路中通常使用絕緣閘雙極電晶體 (insulated gate bipolar transistor; IGBT)，在低功率應用中則使用矽 MOS 電晶體 (也稱為 MOSFET)。習知 IGBT 本身僅在一個方向上導通，且因此對於 IGBT，需要使用一續流二極體才能使開關正確運作。標準 MOS 電晶體本身包含一反平行寄生二極體。如在第 3a 圖中所見，若一 MOS 裝置 50 之閘極及源極被偏壓至相同電壓且汲極被偏壓至一較低電壓，例如當電晶體 41 被關斷時在電晶體

42 中所發生的那樣（第 2c 圖），則寄生二極體 60 會阻止本質 MOS 電晶體 71 導通。因此，反向電流 37 之路徑流經寄生二極體 60。因寄生二極體 60 本身具有較差之開關特性，故當 MOS 裝置 50 接通及斷開時寄生二極體 60 會經歷較大之瞬變量。

為完全阻止寄生二極體 60 導通，常常採用第 3b 圖中所示之 3 組件式解決方案。在第 3b 圖中，為開關添加二極體 69 以防止任何電流流經寄生二極體 60，且添加一蕭特基二極體 68 以在電流沿第 3b 圖所示方向（即自 MOS 裝置 50 之源極側向汲極側）流動期間載送電流。

【發明內容】

本發明闡述一種半橋，其包括至少一具有一溝道之電晶體，該至少一電晶體能夠在一第一運作模式中在至少一方向上阻斷一有效電壓，在一第二運作模式中經該溝道在該至少一方向上傳導有效電流，且在一第三運作模式中經該溝道在一相反方向上傳導有效電流。

本發明闡述一種操作一電路之方法，該電路包括一半橋電路級，該半橋電路級包括一第一電晶體、一第二電晶體以及一電感組件，其中該電感組件耦接於該第一電晶體與該第二電晶體之間，該第一電晶體位於一電壓源與該第二電晶體之間，且該第二電晶體位於一接地與該第一電晶體之間。將該第一電晶體偏壓導通且將該第二

電晶體偏壓關斷，以容許電流流經該第一電晶體及該電感組件且阻斷該第二電晶體兩端之電壓。將該第一電晶體改變至一關斷偏壓狀態，以容許該電流流經該第二電晶體及該電感組件且使該第二電晶體處於二極體模式。

本發明闡述一種操作一電路之方法，該電路包括一電感組件及一半橋，該半橋包括一第一電晶體及一第二電晶體，其中該電感組件耦接於該第一電晶體與該第二電晶體之間，且該第一電晶體耦接至一電壓源，該第二電晶體則耦接至接地。將該第一電晶體偏壓關斷且將該第二電晶體偏壓導通，以容許電流流經該電感組件及流經該第二電晶體，其中該第一電晶體阻斷一第一電壓。將該第二電晶體改變至一關斷偏壓狀態，以使該第一電晶體在二極體模式中運作以載送續流電流，且使該第二電晶體阻斷一第二電壓。

本文所述裝置及方法之具體實施例可包括下列情形中之一或多者。該半橋可包括至少兩個電晶體，且每一電晶體可經組態以充當一開關電晶體及充當一反平行二極體。可由多個本文所述之半橋形成一橋式電路。一開極驅動電路可經組態以獨立地控制該等電晶體中每一者之一開極電壓。該電晶體可為一橋式組件之一第一電晶體，該橋式組件可更包括一第二電晶體。該第一電晶體之一開極可電性連接至該第二電晶體之一源極，且該第一電晶體之一源極可電性連接至該第二電晶體之一汲極。該第一電晶體可為一耗盡模式裝置，且該第二電晶

體可為一增強模式裝置。該第一電晶體可為一高電壓裝置，且該第二電晶體可為一低電壓裝置。該第一電晶體可經組態以阻斷一至少等於一電路高電壓之電壓。該第二電晶體可經組態以阻斷一至少等於該第一電晶體之一臨限電壓之電壓。該第二電晶體可經組態以阻斷一約為該臨限電壓之兩倍之電壓。該第一電晶體可為一高電壓耗盡模式電晶體，且該第二電晶體可為一低電壓增強模式電晶體。該第一電晶體可為一 III-N HEMT 或一 SiC JFET。該第二電晶體可為一 III-N HEMT。該第二電晶體可為一氮面 III-N HEMT。該第二電晶體可為一矽基或 SiC 基裝置。該第二電晶體可為一垂直矽 MOSFET 或一 SiC JFET 亦或一 SiC MOSFET。該半橋可包括該等橋式組件中之至少兩個。該第二電晶體可包括一寄生二極體，且該半橋可包括一與該寄生二極體並列連接之低電壓二極體。該低電壓二極體可經組態以阻斷至少與該第二電晶體一樣大之電壓。該低電壓二極體可具有較該寄生二極體為低之導通電壓。該半橋可包括一低電壓二極體，其中該低電壓二極體經組態以阻斷一小於一電路高電壓之最大電壓。一半橋可由兩個電晶體組成，其中該等電晶體分別為一 FET、HEMT、MESFET 或 JFET 裝置。該等兩個電晶體可為增強模式電晶體。該等電晶體可為增強模式 III-N 電晶體或 SiC JFET 電晶體。該等電晶體可為氮面 III-N HEMT。該等兩個電晶體可具有一至少為 2 伏特之臨限電壓。該等兩個電晶體可具有一為 0.5 至 2

電子伏特之自源極至汲極之內位障。該等兩個電晶體可具有一小於 5 毫歐姆-平方公分之導通電阻及一至少為 600 伏特之擊穿電壓。該等兩個電晶體可具有一小於 10 毫歐姆-平方公分之導通電阻及一至少為 1200 伏特之擊穿電壓。一節點可位於每一半橋之該等兩個電晶體之間，且該等節點中之每一者可藉由一電感負載相互耦接。一包括本文所述之半橋之橋式電路可不含二極體。該半橋可不含二極體。可在將該第一電晶體改變至一關斷偏壓狀態後，將該第二電晶體改變至一導通偏壓狀態。將該第一電晶體改變至一關斷偏壓狀態之步驟與將該第二電晶體改變至一導通偏壓狀態之步驟間之時間足夠長，以防止自該高電壓源至接地之貫通電流 (shoot-through current)。將該第二電晶體改變至一關斷偏壓狀態之步驟與將該第一電晶體改變至一導通偏壓狀態之步驟間之時間足夠長，以防止自該高電壓源至接地之貫通電流。

本文所述裝置及方法可提供下列優點之一或多種。一開關可僅由一單個電晶體裝置形成。該電晶體裝置可充當一開關電晶體或一二極體。該電晶體充當雙重角色之能力可消除在開關中使用一單獨反平行二極體之需要。僅包括單個電晶體之開關為一較亦需要一二極體來載送續流電流之裝置更為簡單之裝置。該裝置可以一種使功率損耗保持最低之方式運作。此外，電晶體上之時序及偏壓可容許一由使用單裝置開關之半橋形成之裝置（例

如馬達) 以一種可降低總功率損耗之方式運作，同時避免自一高電壓源至接地之貫通電流。

【實施方式】

第 4 圖示出一橋式電路之示意圖，其中該等六個開關中之每一者皆包括一單一電晶體裝置(81-86)。電晶體 81-86 可為增強模式裝置，其中臨限電壓 $V_{th} > 0$ ，或者為耗盡模式裝置，其中臨限電壓 $V_{th} < 0$ 。在高功率應用中，期望使用如下增強模式裝置：其具有盡可能大之臨限電壓（例如 $V_{th} > 2$ 伏特或 $V_{th} > 3$ 伏特），在 0 偏壓下具有自源極至汲極之高內位障（例如 0.5-2 電子伏特），以及高存取區域導電率（例如薄膜電阻 < 750 歐姆/平方公分），並且具有高擊穿電壓（600/1200 伏特）及低導通電阻（在 600/1200 伏特下分別為 < 5 或 < 10 毫歐姆-平方公分）。各閘極電壓 $V_{gs81} - V_{gs86}$ 分別獨立地受一閘極驅動電路控制。當最接近於接地之端子電壓低於最接近於 DC 高電壓源之端子電壓時，裝置 81-86 分別能夠阻斷電流流動。在某些具體實施例中，該等裝置能夠在兩個方向上阻斷電流。裝置 81-86 亦分別能夠經由相同傳導路徑/溝道在兩個方向上傳導電流。節點 17、18 及 19 均經由電感負載（即例如馬達線圈等電感組件（在第 4 圖中未示出））相互耦接。

第 5a 圖及第 5b 圖示出對於一包含滿足上述要求之增

強模式裝置之橋式電路，第 4 圖所示電路中三個半橋其中之一之運作。出於本實例之目的，假定該等裝置具有一臨限電壓 $V_{th} = 2$ 伏特。將裝置 84 持續地偏壓導通，例如藉由設定 $V_{gs84} > V_{th}$ ，例如 $V_{gs84} = 5$ 伏特。將裝置 82 持續地偏壓關斷，例如藉由設定 $V_{gs82} < V_{th}$ ，例如 $V_{gs82} = 0$ 伏特。如第 5a 圖所示，在將裝置 81 偏壓導通期間，例如藉由設定 $V_{gs81} > V_{th}$ ，例如 $V_{gs81} = 5$ 伏特時，電流沿電流路徑 27 流經裝置 81、電感組件（馬達線圈）21 及裝置 84。在此期間，節點 17 之電壓高於裝置 82 之源極處之電壓，但從不超過自高電壓電源至該電路之高電壓 (HV) 值。將裝置 82 偏壓關斷且因此阻斷一電壓 V_a 跨越該裝置，其中 V_a 為節點 17 之電壓。本文所述「阻斷一電壓」係指一電晶體能夠在該電晶體兩端施加一電壓時，阻止有效電流（例如大於正常導通期間工作電流之 0.001 倍之電流）流經該電晶體。換言之，當一電晶體正在阻斷施加於其兩端之一電壓時，流經該電晶體之總電流將不大於正常導通期間工作電流之 0.001 倍。

第 5b 圖示出在例如藉由設定 $V_{gs81} < V_{th}$ （例如 $V_{gs81} = 0$ 伏特）而使裝置 81 關斷期間之電流路徑 27。在此期間，馬達電流流經裝置 82 之溝道、電感組件（馬達線圈）21 及裝置 84。因裝置 82 之閘極及源極端子皆為 0 伏特，因而當電流沿該方向流經裝置 82 時，裝置 82 有效地充當一二極體且被稱為處於「二極體模式」。亦即，甚至當將裝置 82 之閘極偏壓至低於裝置 82 之臨限電壓時，裝

置 82 亦在第 5b 圖所示方向傳導電流，因此其行為方式與配備有一反向續流二極體之習知電晶體相同。節點 17 處之電壓 V_a 為負的，約較裝置 82 之源極電壓低一臨限電壓 (V_{th})，且裝置 81 此時必須阻斷一電壓 $HV + V_{th}$ 。應注意，在一個方向上之電流/電壓阻斷以及在相反方向上之二極體作用係由同一裝置(82)實現。

裝置 82 可用作一主動開關裝置，以實現電流沿相反方向流經電感組件（馬達線圈）21，如第 5c 圖及第 5d 圖所示。當裝置 82 導通（第 5c 圖）時，電流 27 流經裝置 82，且裝置 81 阻斷一電壓 $HV - V_a$ ，且當裝置 82 關斷（第 5d 圖）時，裝置 81 在二極體模式中運作以載送續流電流，同時裝置 82 阻斷一電壓 $HV + V_{th}$ 。因此，在整個電路中，裝置 81-86 執行與具有反平行續流二極體（第 1 圖中之 61-66）之習知單向電晶體相同之功能。

端視裝置 81-86 之電流位準及臨限電壓而定（參見第 4 圖），當以二極體模式運作時，裝置之功率消耗過高而令人無法接受。在此種情形中，可藉由施加第 6 圖所示形式之閘極訊號，實現更低功率運作模式。舉例而言，當裝置 81 如第 5a 圖及第 5b 圖所示進行開關時，在裝置 82 傳導續流電流期間（當裝置 81 關斷時），裝置 82 之閘極被驅動至高位準，從而使裝置 82 之汲極-源極電壓簡單地為導通狀態電阻 (R_{ds-on}) 乘以馬達電流。為避免自高電壓電源 (HV) 至接地之貫通電流，必須在裝置 81 之關斷與裝置 82 之導通期間提供某個失效時間 (dead time)，

且在裝置 82 之關斷與裝置 81 之導通期間再次提供。失效時間在第 6 圖中被標記為「A」。在該等失效時間期間，裝置 82 以上述二極體模式運作。因與整個開關週期相比，該時間較短，故功率消耗不顯著。時間「B」提供裝置 82 之主要損失因子，且此對應於當裝置 82 得到完全增強時之低功率模式。

重新參見第 4 圖，裝置 81-86 之二極體運作模式始終為電感器電流提供一電流路徑。即使考量瞬變電流及現實阻抗，電路仍將按期望運作。若例如裝置 81-86 之閘極-汲極電容與閘極驅動電路之源極阻抗不為零，則在 V_a 之下降時間期間，節點 17 處之高轉換速率將迫使裝置 82 之閘極之電位低於接地電位。結果將簡單地描述為： V_a 被電感組件 21 驅動至比理想情形中甚至更低之電壓，但裝置 82 將導通。

裝置 81-86 可為如下任何電晶體：其可在兩個方向上經同一主溝道傳導一有效電流，例如傳導至少與該等裝置所使用之電路之最大工作電流一樣大的電流，且能夠在至少一方向上阻斷一有效電壓，例如大於電路之 DC 高電壓 HV 之電壓。每一裝置必須能夠在至少一方向上阻斷電壓，該電壓係至少介於零伏特與大於 HV 之電壓（例如 $HV + 1$ 伏特、 $HV + 5$ 伏特或 $HV + 10$ 伏特）之間。HV 之值以及因此該裝置必須能夠阻斷之電壓範圍，取決於特定電路應用。舉例而言，在某些低功率應用中，HV 可為 10 伏特，且該等裝置分別至少能夠阻斷 0 伏特與

10 伏特之間之電壓以及大於 10 伏特之電壓，例如 11 伏特、20 伏特或 30 伏特之電壓。在某些大功率應用中，HV 可為 1000 伏特，且因此該等裝置分別至少能夠阻斷 0 伏特與 1000 伏特之間之所有電壓以及大於 1000 伏之電壓，例如 1100 伏特、1150 伏特或 1200 伏特之電壓。因此，選擇能夠阻斷足夠大小之電壓之適宜電晶體可取決於電路之應用。能夠阻斷足夠大小之電流之電晶體可容許某一較小之電流經主溝道或經裝置中除主溝道外之其他部分洩露。然而，電晶體能夠阻斷足夠大小之電流，所述大小為在正常運作期間經過電晶體之最大電流之一有效百分比，例如大於最大電流之 90%、95%、99% 或 99.9%。

滿足該等標準之裝置實例為任何材料體系之金屬半導體場效應電晶體 (MESFET)、任何材料體系之結場效應電晶體 (JFET) 以及任何材料體系之高電子遷移率電晶體 (HEMT 或 HFET)，包括例如電流孔徑垂直電子電晶體 (current aperture vertical electron transistor; CAVET) 等垂直裝置以及例如極化 - 摻雜場效應電晶體 (polarization-doped field effect transistor; POLFET) 等其中溝道電荷具有 3 維分佈之裝置。常用於 HEMT 及 MESFET 之材料體系包括 $\text{Ga}_x\text{Al}_y\text{In}_{1-x-y}\text{N}_m\text{As}_n\text{P}_{1-m-n}$ 或 III-V 材料，例如 III-N 材料、III-As 材料及 III-P 材料。常用於 JFET 之材料包括 III-V 材料、SiC 及 Si (即實質上不含碳之矽)。在某些具體實施例中，該等裝置為增強

模式裝置（臨限電壓 $V_{th}>0$ ），而在其他具體實施例中，則為耗盡模式裝置（ $V_{th}<0$ ）。

在某些具體實施例中，裝置 81-86 由增強模式 III-氮化物 (III-N) 裝置組成，該等裝置具有盡可能大之臨限電壓（例如 $V_{th}>2$ 伏特或 $V_{th}>3$ 伏特），在 0 偏壓下具有自源極至汲極之高內位障（例如 0.5-2 電子伏特）以及高存取區域導電率（例如薄膜電阻 <750 歐姆/平方公分），並且具有高之擊穿電壓（至少 600/1200 伏特）及低導通電阻（在 600/1200 伏特下分別為 <5 或 <10 毫歐姆-平方公分）。在某些具體實施例中，該等裝置為氮面 III-N HEMT，例如在 2007 年 9 月 17 日提交申請之美國專利申請案第 11/856,687 號及 2008 年 11 月 26 日提交申請之美國專利申請案第 12/324,574 號中所述者，該二美國專利申請案以引用方式併入本文中。該等裝置亦可包括如下各項中之任一者：表面鈍化層（例如 SiN）、電場板（例如傾斜電場板）以及位於閘極下之絕緣體。在其他具體實施例中，該等裝置由 SiC JFET 組成。

在某些具體實施例中，在半橋或橋式電路中使用第 7 圖所示裝置 91 取代第 4 圖所示之任何或所有裝置 81-86。裝置 91 包括一低電壓 E 模式電晶體 92（例如 III-N E 模式電晶體），該低電壓 E 模式電晶體 92 如圖所示連接至一高電壓 D 模式電晶體 90（例如一 III-N D 模式電晶體）。在某些具體實施例中，E 模式電晶體 92 為一氮面 III-N 裝置，且 D 模式電晶體 90 為一 III 面 III-N 裝置。

當 E 模式電晶體 92 在任一方向上傳導電流時，實質全部電流皆經電晶體 92 之同一主裝置溝道傳導。D 模式電晶體 90 之閘極電性連接至 E 模式電晶體 92 之源極，且 D 模式電晶體 90 之源極電性連接至 E 模式電晶體 92 之汲極。在某些具體實施例中，D 模式電晶體 90 之閘極不直接連接至 E 模式電晶體 92 之源極。而是，D 模式電晶體 90 之閘極及 E 模式電晶體 92 之源極分別電性連接至一電容器之相對端。第 7 圖中之裝置 91 可按類似於與 E 模式電晶體 92 具有相同臨限電壓之單一高電壓 E 模式電晶體之方式運作。亦即，相對於節點 97 施加至節點 96 之輸入電壓訊號可在節點 94 處產生一輸出訊號，當相對於 E 模式電晶體之源極對 E 模式電晶體之閘極施加一輸入電壓訊號時，該輸出訊號與在 E 模式電晶體之汲極端子處所產生的輸出訊號相同。節點 97、96 及 94 在此分別被稱為裝置 91 之源極、閘極及汲極，類似於對單一電晶體之三個端子所用之術語。當裝置 91 處於阻斷模式時，大部分電壓被 D 模式電晶體 90 阻斷，而僅一小部分被 E 模式電晶體 92 阻斷，如下文所述。當裝置 91 在任一方向傳導電流時，實質上所有電流皆經 E 模式電晶體 92 之溝道及 D 模式電晶體 90 之溝道傳導。

第 7 圖中之裝置 91 按下述方式運作。當節點 94 保持處於高於節點 97 之電壓時，當相對於節點 97 對節點 96 施加足夠正電壓（即大於 E 模式電晶體 92 之臨限電壓之電壓）時，電流自節點 94 流至節點 97，該電流流經 E

模式電晶體 92 之溝道及 D 模式電晶體 90 之溝道二者。
 當節點 96 相對於節點 97 之電壓被切換至低於 E 模式電晶體 92 之臨限電壓之值（例如 0 伏特）時，裝置 91 處於阻斷模式，藉此阻斷節點 97 與 94 間之電壓，且無有效電流流過裝置 91。若節點 94 之電壓現在被切換至低於節點 97 及 96（其保持處於相同電壓）之值，則裝置 91 切換至二極體模式，使所有有效電流經 E 模式電晶體 92 之溝道及 D 模式電晶體 90 之溝道二者傳導。當相對於節點 97 對節點 94 施加一高電壓(HV)且將節點 96 相對於節點 97 偏壓於 0 伏特時，E 模式電晶體 92 阻斷一約等於 $|V_{th90}|$ 或略高之電壓，其中 $|V_{th90}|$ 為 D 模式電晶體 90 之臨限電壓之大小。 V_{th90} 之值可約為 -5 至 -10 伏特。節點 95 之電壓因而約等於 $|V_{th90}|$ 或略高，因此 D 模式電晶體 90 處於關斷狀態且阻斷約等於 HV 減 $|V_{th90}|$ 之電壓（即 D 模式電晶體 90 阻斷有效電壓）。當相對於節點 97 對節點 94 施加一正電壓且將節點 96 偏壓至一大於 E 模式電晶體 92 之臨限電壓 $V_{th,92}$ 之電壓（例如 $2 * V_{th,92}$ ）時，電流自節點 94 經 E 模式電晶體 92 之溝道及 D 模式電晶體 90 之溝道二者流至節點 97，且 E 模式電晶體 92 兩端之壓降 V_F 遠小於 $|V_{th90}|$ ，例如小於約 0.2 伏特。在此等條件下，節點 95 相對於節點 97 之電壓為 V_F ，且 D 模式電晶體 90 之閘極-源極電壓 V_{GS90} 為約 $-V_F$ 。

D 模式電晶體 90 可為能夠阻斷大電壓（例如至少 600 伏特或至少 1200 伏特或電路應用所需之其他適宜之阻

斷電壓)之高電壓裝置。如上文所述，當裝置 91 處於阻斷模式時，D 模式電晶體至少能夠阻斷一有效電壓，例如大於電路 DC 高電壓 HV 之電壓。此外，D 模式電晶體 90 之臨限電壓 V_{th90} 充分低於 $-V_F$ ，使得當組合件處於導通狀態時，D 模式電晶體 90 對於其所用於之電路應用而言以足夠低之傳導損耗傳導自節點 94 流至節點 97 之電流。因此，D 模式電晶體 90 之閘極-源極電壓充分大於 V_{th90} ，使得對於電路應用而言傳導損耗不太大。舉例而言， V_{th90} 可小於 -3 伏特、-5 伏特或 -7 伏特，且當 D 模式電晶體 90 之閘極-源極電壓 V_{GS90} 約為 $-V_F$ 時，D 模式電晶體 90 能夠以低於 7 瓦特之傳導損耗傳導 10 安培或更大之電流。

E 模式電晶體 92 至少能夠阻斷大於 $|V_{th90}|$ 之電壓，其中 $|V_{th90}|$ 為 D 模式電晶體 90 之臨限電壓之大小。在某些具體實施例中，E 模式電晶體 92 可阻斷約 $2 * |V_{th90}|$ 之電壓。對於 D 模式電晶體 90 可使用高電壓 D 模式 III-N 電晶體，例如 III-N HEMT 或 SiC JFET。因高電壓 D 模式 III-N 電晶體之典型臨限電壓為約 -5 至 -10 伏特，故 E 模式電晶體 92 能夠阻斷約 10-20 伏特或更大之電壓。在某些具體實施例中，E 模式電晶體 92 為一 III-N 電晶體，例如 III-N HEMT。在其他具體實施例中，E 模式電晶體 92 為一 SiC 電晶體，例如 SiC JFET。

當使用第 7 圖之裝置 91 取代第 4 圖之橋式電路中之裝置 81-86 時，該電路按下述方式運作。當使用裝置 91 取

代此等裝置時，裝置 81-86 將被稱為 81'-86'。在某些具體實施例中，該等裝置 81'-86' 彼此完全相同。即使裝置並不完全相同，其亦應分別具有大於 0 之臨限電壓。參見第 5a 圖及第 5b 圖所示之開關順序，當裝置 81' 及 84' 之閘極-源極電壓大於 E 模式電晶體 92 之臨限電壓且裝置 82' 之閘極-源極電壓小於 E 模式電晶體 92 之臨限電壓（例如為 0 伏特）時，電流自高電壓源經裝置 81' 之該二電晶體之溝道及經裝置 84' 之該二電晶體之溝道流至接地。裝置 82' 阻斷一電壓 V_a ，其中 V_a 同樣為節點 17 之電壓。參見第 5b 圖，當裝置 81' 斷開時，電感組件 21 迫使節點 17 處之電壓 V_a 變為一負值，且裝置 81' 現在阻斷一等於 HV 減 V_a 之電壓。裝置 82' 現在以二極體模式運作，其中電流自接地經裝置 82' 流至節點 17。流經裝置 82' 之實質全部電流皆經 E 模式電晶體 92 之溝道及 D 模式電晶體 90 之溝道二者傳導。當橋式電路在第 5c 圖所示條件下運作時，亦即，當電流自節點 18 經電感組件流至節點 17 時，裝置 81' 斷開，且裝置 82' 之閘極-源極電壓大於 E 模式電晶體 92 之臨限電壓，電流自節點 17 經裝置 82' 流至接地。流經裝置 82' 之實質全部電流皆經 E 模式電晶體 92 之溝道及 D 模式電晶體 90 之溝道二者傳導。

因此，對於第 5a 圖所示之運作模式而言，裝置 82' 中之 D 模式電晶體阻斷一有效電壓，對於第 5b 圖所示之運作模式而言，裝置 82' 之 D 模式電晶體傳導自源極經其

溝道向汲極流動之有效電流，且對於第 5c 圖所示之運作模式而言，裝置 82' 之 D 模式電晶體傳導自汲極經其溝道向源極流動之有效電流。

重新參見第 7 圖，當裝置 91 以二極體模式運作時，節點 95 之電壓必須小於節點 97 之電壓。因此，D 模式電晶體 90 之閘極處於高於 D 模式電晶體 90 之源極之電壓，且 D 模式電晶體 90 之溝道得到增強。然而，端視 E 模式電晶體 92 之電流位準及臨限電壓而定，當裝置 81'-86' 以二極體模式運作時，E 模式電晶體 92 之功率消耗可能過高而令人無法接受。在此種情形中，可藉由施加第 6 圖所示形式之閘極訊號，實現更低功率運作模式。舉例而言，當裝置 81' 如第 5a 及 5b 圖所示進行切換時，在裝置 82' 傳導續流電流之時間期間（當裝置 81' 關斷時），裝置 82' 之閘極被驅動至高位準，藉以容許裝置 82' 之汲極-源極電壓簡單地為裝置 82' 之導通狀態電阻 (R_{ds-on}) 乘以馬達電流。為避免自高電壓電源 (HV) 至接地之貫通電流，必須在裝置 81' 之關斷與裝置 82' 之導通期間提供某個失效時間，且在裝置 82' 之關斷與裝置 81' 之導通期間再次提供。失效時間在第 6 圖中被標記為「A」。在該等失效時間期間，裝置 82' 以上述二極體模式運作。因與整個開關週期相比，該時間較短，故功率消耗並不顯著。時間「B」提供裝置 82' 之主要損失因子，且此對應於當 E 模式電晶體 92 得到完全增強時之低功率模式。

在某些具體實施例中，在半橋或橋式電路中使用第 8 圖所示裝置 111 取代第 4 圖所示之任何或所有裝置 81-86。裝置 111 類似於第 7 圖之裝置 91，只是 E 模式電晶體 92 已被取代為一低電壓 E 模式電晶體，例如一矽 (Si) 基垂直 Si MOS 場效應電晶體 (FET)——在本文中被稱為 Si MOS 電晶體 103。在某些具體實施例中，該低電壓 E 模式電晶體為一 SiC JFET 或一 SiC MOSFET。Si MOS 電晶體 103 具有與第 7 圖所示 E 模式電晶體 92 相同之電壓阻斷要求。亦即，Si MOS 電晶體 103 至少能夠阻斷大於 $|V_{th90}|$ 之電壓，其中 $|V_{th90}|$ 為 D 模式電晶體 90 之臨限電壓之大小。在某些具體實施例中，Si MOS 電晶體 103 可阻斷約 $2 * |V_{th90}|$ 之電壓。對於 D 模式電晶體 90 可使用高電壓 D 模式 III-N 電晶體。因高電壓 D 模式 III-N 電晶體之典型臨限電壓為約 -5 至 -10 伏特，故 Si MOS 電晶體 103 能夠阻斷約 10-20 伏特或更大之電壓。

Si MOS 電晶體本身包含一與本質電晶體 102 反平行之寄生二極體 101，如第 8 圖所示。當裝置 111 處於阻斷模式時以及在標準正向導通模式期間（即當電流自節點 94 流至節點 97 時），Si MOS 電晶體 103 以與 E 模式電晶體 92 相同之方式運作。亦即，當相對於節點 97 對節點 94 施加一高電壓 HV 且 Si MOS 電晶體 103 之閘極-源極電壓低於臨限值，從而使裝置 111 處於阻斷模式時，Si MOS 電晶體 103 阻斷一約等於 $|V_{th90}|$ 或略大之電壓，高電壓之其餘部分則被 D 模式電晶體 90 阻斷，即 D 模式電晶體 90

阻斷一有效電壓。當節點 94 之電壓大於節點 97 之電壓且 Si MOS 電晶體 103 之閘極-源極電壓高於臨限值時，裝置 111 處於標準正向導通模式，其中電流自節點 94 流至節點 97。該電流實質上全部經 Si MOS 電晶體 103 之溝道及 D 模式電晶體 90 之溝道傳導。節點 95 與節點 97 間之電壓差介於 0 伏特與 $|V_{th90}|$ 之間，其中 V_{th90} 為 D 模式電晶體 90 之臨限電壓。在此種運作模式中，寄生二極體 101 被反偏壓且阻斷一小於 $|V_{th90}|$ 之電壓。

當裝置 111 處於二極體模式時，Si MOS 電晶體 103 之運作方式不同於 E 模式電晶體 92 之運作方式。當裝置 111 以二極體模式運作時，節點 94 之電壓低於節點 97 之電壓，Si MOS 電晶體 103 之閘極-源極電壓低於臨限值，且電流自節點 97 流至節點 94。在此等條件下，節點 95 之電壓必須小於節點 97 之電壓。承受正偏壓之寄生二極體 101 導通且阻止本質電晶體 102 導通。因此，當裝置 111 處於二極體模式時，流經 Si MOS 電晶體 103 之大部分電流流經寄生二極體 102 而非流經 Si MOS 電晶體 103 之溝道。然而，當裝置 111 處於二極體模式時，該電流之實質上仍全部經 D 模式電晶體 90 之溝道傳導。

當裝置 111 以二極體模式運作時，節點 95 之電壓必須小於節點 97 之電壓。因此，D 模式電晶體 90 之閘極之電壓高於 D 模式電晶體 90 之源極，且 D 模式電晶體 90 之溝道得到增強。端視寄生二極體 101 之電流位準及正向導通特性而定，當裝置 111 以二極體模式運作時，寄

生二極體 101 中之功率消耗可能過高而令人無法接受。在此種情形中，可藉由施加第 6 圖所示形式之閘極訊號，實現更低功率運作模式。作為一實例，考量第 4 圖之橋式電路，但其中每一裝置 81-86 皆被裝置 111 取代。在該實例中，橋式電路中之裝置被稱為 81"-86"。當裝置 81" 如第 5a 及 5b 圖所示進行切換時，在裝置 82" 傳導續流電流期間（當裝置 81" 關斷時），裝置 82" 之閘極被驅動至高位準。此使經過裝置 82" 之 Si 電晶體 103 之電流主要流經增強之本質電晶體 102 而非流經寄生二極體 101，藉以容許 Si 電晶體 103 之汲極-源極電壓簡單地為 Si 電晶體 103 之有效導通狀態電阻 (R_{ds-on}) 乘以電流。為避免自高電壓電源 (HV) 至接地之貫通電流，必須在裝置 81" 之關斷與裝置 82" 之導通期間提供某個失效時間，且在裝置 82" 之關斷與裝置 81" 之導通期間再次提供。失效時間在第 6 圖中被標記為「A」。在該等失效時間期間，裝置 82" 以上述二極體模式運作，其中經過 Si 電晶體 103 之電流主要流經寄生二極體 101。

在某些具體實施例中，在半橋或橋式電路中使用第 9 圖所示裝置 112 取代任何或所有裝置 81-86。裝置 112 類似於第 8 圖之裝置 111，但更包含一與寄生二極體 101 並列連接之低電壓、低導通電阻二極體 104。二極體 104 具有與 Si MOS 電晶體 103 相同之電壓阻斷要求。亦即，二極體 104 至少能夠阻斷大於 $|V_{th90}|$ 之電壓，其中 $|V_{th90}|$ 為 D 模式電晶體 90 之臨限電壓之大小。在某些具體實施例

中，二極體 104 可阻斷約 $2 * |V_{th90}|$ 之電壓。對於 D 模式電晶體 90 可使用高電壓 D 模式 III-N 電晶體。因高電壓 D 模式 III-N 電晶體之典型臨限電壓為約 -5 至 -10 伏特，故二極體 104 能夠阻斷約 10-20 伏特或更大之電壓。低電壓裝置，例如低電壓二極體或電晶體，不能夠阻斷由 DC 電源施加於高電壓電路中之高電壓（例如 600 伏特或 1200 伏特）。在某些具體實施例中，可由低電壓二極體或低電壓電晶體阻斷之最大電壓係約為 40 伏特、30 伏特、20 伏特或 10 伏特。此外，二極體 104 具有較寄生二極體 101 為低之導通電壓。因此，當將裝置 112 偏壓至二極體模式時，電流主要流經二極體 104 而非寄生二極體 101。可用於二極體 104 之二極體，例如低電壓蕭特基二極體，可具有較寄生二極體 101 為低之開關損耗及傳導損耗。因此，對於裝置 112 而言，在裝置運作期間之傳導損耗及開關損耗可較裝置 111 為小。

端視二極體 104 之電流位準及正向導通特性而定，當裝置 112 以二極體模式運作時，二極體 104 中之功率消耗可能過高而令人無法接受。同樣，可藉由施加第 6 圖所示形式之閘極訊號，實現更低功率運作模式。當在裝置 112 傳導續流電流之同時裝置 112 之閘極被驅動至高位準時，電流主要流經增強之本質電晶體 102 而非流經二極體 104，藉以容許 Si MOS 電晶體 103 之汲極-源極電壓簡單地為 Si MOS 電晶體 103 之有效導通狀態電阻 (R_{ds-on}) 乘以電流。

儘管第 9 圖中之裝置 112 確實包含一二極體，但該二極體不需要能夠阻斷整個電路 DC 電壓 HV，其僅需阻斷略大於 $|V_{th90}|$ 之電壓。因此，可使用低電壓二極體。此可優於使用在橋式電路中通常所包含之高電壓二極體之情形，乃因低電壓二極體可被製作成具有低於高電壓二極體之開關損耗及傳導損耗。因此，與其中使用高電壓二極體之半橋及橋式電路相比，電路中之功率損耗可得以降低。

上文已闡述了本發明之若干具體實施例。然而，應理解，可在不背離本發明之精神及範圍之條件下作出各種修改。舉例而言，一半橋可包括一開關及一第二開關，所述一開關使用一單個電晶體而不使用二極體，第二開關則具有一電晶體及一二極體。在某些具體實施例中，半橋係由兩個電晶體組成，且不包括任何二極體。在某些具體實施例中，電流並非自一個半橋經一電感器流至另一半橋之一電晶體，而是自電感器流出之電流流至另一電性組件（例如電容器）或直接流至一接地端子或一 DC 電壓源。因此，其他具體實施例亦落入以下申請專利範圍之範圍內。

【圖式簡單說明】

第 1 圖為一 3 相橋式電路之示意圖。

第 2a 圖-第 2c 圖示出當該 3 相橋式電路通電時之示意

圖及其電流路徑。

第 3a 圖 - 第 3b 圖示出 MOS 裝置之示意圖及其電流路徑。

第 4 圖示出一具有單裝置開關之橋式電路之示意圖。

第 5a 圖 - 第 5d 圖示出流經單電晶體開關之電流路徑之示意圖。

第 6 圖示出閘極訊號之時序圖。

第 7 圖 - 第 9 圖示出可在第 4 圖之橋式電路中使用之開關之示意圖。

在各圖式中，相同參考符號表示相同元件。

【主要元件符號說明】

10	電路
15	半橋
17	節點
18	節點
19	節點
21	電感組件
25	半橋
27	電流
35	半橋
37	反向電流
41	電晶體

42	電 晶 體
43	電 晶 體
44	電 晶 體
45	電 晶 體
46	電 晶 體
50	MOS 裝 置
51	續 流 二 極 體
52	續 流 二 極 體
53	續 流 二 極 體
54	續 流 二 極 體
55	續 流 二 極 體
56	續 流 二 極 體
60	寄 生 二 極 體
61	開 關
62	開 關
63	開 關
64	開 關
65	開 關
66	開 關
68	蕭 特 基 二 極 體
69	二 極 體
71	本 質 MOS 電 晶 體
81	單 一 電 晶 體 裝 置

82	單一電晶體裝置
83	單一電晶體裝置
84	單一電晶體裝置
85	單一電晶體裝置
86	單一電晶體裝置
90	高電壓 D 模式電晶體
91	裝置
92	E 模式電晶體
94	節點
95	節點
96	節點
97	節點
101	寄生二極體
102	本質電晶體
103	Si MOS 電晶體
104	低電壓、低導通電阻二極體
111	裝置
112	裝置
A	失效時間
B	時間
HV	高電壓
V_{GS41}	電壓
V_{GS42}	電壓

V_{GS44}	電 壓
V_{GS61}	電 壓
V_{GS62}	電 壓
V_{GS63}	電 壓
V_{GS64}	電 壓
V_{GS65}	電 壓
V_{GS66}	電 壓
V_{GS81}	電 壓
V_{GS82}	電 壓
V_{GS83}	電 壓
V_{GS84}	電 壓
V_{GS85}	電 壓
V_{GS86}	電 壓

七、申請專利範圍：

1. 一種半橋，包括具有一閘極、一源極、一汲極、及一溝道之一電晶體，該電晶體經配置以在一第一運作模式期間在一第一方向上阻斷一有效電壓，在一第二運作模式期間經該溝道在該第一方向上傳導有效電流，及在一第三運作模式期間經該溝道在一相反方向上傳導有效電流，其中在該第三運作模式中，該閘極相對於該源極以低於該電晶體之一臨限電壓之一電壓偏壓。

2. 如申請專利範圍第 1 項所述之半橋，其中該半橋包括至少兩個電晶體，且每一電晶體經組態以用作一開關電晶體及一反平行二極體。

3. 如申請專利範圍第 1 項所述之半橋，其中該電晶體係一第一電晶體，該半橋更包括一第二電晶體。

4. 如申請專利範圍第 3 項所述之半橋，其中該第一及該第二電晶體為增強模式電晶體。

5. 如申請專利範圍第 4 項所述之半橋，其中該第一及該第二電晶體為增強模式 III-N 電晶體或 SiC JFET 電晶體。

6. 如申請專利範圍第 4 項所述之半橋，其中該第一及該第二電晶體為氮面 III-N HEMT。

7. 如申請專利範圍第 4 項所述之半橋，其中該第一及該第二電晶體具有一至少為 2 伏特之臨限電壓。

8. 如申請專利範圍第 4 項所述之半橋，其中該第一及該第二電晶體具有一為 0.5 至 2 電子伏特之自源極至汲極之內位障。

9. 如申請專利範圍第 4 項所述之半橋，其中該第一及該第二電晶體具有一小於 5 毫歐姆-平方公分之導通電阻及一至少為 600 伏特之擊穿電壓。

10. 如申請專利範圍第 4 項所述之半橋，其中該第一及該第二電晶體具有一小於 10 毫歐姆-平方公分之導通電阻及一至少為 1200 伏特之擊穿電壓。

11. 如申請專利範圍第 1 項所述之半橋，其中該半橋不含二極體。

12. 如申請專利範圍第 1 項所述之半橋，其中該電晶體更能夠於一第四運作模式中，以在經過該溝道之相反方向上傳導該有效電流，其中在該第四運作模式中，該閘極相對於該源極以高於該電晶體之該臨限電壓之一電壓偏壓。

13. 如申請專利範圍第 1 項所述之半橋，其中該電晶體係一增強模式電晶體。

14. 如申請專利範圍第 1 及 13 項之任一項所述之半橋，其中該電晶體係一 III-N 電晶體。

15. 如申請專利範圍第 1 及 13 項之任一項所述之半橋，其中該電晶體為一 III-N HEMT。

16. 一種橋式電路，包括複數個如申請專利範圍第 1 項所述之半橋。

17. 如申請專利範圍第 16 項所述之橋式電路，更包括一閘極驅動電路，該閘極驅動電路經組態以獨立地控制該等電晶體中每一者之一閘極電壓。

18. 一種橋式電路，包括複數個如申請專利範圍第 5 項所述之半橋。

19. 一種橋式電路，包括複數個如申請專利範圍第 3 項所述之半橋。

20. 如申請專利範圍第 19 項所述之橋式電路，其中一節點位於每一半橋之該第一及該第二電晶體之間，且該等節點中每一者皆藉由一電感負載的方式相互耦接。

21. 如申請專利範圍第 19 項所述之橋式電路，其中該橋式電路不含二極體。

22. 一種操作一電路之方法，該電路包括一半橋電路級，該半橋電路級包括一第一電晶體、一第二電晶體以及一電感組件，其中該電感組件耦接於該第一電晶體與該第二電晶體之間，該第一電晶體位於一電壓源與該第二電晶體之間，且該第二電晶體係位於一接地與該第一電晶體之間，該方法包括以下步驟：

將該第一電晶體偏壓導通且將該第二電晶體偏壓關斷，以容許電流流經該第一電晶體及該電感組件，且在一第一方向上阻斷該第二電晶體兩端之電壓；以及

將該第一電晶體改變至一關斷偏壓狀態而維持該第二電晶體偏壓關斷，以容許該電流在一第二方向上流經該第二電晶體之一溝道。

23. 如申請專利範圍第 22 項所述之方法，更包括以下步驟：

在將該第一電晶體改變至一關斷偏壓狀態後，將該第二電晶體改變至一導通偏壓狀態，其中該電流在該第二方向上持續流經該第二電晶體之該溝道。

24. 如申請專利範圍第 23 項所述之方法，其中將該第一電晶體改變至一關斷偏壓狀態之步驟與將該第二電晶體改變至一導通偏壓狀態之步驟間之時間足夠長，以防止自該高電壓源至接地之貫通電流 (shoot-through current)。

25. 如申請專利範圍第 24 項所述之方法，更包括以下步驟：

在將該第二電晶體改變至一導通偏壓狀態後，將該第二電晶體改變至一關斷偏壓狀態，以使該第二電晶體處於二極體模式；以及

將該第一電晶體改變至一導通偏壓狀態，以容許該電

流流經該第一電晶體，且阻斷該第二電晶體兩端之電壓。

26. 如申請專利範圍第 25 項所述之方法，其中將該第二電晶體改變至一關斷偏壓狀態之步驟與將該第一電晶體改變至一導通偏壓狀態之步驟間之時間足夠長，以防止自該高電壓源至接地之貫通電流。

27. 一種操作一電路之方法，該電路包括一電感組件及一半橋，該半橋包括一第一電晶體及一第二電晶體，其中該電感組件耦接於該第一電晶體與該第二電晶體之間，且該第一電晶體耦接至一電壓源，而該第二電晶體則耦接至接地，該方法包括以下步驟：

將該第一電晶體偏壓關斷且將該第二電晶體偏壓導通，以容許電流流經該電感組件及流經該第二電晶體，其中該第一電晶體在一第一方向上阻斷一第一電壓；以及

將該第二電晶體改變至一關斷偏壓狀態，以使該第一電晶體在一二極體模式中運作以在一第二方向上經過該第一電晶體之一溝道載送續流(freewheeling)電流，且使該第二電晶體阻斷一第二電壓。

28. 如申請專利範圍第 27 項所述之方法，更包含在將

該第二電晶體改變至一關斷偏壓狀態後，將該第一電晶體改變至一導通偏壓狀態，其中該續流電流持續在該第二方向上流經該第一電晶體之該溝道。

29. 一種半橋，包括：

一開關，該開關包括一第一電晶體及一第二電晶體，該第一電晶體之一閘極電性連接至該第二電晶體之一源極，且該第一電晶體之一源極電性連接至該第二電晶體之一汲極，其中

該半橋經配置以使得在該半橋之一第一運作模式期間，該開關在一第一方向上阻斷一有效電壓；

在該半橋之一第二運作模式期間，該開關在該第一方向上經過該第一電晶體之一溝道傳導有效電流；

在該半橋之一第三運作模式期間，該開關在一第二方向上經過該溝道傳導有效電流，而同時該開關之一閘極相對於該開關之一源極以低於該開關之一臨限電壓之一電壓偏壓；以及

在該半橋之一第四運作模式期間，該開關在該第二方向上經過該溝道傳導有效電流，而同時該開關之該閘極相對於該開關之該源極以高於該開關之該臨限電壓之一電壓偏壓。

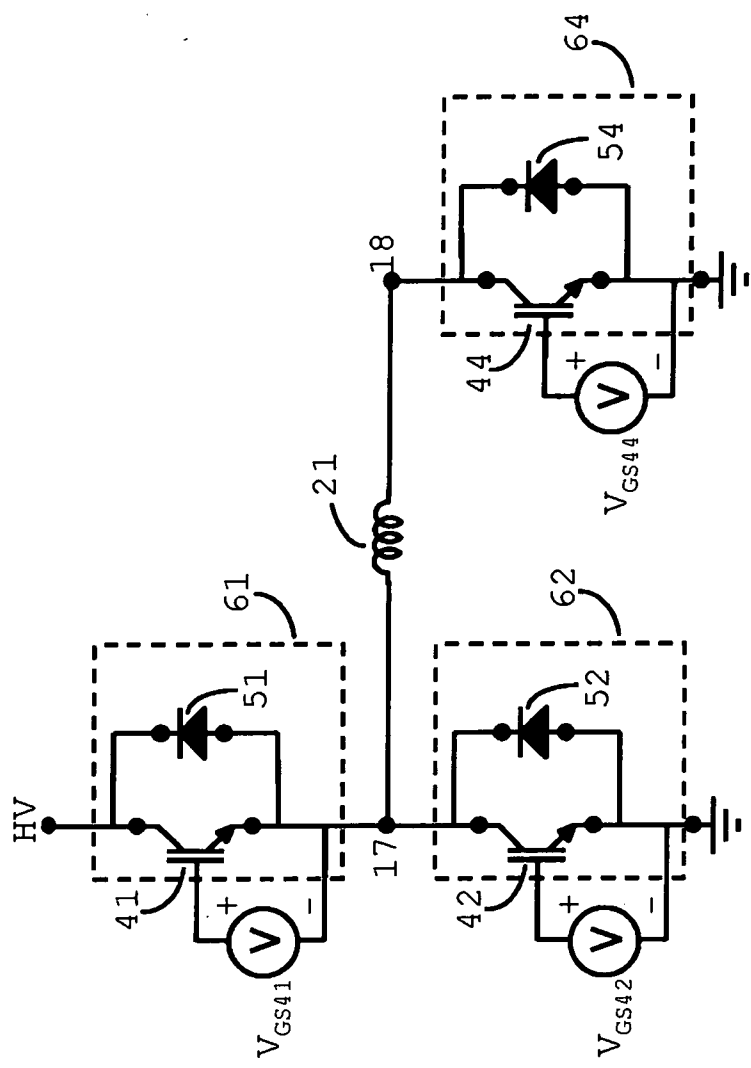
30. 如申請專利範圍第 29 項所述之半橋，其中該第一電晶體為一耗盡模式電晶體，而該第二電晶體為一增強模式電晶體。

31. 如申請專利範圍第 29 項所述之半橋，其中該第一電晶體為一高電壓裝置，而該第二電晶體為一低電壓裝置。

32. 如申請專利範圍第 29 項所述之半橋，其中該第一電晶體為一 III-N HEMT。

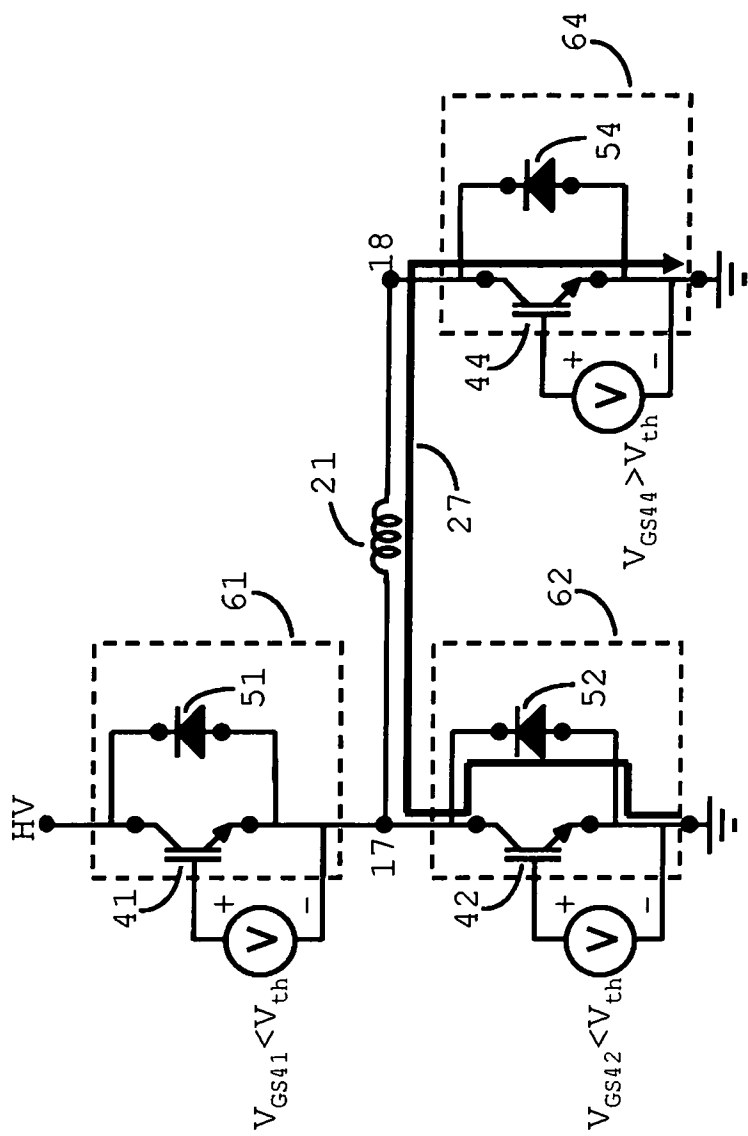
33. 如申請專利範圍第 29 項所述之半橋，其中該第二電晶體包括一寄生二極體而該半橋包括與該寄生二極體並聯連接之一低電壓二極體。

第1圖(先前技術)

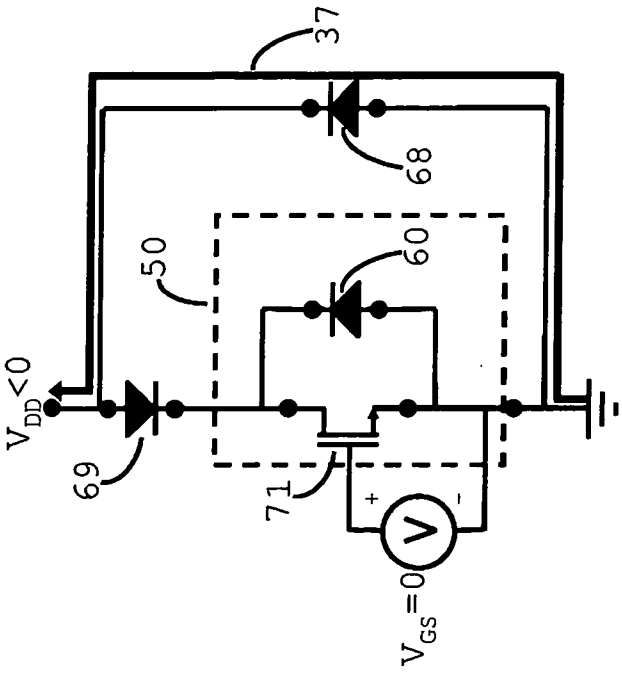


第 2a 圖 (先前技術)

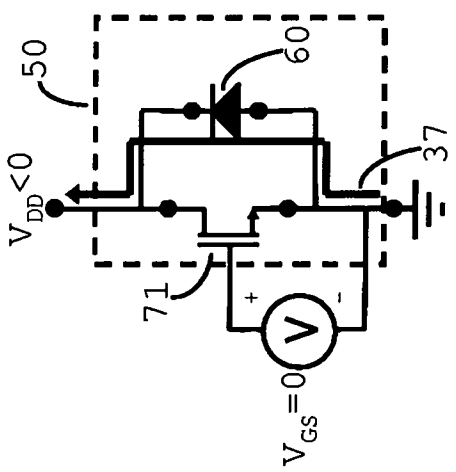




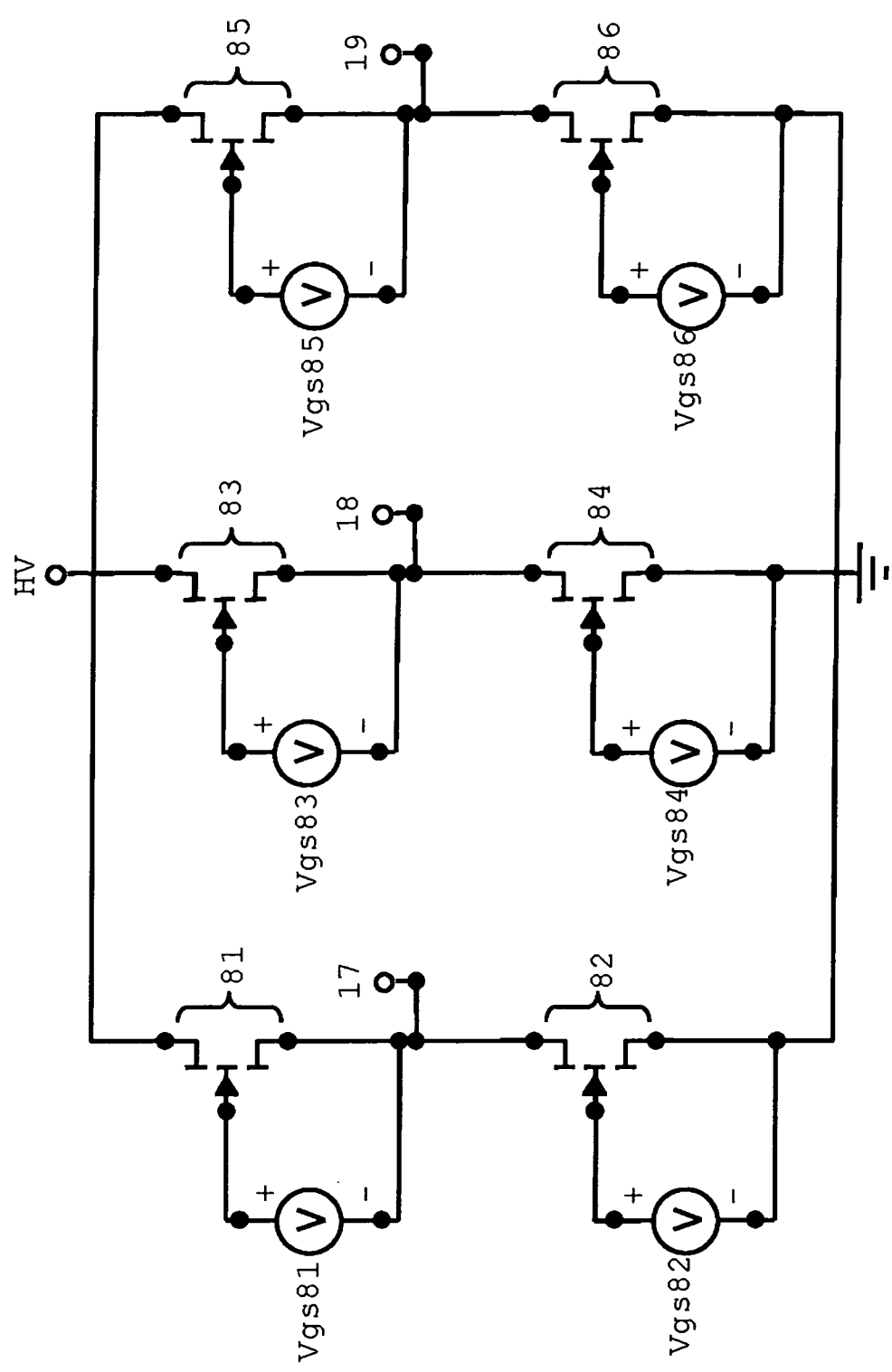
第 2c 圖 (先前技術)



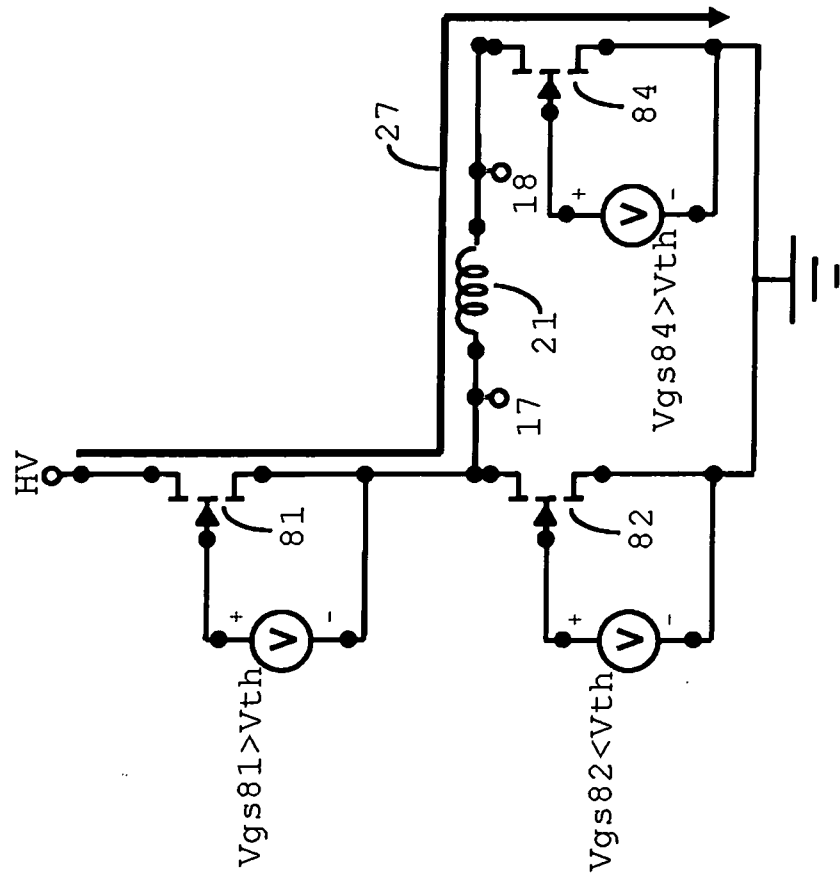
第 3b 圖 (先前技術)



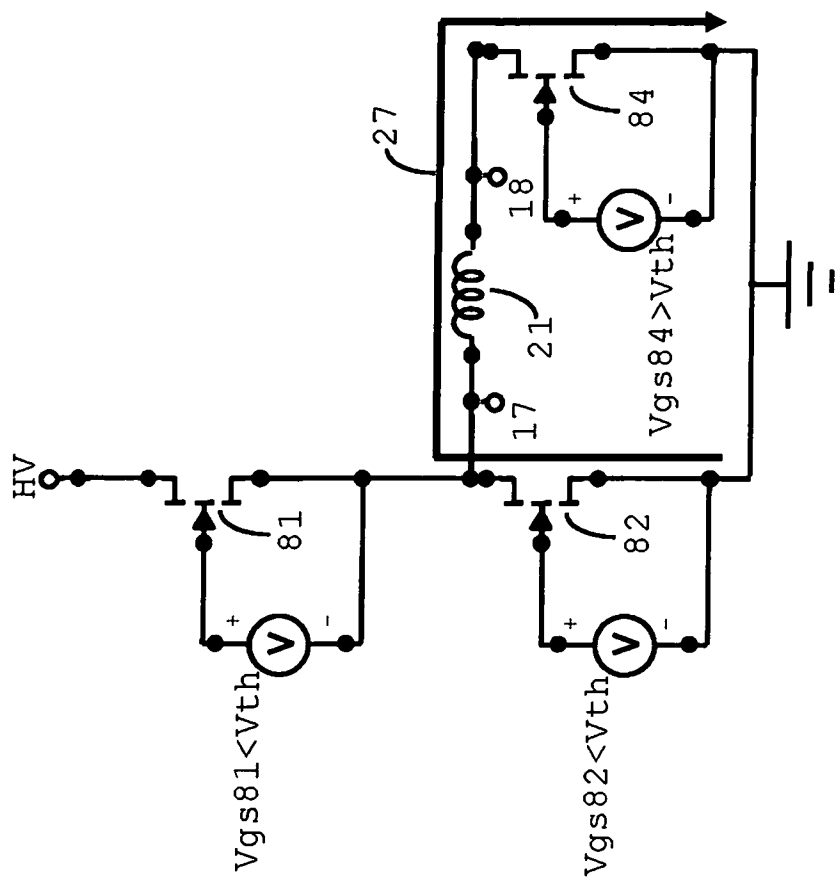
第 3a 圖 (先前技術)



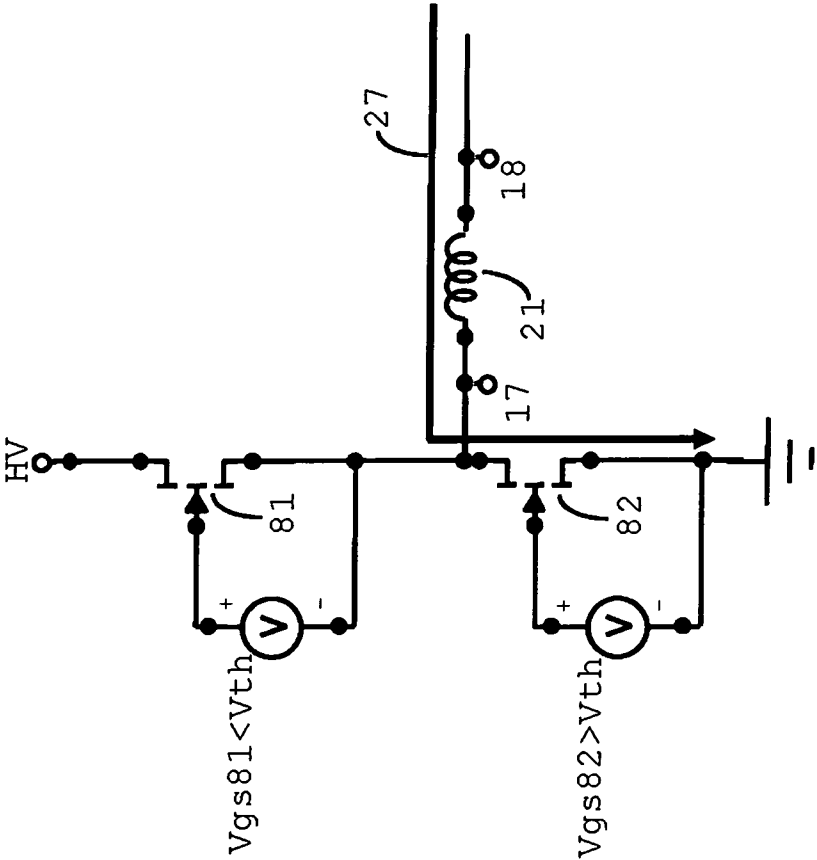
第 4 圖



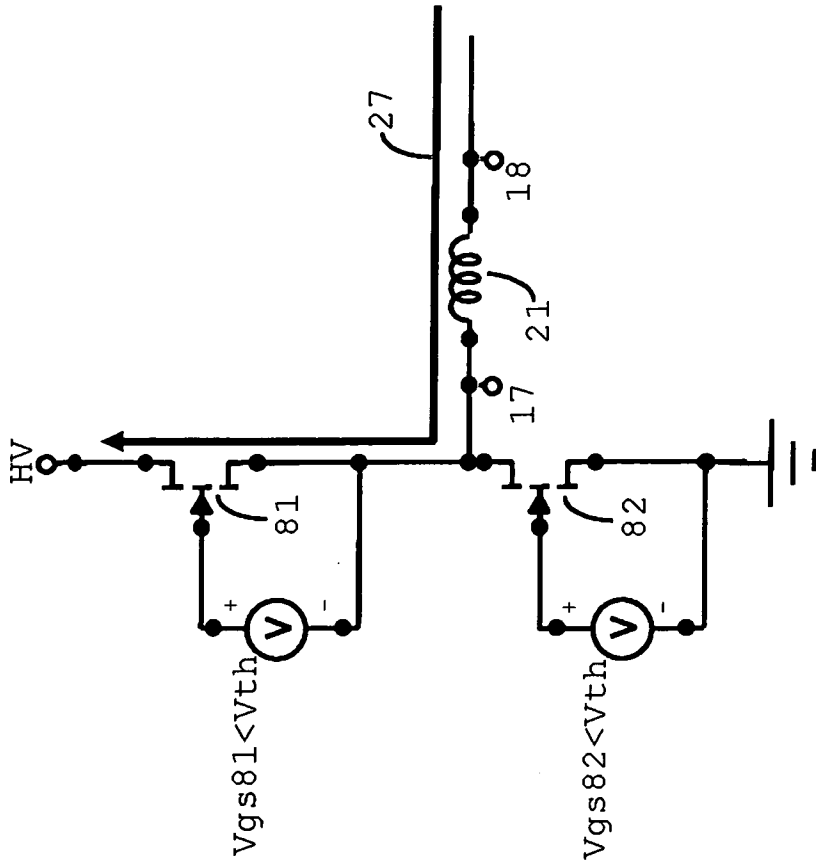
第 5a 圖



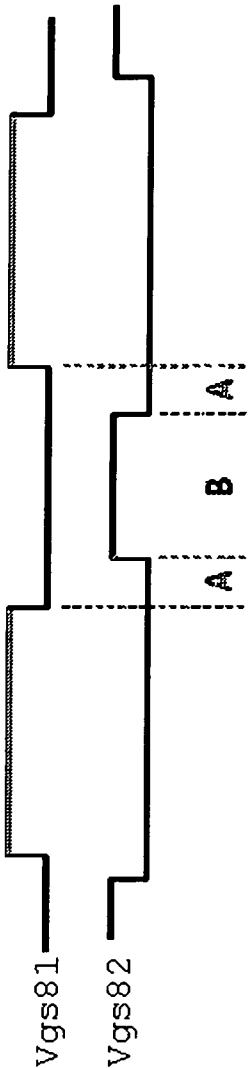
第 5b 圖



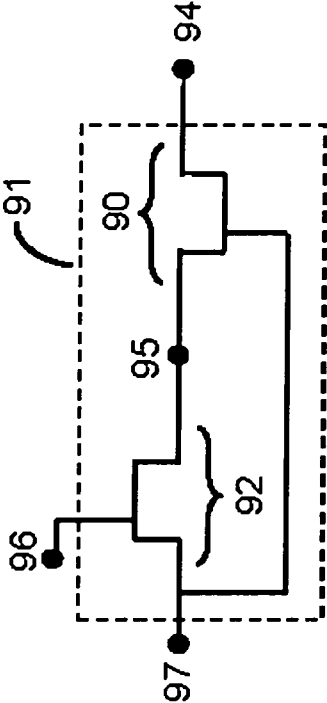
第 5c 圖



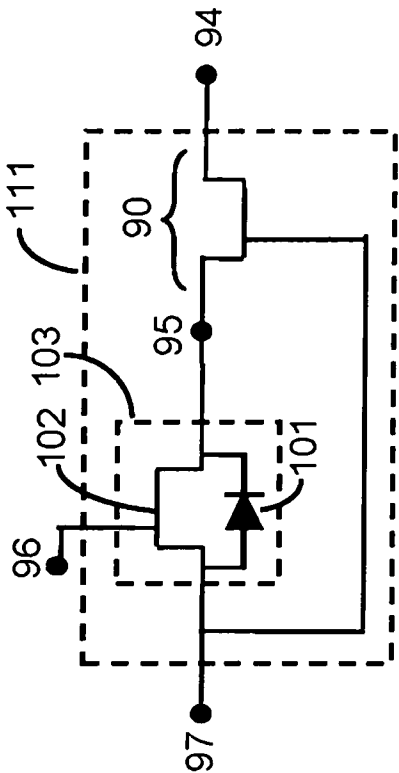
第 5d 圖



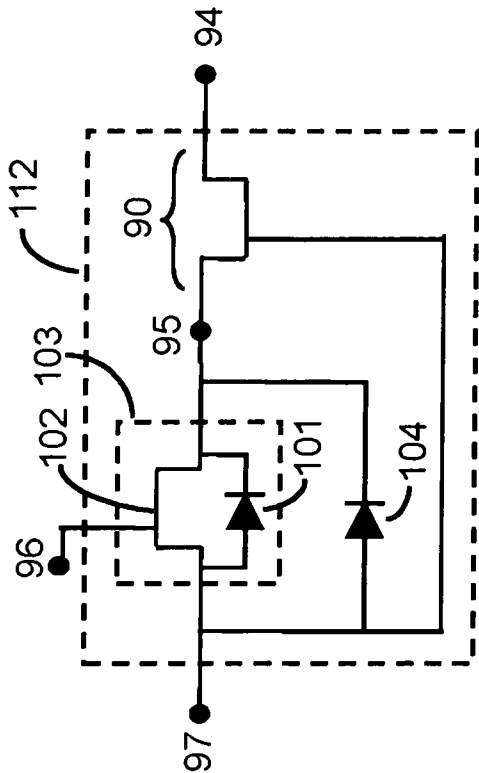
第 6 圖



第 7 圖



第 8 圖



第 9 圖