



[12] 发明专利申请公开说明书

[21] 申请号 200510009456.5

[43] 公开日 2005 年 9 月 21 日

[11] 公开号 CN 1670864A

[22] 申请日 2005.2.8

[21] 申请号 200510009456.5

[30] 优先权

[32] 2004.3.18 [33] JP [31] 2004-077757

[71] 申请人 株式会社瑞萨科技

地址 日本东京

[72] 发明人 山添孝德 秋元雄一郎 石田尚信

山崎英治 大平信裕

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

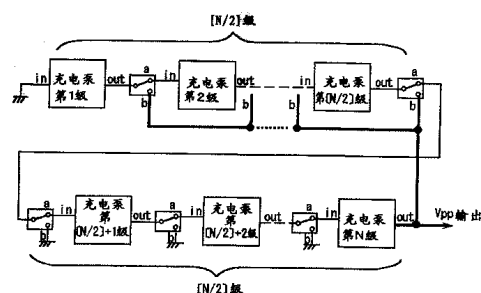
代理人 岳耀锋

权利要求书 3 页 说明书 7 页 附图 9 页

[54] 发明名称 升压电路和使用了它的非易失性存储器

[57] 摘要

提供一种升压电路和使用了该升压电路的非易失性存储器。为了进行非易失性存储器的擦除、写入，在把 N 级基本泵单元连接起来进行升压的一个升压电路中，通过串联或并联使用 $\leq N$ 级泵单元来产生供给输出电流的能力不同的小于等于擦除、写入时的升压电压；且在升压电压检测信号中切换升压用时钟。由此，不增大升压电路的芯片面积就能够在一个升压电路中产生不同的升压电压和输出电流，能够在待机等低功耗模式下，使升压电路的功耗成为超低功耗。



1. 一种升压电路，是把 N 级供给对非易失性存储器的数据读出、写入、擦除进行控制的电压的基本泵单元连接起来的升压电路，其特征在于：

上述升压电路，在上述非易失性存储器的数据读出时，使由从 N 级上述基本泵单元中选定的、 $\leq N/2$ 级的级数构成的一对基本泵单元并联工作。

2. 根据权利要求 1 所述的升压电路，其特征在于：

上述升压电路，在上述非易失性存储器的数据擦除、写入时，使 N 级上述基本泵单元串联工作。

3. 根据权利要求 1 所述的升压电路，其特征在于：

在上述非易失性存储器的待机时，使上述基本泵单元中的 $\leq N$ 级的上述基本泵单元工作。

4. 一种升压电路，其特征在于具有：

由两种不同的电压来控制，把 N 级基本泵单元连接起来的升压电路；以及

判定上述升压电路的输出电压是否超过了预定的阈值，根据该判定产生两种不同的电压的检测电路，

上述升压电路由上述检测电路产生的两种不同的电压来控制。

5. 根据权利要求 4 所述的升压电路，其特征在于：

上述升压电路供给对非易失性存储器的数据读出、写入、擦除进行控制的电压，

上述升压电路，在上述非易失性存储器的待机时，由上述检测电路产生的两种不同的电压来控制。

6. 根据权利要求 1 所述的升压电路，其特征在于：

具有周期性地产生两种不同的电压，对上述升压电路进行控制的时钟发生电路，

上述时钟发生电路，

在上述升压电路产生对上述非易失性存储器的擦除、写入、读出进行控制的电压时，变更上述周期；

在上述升压电路产生对上述非易失性存储器的待机进行控制的电压时，变更上述驱动能力。

7. 根据权利要求2所述的升压电路，其特征在于：

具有周期性地产生两种不同的电压，对上述升压电路进行控制的时钟发生电路，

上述时钟发生电路，

在上述升压电路产生对上述非易失性存储器的擦除、写入、读出进行控制的电压时，变更上述周期；

在上述升压电路产生对上述非易失性存储器的待机进行控制的电压时，变更上述驱动能力。

8. 根据权利要求3所述的升压电路，其特征在于：

具有周期性地产生两种不同的电压，对上述升压电路进行控制的时钟发生电路，

上述时钟发生电路，

在上述升压电路产生对上述非易失性存储器的擦除、写入、读出进行控制的电压时，变更上述周期；

在上述升压电路产生对上述非易失性存储器的待机进行控制的电压时，变更上述驱动能力。

9. 根据权利要求4所述的升压电路，其特征在于：

具有周期性地产生两种不同的电压，对上述升压电路进行控制的时钟发生电路，

上述时钟发生电路，

在上述升压电路产生对上述非易失性存储器的擦除、写入、读出进行控制的电压时，变更上述周期，

在上述升压电路产生对上述非易失性存储器的待机进行控制的电压时，变更上述驱动能力。

10. 根据权利要求1所述的升压电路，其特征在于：

并联工作的 $\leq N/2$ 级的上述基本泵单元分别是包含上述升压电路的第 1 级的前半部基本泵单元、和包含上述升压电路的末级的后半部基本泵单元，且把这两半部的输出合成。

11. 根据权利要求 3 所述的升压电路，其特征在于：

上述 $\leq N$ 级的上述基本泵单元是上述升压电路的后半部的基本泵单元。

12. 根据权利要求 10 所述的升压电路，其特征在于：

具有周期性地产生两种不同的电压，对上述升压电路进行控制的时钟发生电路，

上述时钟发生电路不向不工作的基本泵单元供给上述电压。

13. 根据权利要求 11 所述的升压电路，其特征在于：

具有周期性地产生两种不同的电压，对上述升压电路进行控制的时钟发生电路，

上述时钟发生电路不向不工作的基本泵单元供给上述电压。

14. 一种非易失性存储器，是以矩阵状排列半导体存储元件而构成的非易失性存储器，其特征在于：具有权利要求 1~12 中的任一项所述的升压电路。

15. 一种非易失性存储器，是以矩阵状排列半导体存储元件而构成的非易失性存储器，其特征在于：具有权利要求 13 所述的升压电路。

16. 根据权利要求 14 所述的非易失性存储器，其特征在于：在上述半导体存储元件中使用具有 MONOS 结构的存储单元。

17. 根据权利要求 15 所述的非易失性存储器，其特征在于：在上述半导体存储元件中使用具有 MONOS 结构的存储单元。

升压电路和使用了 它的非易失性存储器

技术领域

本发明涉及产生闪速存储器等非易失性存储器在擦除、写入和读出时需要的高电压的升压电路以及使用了它的半导体集成电路。

背景技术

闪存、EEPROM（电可擦可编程只读存储器）等非易失性存储器在擦除和写入时，由于隧道效应或使用热电子、热空穴，所以需要产生高电压。

例如，图1示出，在电可改写的EEPROM中，利用具有MONOS（金属氧化物氮氧化物半导体）结构的存储单元和增强型的N型开关MOS（金属氧化物半导体）构成了1比特的MONOS型EEPROM在擦除、写入和读出的各模式中的工作偏压。

图1的工作偏压是电源电压 $V_{dd}=1.5V$ 时的工作偏压，擦除时存储单元的阈值电压值（ V_t ）不到0V，写入时存储单元的 $V_t \geq 0V$ 。

因此，读出时，把0V加到存储栅（Mg）上，如果把1.5V加到已选择的开关MOS的栅（Cg）上，则开关MOS变成ON；在存储单元处于擦除状态时，电流从预充电到约1V的位线通过存储单元流到源线，检测位线电位下降的情况；在存储单元为写入状态时，通过检测预充电到约1V的位线电位保持的情况来判断数据“1”或“0”。在此，图1中所示的H-Z表示是高阻抗。

此外，作为产生在擦除、写入时所需高电压的升压电路，非专利文献1中介绍、分析的Dickson型充电泵是公知的，由于电路结构也简单，所以便于使用。

迄今，EEPROM作为频繁地改写数据的用途而被应用，但是，

近年来，应用程序的多样性和多种应用以一个 LSI 或一个系统工作，由此希望 EEPROM 大容量化。

作为阻碍其大容量化的原因还有，每一个比特的存储器规模大，在专利文献 1 和 2 中提出了增强型的消除了 N 型开关 MOS 的 MONOS 存储器（单 MONOS）。

图 2 示出该单 MONOS 的各模式中的工作偏压。从图 2 可以看出，擦除、写入时的工作偏压与图 1 所示的现有 MONOS 型存储器是同等的，但在读出时，需要把擦除 V_t 以下的负电压加到存储器阱和非选择 M_g 上。

此外，在待机时也可以把加到存储器上的电压全部定为 0V，但是，在从待机上升时，由于为了得到读出能够工作的升压负电压要有几微秒到几十微秒的时间，所以为了提高上升速度，在待机时也预先施加了负电压。在此，图 2 中所示的 H-Z 表示是高阻抗。

〈专利文献 1〉

日本专利第 1876108 号公报（特开昭 60-095794）

〈专利文献 2〉

日本专利第 1950956 号公报（特开昭 61-77197）

〈专利文献 3〉

日本专利申请特愿 2002-333033 号

〈非专利文献 1〉

T. Tanzawa 和 T. Tanaka, "A dynamic analysis of the Dickson charge pump circuit (Dickson 充电泵电路的动态分析)", IEEE J. Solid-State Circuits, vol.32, No. 8, PP1231 ~ 1240, Aug.1997.

考虑把这样的单 MONOS 作为模块、把周边电路也包含进去的尺寸时，通过消除开关 MOS、存储器本身是变小了，但是，由于如果读出时也不施加已升压的负电压是不行的，所以需要读出用的升压电路，而且该读出用的升压电路必须增大供给电流的能力，以便能够受得住约几十 MHz 的高速读出工作。

这样，作为升压电路，除了擦除、写入之外，必须有输出电流供

给能力高的读出用的升压电路，可以认为升压电路的尺寸增大了。

此外，由于在待机时也与读出时相同，需要施加升压负电压，所以在待机时也需要使升压电路工作，因此，担心待机时的消耗电流增大。

发明内容

因此，本发明的目的在于，提供能够在升压电路中，削减产生供给电流的能力不同的多个升压电压的升压电路的面积和削减消耗电流的技术。

本发明的上述目的、其它目的、和新的特征，从本说明书的描述和附图将会变得更加明显。

本申请公开的发明中的有代表性的方案，简单地说明如下。

即，一种半导体集成电路装置，其特征在于：为了进行非易失性存储器的擦除、写入，在把N级基本泵单元连接起来进行升压的一个升压电路中，通过串联或并联使用 $\leq N$ 级泵单元来产生小于等于擦除、写入时的供给输出电流的能力不同的升压电压；还在升压电压检测信号中切换升压用时钟。

因此，不增大升压电路的面积就能够在一个升压电路中产生小于等于擦除、写入时的供给输出电流的能力不同的升压电压，由于能够停止升压用时钟电路，所以可作成低消耗电流的升压电路。

利用本申请公开的发明中有代表性的方案所得到的效果，简单地说明如下。

(1) 能够用一个升压电路作成升压电压和输出电流不同的电源，能够削减芯片面积。

(2) 通过把升压检测信号作为充电泵的时钟，能够作成超低功耗的升压电路。

附图说明

图1示出在MONOS型EEPROM的各模式中的工作偏压。

图 2 示出在单 MONOS 型 EEPROM 的各模式中的工作偏压。

图 3 示出本发明的升压电路的结构。

图 4 为本发明的升压电路内的充电泵结构图。

图 5 示出本发明的每一级充电泵电路。

图 6 示出对于 64kB 单 MONOS 型 EEPROM 升压电路的规格。

图 7 示出本发明的升压电路中，在擦除和写入时产生的 V_{pp} 模拟波形。

图 8 示出本发明的升压电路中，在读出时的模拟波形。

图 9 示出本发明的升压电路中，在待机时的模拟波形。

图 10 为本发明的升压电路内的充电泵结构图。

具体实施方式

下面，基于附图，详细地说明本发明的实施方式。再有，在用于说明实施方式的全部附图中，对于相同的构件标以相同的符号，省略其重复的说明。

(实施方式 1)

图 3 示出把升压偏压加到存储单元上的升压电路的结构的一个例子。

本发明的升压电路由充电泵、时钟发生电路、和对于升压电压 (V_{pp}) 进行监测的 V_{pp} 检测电路构成。

时钟发生电路由一般的充电泵形振荡器构成，但不限于此，在功能上讲，只要能够对充电泵供给时钟即可。充电泵与该时钟同步地产生升压电压。

充电泵接受时钟，如果工作就产生升压电压， V_{pp} 检测电路判定为到达某一预定电压后就产生 V_{pp} 检测信号 (V_{pp} DET)。

V_{pp} 检测电路由比较器、基准电压和电阻构成，通过把电阻分压的 V_{pp} 与基准电压加以比较，产生 V_{pp} DET。在此，所谓产生 V_{pp} DET 是把例如比较器输出从 0V 变成 V_{pp} 。

时钟发生电路接受该 V_{pp} DET 后，就停止时钟。由于时钟停止

了，结果是充电泵的升压工作停止。

升压工作停止时，升压电压变成不到预定电压， V_{pp} DET 的产生停止。

V_{pp} 停止时，时钟发生电路再次工作，把时钟供给到充电泵，充电泵工作，进行升压工作。

重复该工作，保持预定的升压电压。

图 4 示出充电泵的结构，是通过充电电容 14pF 把 13 级泵单元串联连接，没有基板效应的 Dickson 型充电泵电路。

此外，使用图 10 稍加说明图 4 所示电路的工作，在擦除、写入时，全部开关与上述 a 侧连接，N 级串联连接。

在此，图中所示 $[N/2]$ 等的 $[]$ 意味着高斯符号，N 为奇数时，表示 $(N-1)/2$ ；N 为偶数时，表示 $N/2$ 。

读出时，例如 5 级并联动作时，充电泵 5 级的输出开关与 b 侧连接， $(N-4)$ 级的输入开关与 b 侧连接。其它开关与 a 侧连接。待机时，例如只有 3 级工作，由此 $(N-2)$ 级的输入开关与 b 侧连接，其它开关与 a 侧连接。

此外，图 5 示出每一级的充电泵电路。

该没有基板效应的 Dickson 型充电泵电路为专利文献 3 中示出的电路。

图 6 示出使 64kB 单 MONOS 型 EEPROM 工作时所需要的升压电路的规格。

在擦除、写入时，负高电压必须分别为 -8.5V、-10.7V。擦除、写入由于利用隧道效应，所以作为擦除、写入电流为 12pA/比特。因此，作为 64kB 的 EEPROM 容量的场合，最大只要有 $\leq 10\mu A$ 的供给电流的能力，即可。此时作到使 13 级泵单元全部串联工作，产生负高电压 -8.5V、-19.7V。

图 7 示出在最不利条件 ($V_{dd}=1.375V, T_a=95^\circ C$) 下的 V_{pp} 模拟波形。

时钟定为 10.8MHz，把构成输出供给电流 $\geq 10\mu A$ 的 $1M\Omega$ ($0V \sim$

V_{pp} 间) 和与存储器 64kB 相当的 1000PF 电容作为 V_{pp} 输出上的负载。此外, 为了看到充电泵的实力, 使 V_{pp} 检测电路断开。

如从图 7 可以看出, 确认了能够产生 V_{pp} 输出≤10.7V 的升压电压。

接着, 读出时, 需要小于等于存储器擦除 V_t 的 -2V。在读出工作速度为 30MHz、把已选择的存储栅 (Mg) 电容定为 2pF (与 128 字节相当) 时, 根据 (1) 式, 输出供给电流需要为 120μA。

$$2 \times 2 \times 2^{-12} \times 30 \times 10^6 = 120 \times 10^{-6} \quad (1)$$

作为该读出时的升压电路, 使充电泵前后 5 级 (第 1 级~第 5 级、第 9 级~第 13 级) 的泵单元并联工作, 作到产生供给电流的能力高的 -2V 电压。

时钟定为 10.8MHz, 通过逻辑电路作到对于不使用的 3 级 (第 6 级~第 8 级) 泵单元不供给时钟。

此外, 设置开关 NMOS (SW513), 该开关 SW513 把末级 (第 13 级) 的输出、与把第 5 级泵单元和第 6 级泵单元切离的开关 NMOS (SW56) 和第 5 级泵单元输出连接, 利用输出 V_{dd}-V_{pp} 的电平移位器 LVL1 使 SW56 断开, 使 SW513 导通, 把第 5 级泵单元与第 13 级泵单元的输出连接起来。

利用 LVL1, 对于用于使第 9 级泵单元的输入为 0V 的 NMOS 90、使从第 8 级泵单元朝向第 9 级泵单元输入的控制信号断开的开关 NMOS (SW89)、和将其控制信号连接到时钟的开关 CMOS 90 进行控制, 以便作到从末级即第 13 级也输出 -2V。

图 8 示出在最不利条件 (V_{dd}=1.375V, T_a=95℃) 下的 V_{pp} 模拟波形。在 V_{pp} 负载下, 在 35MHz 时, 使 2pF 在 0V~V_{pp} 之间进行通、断的 Mg 驱动器工作。还使 V_{pp} 检测电路工作, 检测出典型值 -2V。

如从图 8 可以看出, 确认了在 35MHz 读出工作 (输出供给电流 I_{out}=163.6μA, 模拟实测值的平均值) 中, 能够连续输出 -2V±0.15V。

接着, 可是在待机时, 如前所述, 即使在待机时 V_{pp}=1.5V 的典型值也是需要的, 考虑到漏电流, 作为 V_{pp} 供给电流最大为 1μA。

此外，在待机中，由于需要削减升压电路全体的消耗电流，所以作为升压电路消耗电流需要 $\leq 10\mu\text{A}$ 。

作为该待机时的升压电路，定为使从后面第 10 级～第 13 级这四级泵单元工作，通过逻辑电路作到对于不使用的 9 级（第 1 级～第 9 级）泵单元不供给时钟。

利用 LVL2，对于用于使第 10 级泵单元的输入为 0V 的 NMOS 10、使从第 9 级泵单元朝向第 10 级泵单元输入的控制信号断开的开关 NMOS（SW 910）、和将其控制信号连接到时钟的开关 CMOS 100 进行控制。

还作到了，抑制在切换进行工作的 4 级泵单元的时钟驱动能力来驱动充电电容时产生的贯穿电流，并抑制电路消耗电流。

此外，停止时钟发生电路，作为供给到充电泵的时钟输入了 V_{pp} 检测信号。如前所述， V_{pp} 检测信号在小于等于预定电压时，从 0V 变成 V_{dd} ；在大于等于预定电压时，从 V_{dd} 变成 0V，因此，可以作为时钟来使用。

由此，可以使得在时钟发生电路中消耗的电流大致为 0，能够削减作为升压电路全体的消耗电流。

图 9 示出在 V_{pp} 输出能力最不利的条件（ $V_{dd}=1.375\text{V}$, $T_a=95^\circ\text{C}$ ）下的 V_{pp} 模拟波形。

根据 V_{ppDET} , V_{pp} 在 $-1.33\text{V} \sim -1.346\text{V}$ 之间变动，显然， V_{ppDET} 作为充电泵的时钟而工作。

升压电路全体的消耗电流中，充电泵为 $4\mu\text{A}$ ， V_{pp} 检测电路为 $3\mu\text{A}$ ，合计为 $7\mu\text{A}$ ，已确认能够实现低消耗电流。

图1

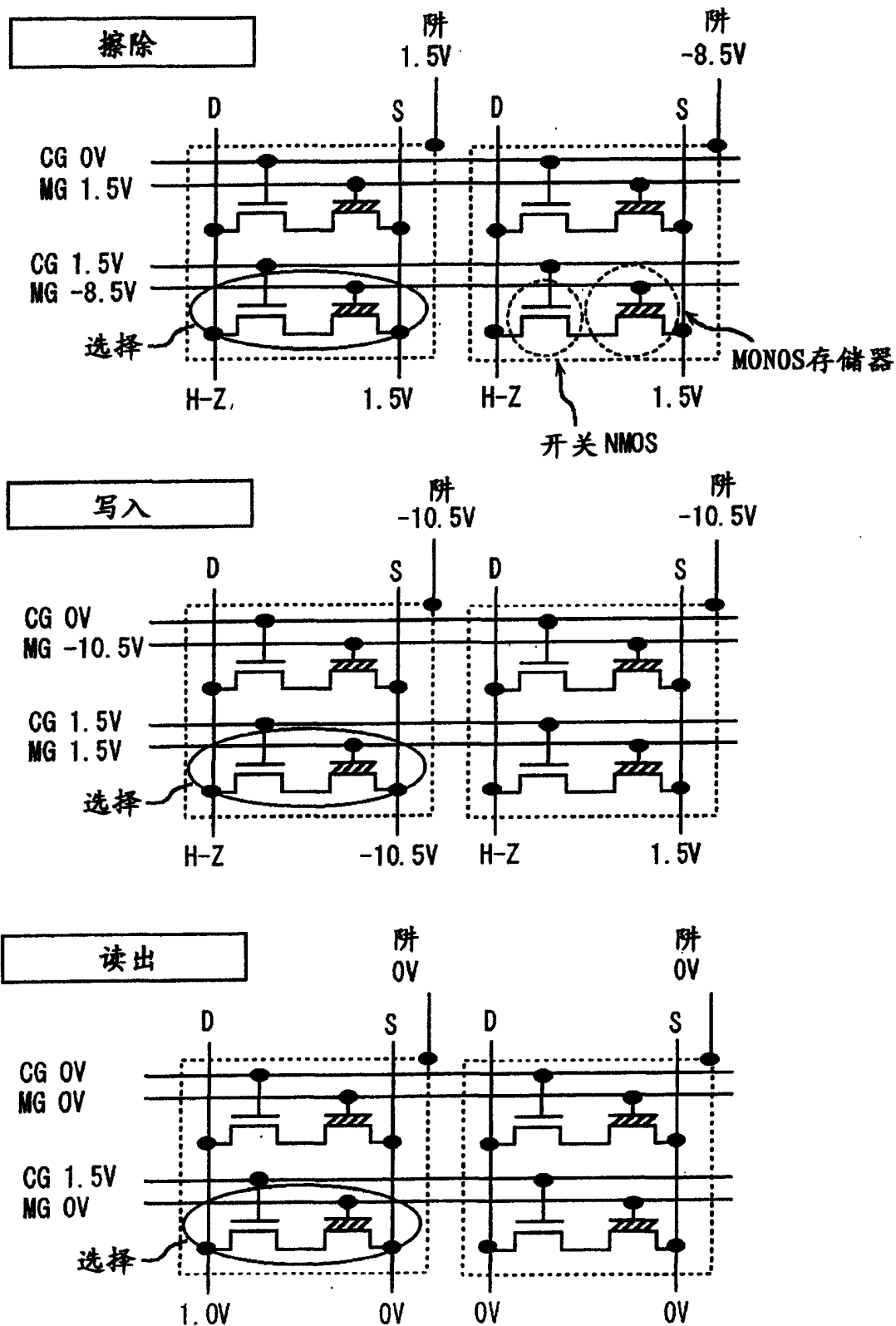


图2

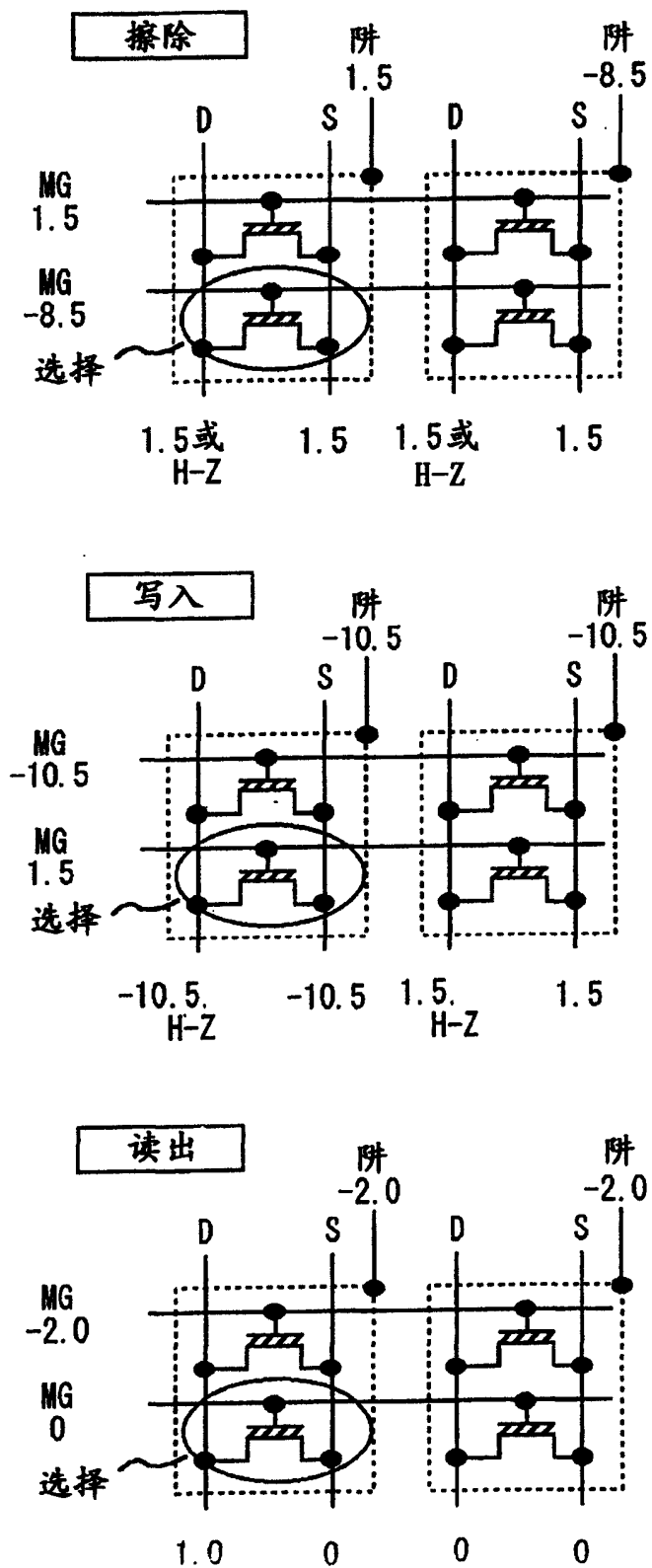


图 3

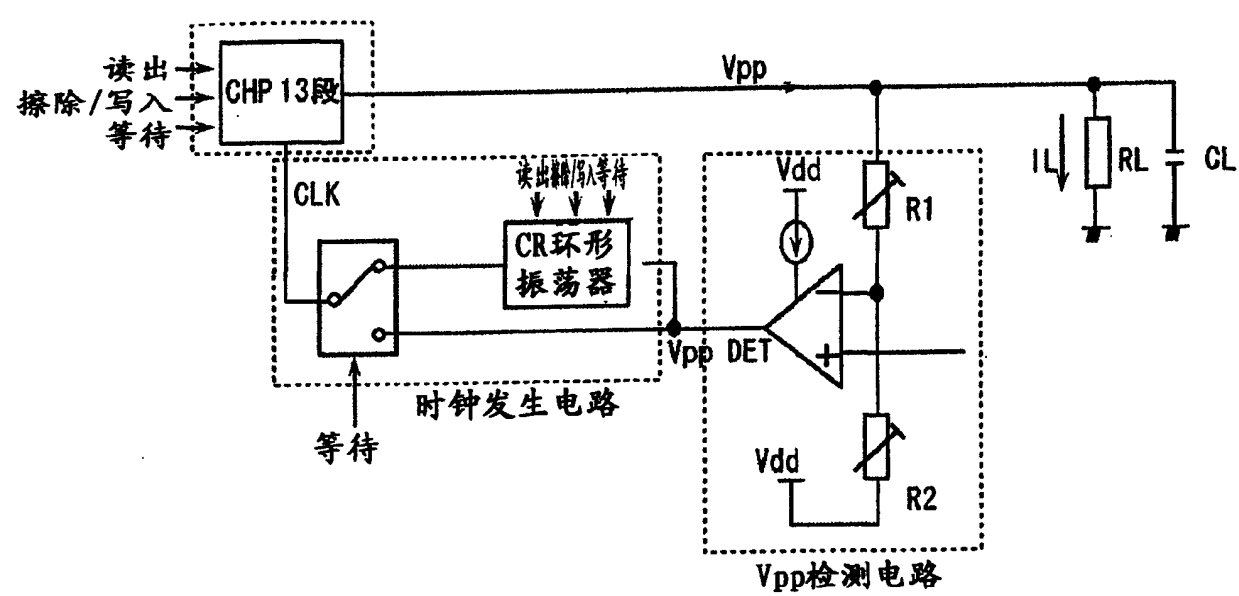


图5

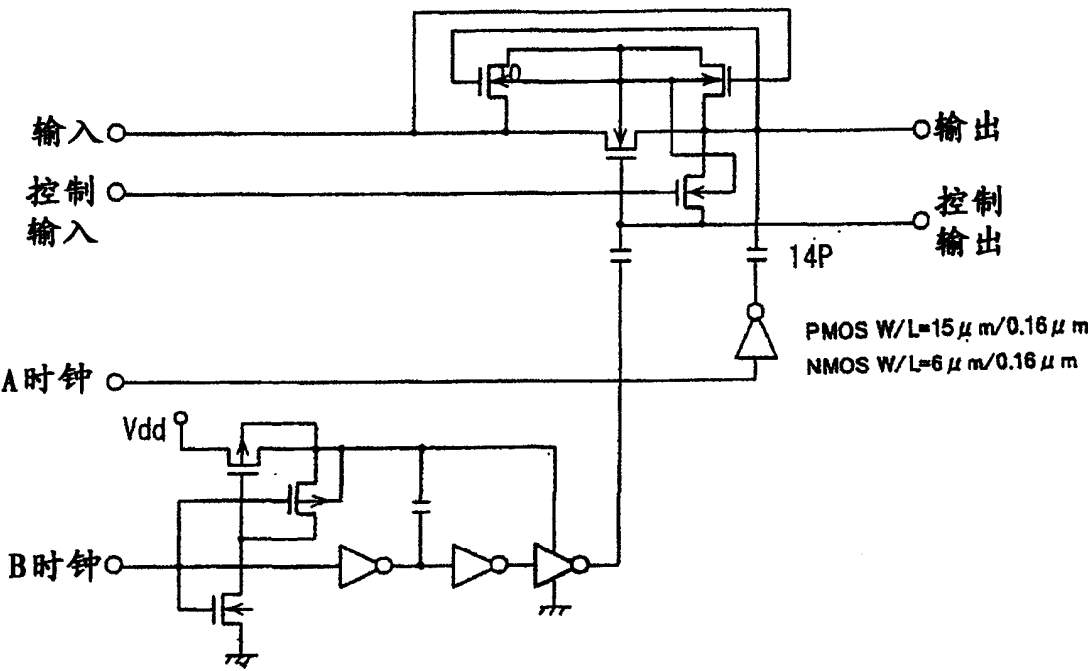


图6

@Vdd=1.375~1.625V, Ta=-40~95°C

	Vpp	供给电流 的能力IL	消耗电流	备注
擦除/写入	擦除:-8.5V±0.2 ^{*1} 写入:-10.7V±0.2	10μA	TBD	^{*1} 擦除电压=Vdd-Vpp=10V 写入电压=Vdd-Vpp=12.2V
读出	-2.0V±0.15	120μA ^{*2} 典型值	TBD	^{*2} MG合计电容2bF 读出工作30MHz IL=2p*2.0*30M
等待	-1.5V typ.	1μA最大值	≤ 10μA平均值	

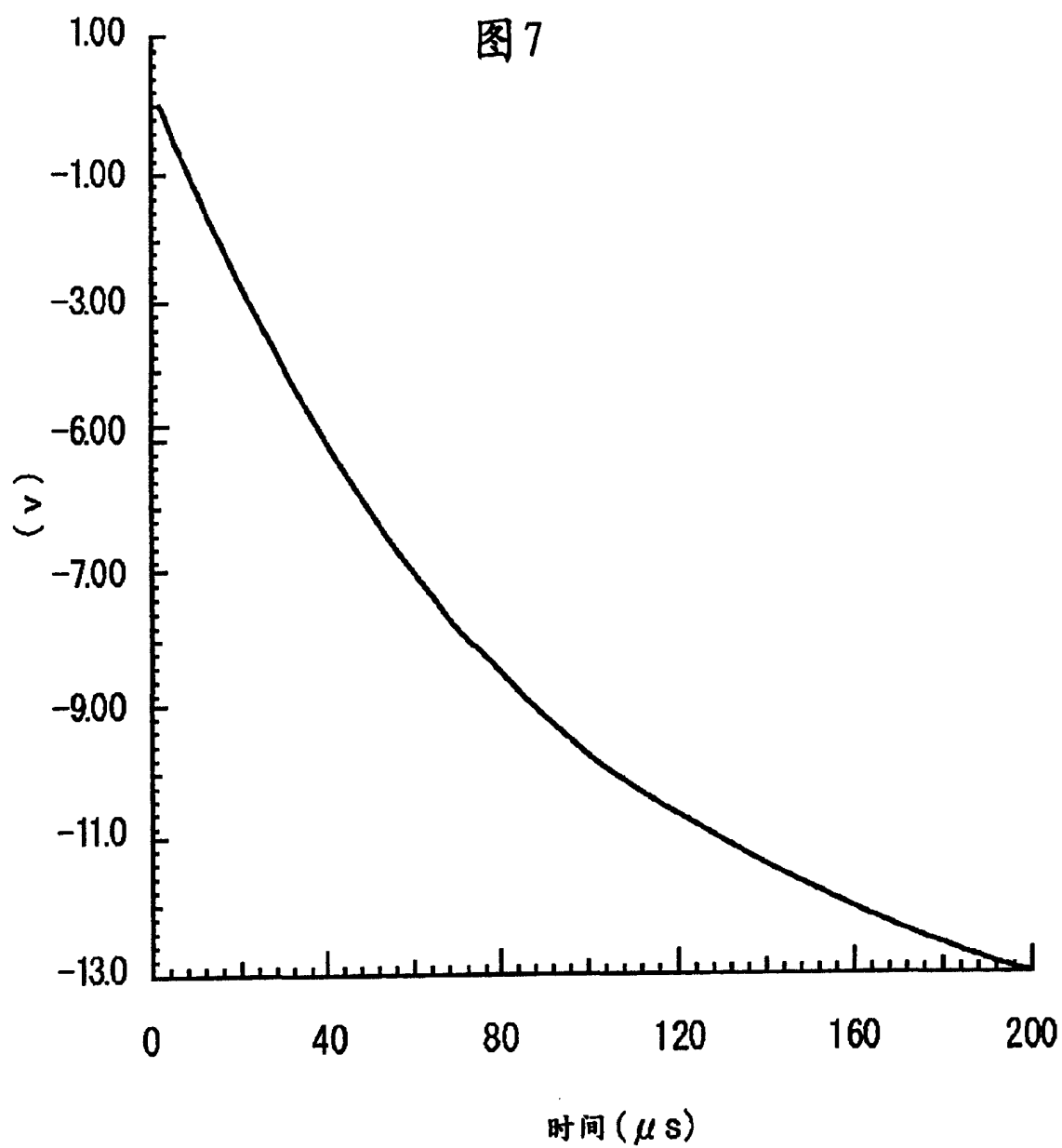


图 8

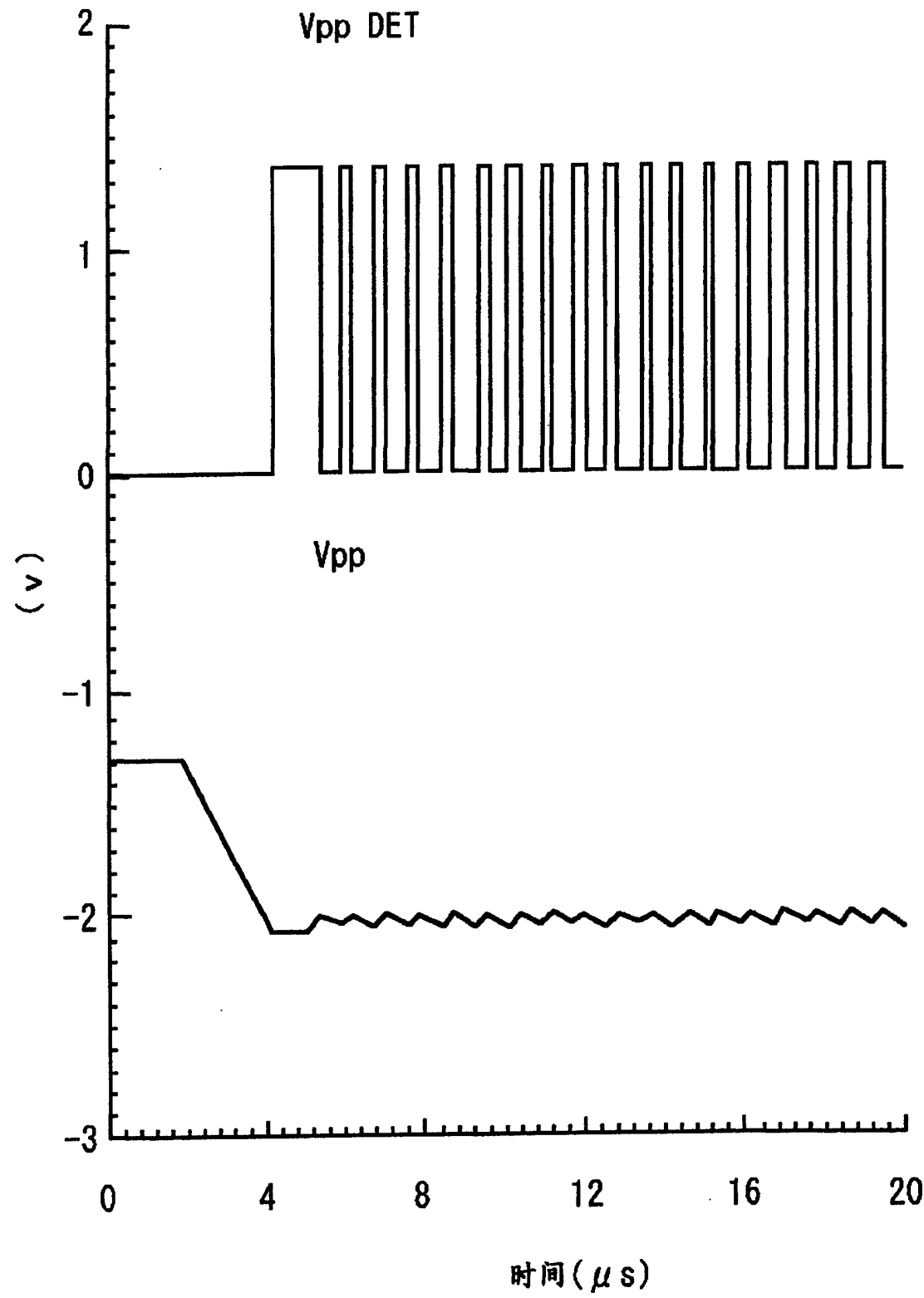


图9

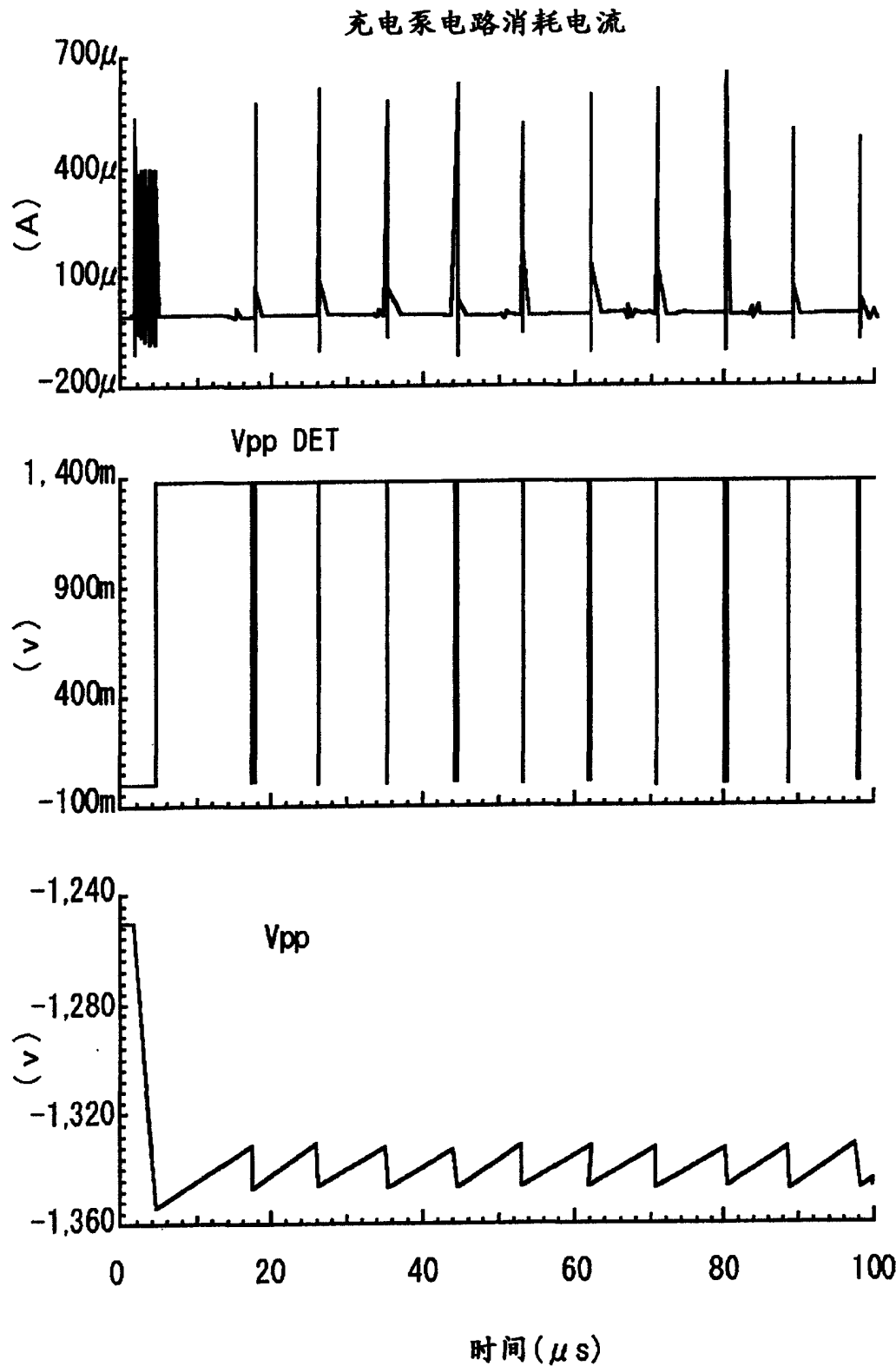


图10

