(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월17일
(11) 등록번호 10-0858885
(24) 등록일자 2008년09월10일

(51) Int. Cl.
G09G 3/36 (2006.01)
(21) 출원번호 10-2002-7014604
(22) 출원일자 2002년10월31일
심사청구일자 2007년02월21일
번역문제출일자 2002년10월31일
(65) 공개번호 10-2003-0010612
(43) 공개일자 2003년02월05일
(86) 국제출원번호 PCT/IB2002/000569
국제출원일자 2002년02월25일
(87) 국제공개번호 WO 2002/71377
국제공개일자 2002년09월12일
(30) 우선권주장
0105147.3 2001년03월02일 영국(GB)
(56) 선행기술조사문헌
EP0789345 A1
EP0737957 A
US6040814 A
GB2325329 A
전체 청구항 수 : 총 10 항

(73) 특허권자
티피오 홍콩 홀딩 리미티드
중국 홍콩 사틴 싸이언스 파크 이스트 애비뉴 필립스 일렉트로닉스 빌딩 5, 2층
(72) 발명자
헥토르,야손,알.
네덜란드,아아인드호펜5656프로프.홀스트란6
비르드,네일,체.
네덜란드,아아인드호펜5656프로프.홀스트란6
(74) 대리인
문경진

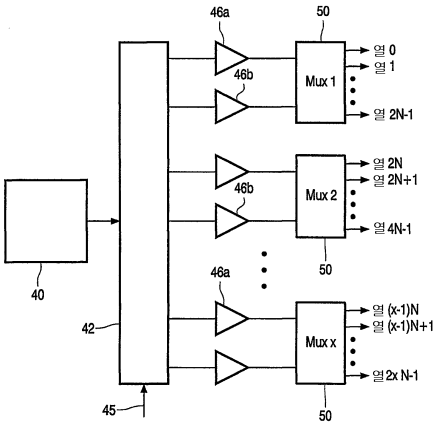
심사관 : 김세영

(54) 능동 매트릭스 디스플레이 디바이스, 픽셀 구동신호의 제공 방법, 및 열 어드레스 회로

(57) 요 약

디스플레이는 복수의 멀티플렉싱 스위칭 장치(50)를 구비하는 열 어드레스 회로를 사용하며, 상기 멀티플렉싱 스위칭 장치(50) 각각은 선택된 픽셀 구동 신호를 제공하기 위한 2개의 버퍼(46a, 46b)와 결합된다. 2개의 버퍼는 각 픽셀 구동 신호를 2개의 인접한 열에 동시에 제공하여, 하나의 열에 대한 픽셀 구동 신호는 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이전에 시작하고, 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이후에 완료한다. 이것은 필요한 버퍼의 수를 감소시키고, 각 멀티플렉싱 장치에 의해 공유된 열의 그룹 내에서 인접한 열에 대한 열 신호 사이에서 크로스토크를 감소시킨다. 이것은, 제 1 열과 제 2 열 사이에서의 임의의 용량성 커플링이, 하나의 열 상의 신호가 스위치 오프되기 전에 정적 레벨로 충전되는 것을 보장함으로써 달성된다.

대 표 도 - 도7



(81) 지정국

국내특허 : 일본, 대한민국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스

특허청구의 범위

청구항 1

행 및 열로 배열된 액정 픽셀 어레이를 포함하는 디스플레이 디바이스로서,

픽셀의 각 열은 픽셀 구동 신호가 제공되는 열 전도체를 공유하고, 열 어드레스 회로는 상기 픽셀 구동 신호를 생성하기 위해 제공되고, 상기 열 어드레스 회로는 복수의 멀티플렉싱 스위칭 장치(multiplexing switching arrangements)를 포함하는데, 상기 멀티플렉싱 스위칭 장치 각각은 구동 신호를 복수의 열에 차례로 공급하며, 각 멀티플렉싱 스위칭 장치는 선택된 픽셀 구동 신호를 제공하기 위한 2개의 버퍼와 결합하고, 상기 2개의 버퍼는 각 픽셀 구동 신호를 2개의 인접한 열에 동시에 제공하여, 하나의 열에 대한 상기 픽셀 구동 신호는 이전에 구동된 열에 대한 상기 픽셀 구동 신호의 종료 이전에 시작하고, 이전에 구동된 열에 대한 상기 픽셀 구동 신호의 종료 이후에 완료하는, 디스플레이 디바이스.

청구항 2

제 1 항에 있어서, 모든 가능한 픽셀 구동 신호를 생성하기 위한 회로와, 선택된 구동 신호를 상기 각 멀티플렉싱 스위칭 장치의 2개의 버퍼에 스위칭하기 위한 스위칭 매트릭스를 추가로 포함하는, 디스플레이 디바이스.

청구항 3

제 2 항에 있어서, 상기 스위칭 매트릭스는 디지털 이미지 데이터 및 아날로그 픽셀 구동 신호를 수신하고, 상기 디지털 이미지 데이터에 기초하여 각 버퍼에 대해 적절한 아날로그 픽셀 구동 신호를 선택하는, 디스플레이 디바이스.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 각 열에는 각 행 어드레스 기간 내에 상기 픽셀 구동 신호가 2번 제공되는, 디스플레이 디바이스.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 각 픽셀은 박막 트랜지스터 스위칭 디바이스 및 액정 셀을 포함하고, 여기서 픽셀의 각 행은 상기 행에서 픽셀의 박막 트랜지스터의 게이트에 연결되는 행 전도체를 공유하고, 행 구동기 회로는 상기 행의 픽셀의 트랜지스터를 스위칭하는 것을 제어하기 위해 행 어드레스 신호를 제공하는, 디스플레이 디바이스.

청구항 6

행 및 열로 배열된 액정 픽셀 어레이를 포함하는 디스플레이 디바이스에 픽셀 구동 신호를 제공하는 방법으로서, 상기 열은 그룹으로 분리되고, 각 그룹은 멀티플렉싱 스위칭 장치와, 선택된 픽셀 구동 신호를 2개의 열에 제공하기 위해 상기 멀티플렉싱 스위칭 장치와 결합된 2개의 버퍼를 공유하는, 상기 픽셀 구동 신호의 제공 방법으로서,

열 어드레스 회로에 의해 픽셀 구동 신호를 생성하는 단계와,

열의 각 그룹에 대해, 상기 멀티플렉싱 스위칭 장치와 결합된 상기 2개의 버퍼를 통해 주기 방식(cyclical manner)으로 상기 그룹에서의 모든 열에 픽셀 구동 신호를 인가하는 단계로서, 하나의 열에는, 다른 버퍼에 의해 제공된, 주기에서 이전의 열에 대한 픽셀 구동 신호가 완료되기 전에 하나의 버퍼에 의해 픽셀 구동 신호가 제공되는, 상기 픽셀 구동 신호를 인가하는 단계

를 포함하는, 픽셀 구동 신호의 제공 방법.

청구항 7

제 6 항에 있어서, 각 버퍼로부터 하나의 열로 상기 픽셀 구동 신호의 종료시, 상기 버퍼는 주기에서 픽셀 구동 신호를 하나의 열보다 2개 앞의 열에 인가하는데 사용되는, 픽셀 구동 신호의 제공 방법.

청구항 8

제 6 항 또는 제 7 항에 있어서, 각 열에는 각 행 어드레스 기간 내에 픽셀 구동 신호가 2번 제공되는, 픽셀 구동 신호의 제공 방법.

청구항 9

제 6 항 또는 제 7 항에 있어서, 하나의 멀티플렉싱 장치는 각 그룹의 열에 제 1 순서로 어드레싱하고, 인접한 멀티플렉싱 장치는 각 그룹의 열에 제 2 순서로 어드레싱하여, 다른 그룹에서의 열에 인접한 하나의 그룹에서의 열은 동시에 어드레싱되는, 픽셀 구동 신호의 제공 방법.

청구항 10

액정 디스플레이의 열을 구동하기 위한 열 어드레스 회로로서,

복수의 멀티플렉싱 스위칭 장치를 포함하고, 상기 멀티플렉싱 스위칭 장치 각각은 구동 신호를 복수의 열에 차례로 제공하며, 여기서 각 멀티플렉싱 스위칭 장치는 선택된 픽셀 구동 신호를 제공하기 위한 2개의 버퍼와 결합되고, 여기서 상기 2개의 버퍼는 각 픽셀 구동 신호를 2개의 인접한 열에 동시에 제공하여, 하나의 열에 대한 상기 픽셀 구동 신호는 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이전에 시작하고, 이전에 구동된 열에 대한 상기 픽셀 구동 신호의 종료 이후에 완료하는, 열 어드레스 회로.

명 세 서

기 술 분 야

<1> 본 발명은 능동 매트릭스 디스플레이 디바이스에 관한 것으로, 특히 디스플 레이의 픽셀에 구동 신호를 제공하는데 사용된 회로에 관한 것이다.

배 경 기 술

<2> 일반적으로, 능동 매트릭스 디스플레이 디바이스는 행 및 열로 배열된 픽셀 어레이를 포함한다. 픽셀의 각 행은 행 전도체를 공유하며, 상기 행 전도체는 행에서 픽셀의 박막 트랜지스터의 게이트에 연결된다. 픽셀의 각 열은 열 전도체를 공유하며, 픽셀 구동 신호가 상기 열 전도체에 제공된다. 행 전도체 상의 신호는 트랜지스터가 턴 온(turned on) 또는 오프(off)되는 지를 결정하고, 트랜지스터가 턴 온될 때, 행 전도체 상의 고전압 펄스에 의해, 열 전도체에서 나오는 신호가 액정 물질의 영역 상을 통과하게 되어, 이를 통해 상기 물질의 광 투과 특성을 변형시킨다. 추가 저장 커패시터는, 행 전극 펄스의 제거 이후에도 전압이 액정 물질 상에서 유지되도록 하기 위해 픽셀 구성의 일부로서 제공될 수 있다. US-A-5 130 829는, 능동 매트릭스 디스플레이 디바이스에 대한 설계를 더 구체적으로 개시한다.

<3> 능동 매트릭스 디스플레이 디바이스에 대한 프레임 (필드) 기간은 픽셀의 행이 짧은 시간 기간에 어드레싱될 것을 필요로 하고, 이것은, 액정 물질을 원하는 전압 레벨로 충전 또는 방전하기 위해 트랜지스터의 전류 구동 성능에 대한 필요 조건을 차례로 부과한다. 이러한 전류 필요 조건을 충족시키기 위해, 박막 트랜지스터에 공급된 게이트 전압은 대략 30V만큼 분리된 값 사이에서 요동(fluctuate)될 필요가 있다. 예를 들어, 트랜지스터는 (소스에 관해) 약 -10V, 또는 그보다 더 적은 게이트 전압을 인가함으로써 턴 오프될 수 있는 반면, 액정 물질을 충분히 빠르게 충전 또는 방전하는데 필요한 소스-드레인 전류를 제공하기 위해 트랜지스터를 충분히 바이어스(bias)하는데 약 20V, 또는 그보다 더 높은 전압이 필요할 수 있다.

<4> 행 전도체에서의 큰 전압 변동(swings)에 대한 필요 조건은, 행 구동기 회로가 고전압 성분을 사용하여 구현될 것을 필요로 한다.

<5> 일반적으로, 열 전도체 상에 제공된 전압은 대략 10V만큼 변하는데, 이것은 백색 상태와 흑색 상태 사이에서 액정 물질을 구동하는데 필요한 구동 신호간의 차이를 나타낸다. 열 전도체 상의 전압 변동이 감소되도록 하여, 더 낮은 전압 성분이 열 구동기 회로에 사용될 수 있는 다양한 구동 구성이 제안되어 왔다. 소위 "공통 전극 구동 구성"에서, 전체 액정 물질 층에 연결된 공통 전극은 진동 전압(oscillating voltage)으로 구동된다. 소위 "4-레벨 구동 구성"은, 용량성 커플링(capacitive coupling) 효과를 사용하여 열 전도체 상의 전압 변동을 감소시키기 위해 더 복잡한 행 전극 파형을 사용한다.

<6> 이러한 구동 구성은, 더 낮은 전압 성분으로 하여금 열 구동기 회로에 사용되도록 한다. 그러나, 더욱 더 상당한 양의 복잡성 및 전력의 비효율성이 열 구동기 회로에 존재한다. 각 행은 차례로 어드레싱되고, 임의의 하나

의 행의 행 어드레스 기간 동안, 픽셀 신호는 각 열에 제공된다. 과거에, 각 열에는, 행 어드레스 기간의 전체 지속 기간 동안 열에서의 픽셀을 구동 신호 레벨로 유지시키기 위한 버퍼가 제공되었다. 이러한 다수의 버퍼는 높은 전력 소비를 초래한다.

<7> 버퍼가 열 그룹 사이에서 공유되는 멀티플렉싱(multiplexing) 구성을 제공하는 것이 제안되어 왔다. 버퍼의 출력은 그룹의 열에 차례로 스위칭된다. 버퍼가 신호를 하나의 열에 제공하고 있을 때, 상기 버퍼는 스위치에 의해 다른 열로부터 절연된다. 디스플레이의 라인 시간이, 필요한 전압으로 열을 충전하는데 필요한 시간보다 상당히 더 길기 때문에, 멀티플렉싱이 가능하다. 모바일 응용을 위한 소형 디스플레이에서, 라인 시간은 150㎲를 초과할 수 있는 반면, 열을 충전하는데 필요한 시간은 일반적으로 10㎲ 미만이다.

<8> 일단 열이 필요한 전압으로 충전되고, 필요한 전압을 열에 인가하는 것을 종료한 후에, 전하 이동은 충전된 열 커패시턴스와 픽셀 커패시턴스 사이에서 발생한다. 열 커패시턴스는 픽셀 커패시턴스보다 약 30배 더 클 수 있으므로, 픽셀로의 전하 이동은 아주 작은 전압 변화를 초래한다. 그러나, 이러한 전하 이동은, 픽셀의 더 긴 시간 상수(높은 TFT 저항에서 야기되는)에도 불구하고 짧은 열 어드레스 펄스를 사용하여 픽셀이 충전되도록 한다.

<9> 이러한 멀티플렉싱 접근법이 갖는 문제는, 특히 그룹의 열 중 하나의 열을 제외한 모든 열이 임의의 시간 지점에서 효과적으로 유동(floating)하여, 신호 레벨 요동을 받기 쉽기 때문에, 그룹 내의 열 사이에서 크로스토크(cross talk)가 발생한다는 것이다. 행 어드레스 기간 동안, 행에서의 모든 픽셀의 TFT는 스위치 온되어(또한 이것은 열 커패시턴스와 픽셀 사이에서 전하 이동이 발생하도록 한다), 크로스토크의 결과로서 열 전도체 상의 임의의 신호 요동은 픽셀 상으로 통과된다.

발명의 상세한 설명

<10> 본 발명의 제 1 양상에 따라, 행 및 열로 배열된 액정 픽셀 어레이를 포함하는 디스플레이 디바이스가 제공되며, 여기서 픽셀의 각 열은 픽셀 구동 신호가 제공되는 열 전도체를 공유하고, 열 어드레스 회로는 픽셀 구동 신호를 생성시키기 위해 제공되고, 복수의 멀티플렉싱 스위칭 장치를 포함하는데, 상기 멀티플렉싱 스위칭 장치 각각은 구동 신호를 복수의 열에 차례로 제공하고, 각 멀티플렉싱 스위칭 장치는 선택된 픽셀 구동 신호를 제공하기 위한 2개의 버퍼와 결합되고, 2개의 버퍼는 각 픽셀 구동 신호를 2개의 인접한 열에 동시에 제공하여, 하나의 열에 대한 픽셀 구동 신호는 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이전에 시작하고, 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이후에 완료한다.

<11> 본 발명은 멀티플렉싱 구성을 제공하는데, 상기 멀티플렉싱 구성은 필요한 버퍼의 수를 감소시키지만, 각 멀티플렉싱 장치에 의해 공유된 열의 그룹 내의 인접한 열에 대한 열 신호 사이에서의 크로스토크를 감소시킨다. 이것은, 하나의 열 상의 신호가 스위칭 오프되기 전에 제 1 및 제 2 열 사이의 임의의 용량성 커플링이 정적 레벨로 충전되는 것을 보장함으로써 달성된다. 따라서, 하나의 열은 그 다음 열이 어드레싱된 후에 바로 스위치 오프되어, 하나의 열과 그 다음 열 사이의 임의의 용량성 커플링은 정적 레벨로 충전되고, 그 다음 열 상의 신호는 이전의 열에 더 이상 어떠한 영향도 미치지 않는다.

<12> 바람직하게도, 장치는 모든 가능한 픽셀 구동 신호를 생성하기 위한 회로와, 선택된 구동 신호를 각 멀티플렉싱 스위칭 장치의 2개의 버퍼에 스위칭하기 위한 스위칭 매트릭스를 추가로 포함한다. 스위칭 매트릭스는 디지털 이미지 데이터 및 아날로그 픽셀 구동 신호를 수신할 수 있고, 디지털 이미지 데이터에 기초하여 각 버퍼에 대한 적절한 아날로그 픽셀 구동 신호를 선택할 수 있다.

<13> 각 열에는 각 행 어드레스 기간 내에 픽셀 구동 신호가 2번 제공될 수 있다. 이것은, 픽셀 구동 신호의 제 1 세트 이후에 열의 다양한 용량성 소자를 통해 전하 재분배를 허용하고, 그 다음에 픽셀 구동 신호의 제 2 세트로 하여금 더 정밀한 픽셀 제어를 제공하도록 한다.

<14> 각 픽셀은 박막 트랜지스터 스위칭 디바이스 및 액정 셀을 포함하는 것이 바람직한데, 여기서 픽셀의 각 행은 행에서 픽셀의 박막 트랜지스터의 게이트에 연결하는 행 전도체를 공유하고, 행 구동기 회로는 행의 픽셀의 트랜지스터를 스위칭하는 것을 제어하기 위해 행 어드레스 신호를 제공한다.

<15> 본 발명의 제 2 양상에 따라, 행 및 열로 배열된 액정 픽셀 어레이를 포함하는 디스플레이 디바이스에 픽셀 구동 신호를 제공하는 방법이 제공되며, 열은 그룹으로 분리되고, 각 그룹은 멀티플렉싱 스위칭 장치와, 선택된 픽셀 구동 신호를 제공하기 위한 2개의 버퍼를 공유하고, 상기 방법은, 열의 각 그룹에 대해 주기 방식(cyclical manner)으로 픽셀 구동 신호를 그룹의 모든 열에 인가하는 것을 포함하며, 여기서 다른 버퍼에 의해

제공된, 주기에서 이전의 열에 대한 픽셀 구동 신호가 완료되기 전에, 하나의 버퍼에 의해 픽셀 구동 신호가 하나의 열에 제공된다.

<16> 본 방법은 전술한 구동 구성을 구현한다. 픽셀 구동 신호를 각 버퍼로부터 하나의 열로 제공하는 것을 종료할 때, 상기 버퍼는 픽셀 구동 신호를 주기에서 하나의 열보다 2개 앞에 있는 열에 인가하는데 사용된다. 이것은 주기가 계속되게 한다.

<17> 하나의 멀티플렉싱 장치는 제 1 순서로 각 그룹의 열에 어드레싱할 수 있고, 인접한 멀티플렉싱 장치는 제 2 순서로 각 그룹의 열에 어드레싱할 수 있으므로, 다른 그룹에서의 열에 인접한 한 그룹에서의 열은 실질적으로 동시에 어드레싱된다. 이것은, 상이한 열에 대한 어드레스 신호의 특정 타이밍에 따라 디스플레이에 걸친 에러를 제거한다.

<18> 본 발명은 액정 디스플레이의 열을 구동하기 위한 열 어드레스 회로를 또한 제공하며, 상기 열 어드레스 회로는 복수의 멀티플렉싱 스위칭 장치를 포함하고, 상기 각 멀티플렉싱 스위칭 장치는 구동 신호를 복수의 열에 차례로 제공하고, 여기서 각 멀티플렉싱 스위칭 장치는 선택된 픽셀 구동 신호를 제공하기 위한 2개의 버퍼와 결합되고, 2개의 버퍼는 각 픽셀 구동 신호를 2개의 인접한 열에 동시에 제공하여, 하나의 열에 대한 픽셀 구동 신호는 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이전에 시작하고, 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이후에 완료된다.

<19> 본 발명의 예는 첨부 도면을 참조하여 이제 더 구체적으로 설명될 것이다.

실 시 예

<30> 도 1은 능동 매트릭스 액정 디스플레이에 대한 종래의 픽셀 구성을 도시한다. 디스플레이는 행 및 열로 된 픽셀 어레이로서 배열된다. 픽셀의 각 행은 공통 행 전도체(10)를 공유하고, 픽셀의 각 열은 공통 열 전도체(12)를 공유한다. 각 픽셀은 열 전도체(12)와 공통 전위(18) 사이에 직렬로 배열된 박막 트랜지스터(14) 및 액정 셀(16)을 포함한다. 트랜지스터(14)는 행 전도체(10) 상에 제공된 신호에 의해 스위치 온 및 오프된다. 따라서, 행 전도체(10)는 픽셀의 결합된 행의 각 트랜지스터(14)의 게이트(14a)에 연결된다. 각 픽셀은 저장 커패시터(20)를 추가로 포함할 수 있는데, 상기 저장 커패시터(20)는 하나의 단부(22)에서 다음 행 전극이나, 이전의 행 전극에 연결되거나, 별도의 커패시터 전극에 연결된다. 이러한 커패시터(20)는, 트랜지스터(14)가 턴 오프된 후에 액정 셀(16) 양단간의 구동 전압을 유지시키는데 도움이 된다. 더 높은 총 픽셀 커패시턴스는, 킥백(kickback)과 같은 다양한 효과를 감소시키고, 픽셀 커패시턴스의 그레이-레벨(grey-level) 의존성을 감소시키는데 또한 바람직하다.

<31> 필요한 그레이 레벨을 얻기 위해 액정 셀(16)을 원하는 전압으로 구동하기 위해, 적절한 신호는 행 전도체(10) 상의 행 어드레스 펄스와 동기하여 열 전도체(12) 상에 제공된다. 이러한 행 어드레스 펄스는 박막 트랜지스터(14)를 턴 온하여, 이를 통해 열 전도체(12)로 하여금 액정 셀(16)을 원하는 전압으로 충전하도록 하고, 또한 저장 커패시터(20)를 동일한 전압으로 충전하도록 한다.

<32> 도 2는 열 구동기(23){본질적으로 전압원(24)과, 저항(25)을 갖는 스위치를 포함}와 선택된 행에서의 열의 픽셀 사이의 연결을 도시한다. 열은 열 커패시턴스(26)를 구비하고, 상기 열 커패시턴스(26)는 예를 들어 행 전도체와 열의 모든 교차부에서 야기된다. 각각의 픽셀은 픽셀 커패시턴스(27)를 구비한다. 열 구동 신호는 커패시턴스(26 및 27) 양쪽 모두 충전하게 한다. 그러나, 열 커패시터(26)를 충전하기 위한 시간 상수{저항(25)×커패시턴스(26)}는 픽셀을 충전하기 위한 시간 상수{TFT 저항×커패시턴스(27)}보다 훨씬 더 적다. 따라서, 열 커패시턴스(26)를 충전하기 위해 짧은 열 어드레스 펄스가 필요하다.

<33> 열 어드레스 펄스 이후지만, 행 어드레스 펄스가 여전히 활성 상태인 동안, 평형에 도달할 때까지 커패시턴스(26)와 커패시턴스(27) 사이에 전하 이동이 있다. 픽셀 커패시턴스는 열 커패시턴스보다 훨씬 더 적어서, 열 전압에서 거의 변화 없이 평형에 도달한다. 픽셀의 큰 시간 상수는 높은 TFT 저항에서 야기된다. 전하 이동은, 픽셀을 필요한 전압으로 충전하는데 필요한 열 어드레스 펄스보다 더 짧은 열 어드레스 펄스가 사용되도록 한다. 그러나, 이후에 설명될 바와 같이, 2개의 짧은 열 어드레스 펄스가 사용될 수 있으므로, 전하 이동으로 인한 에러는 감소한다.

<34> 행 어드레스 펄스 종료시, 트랜지스터(14)는 턴 오프된다. 저장 커패시터(20)는 액정 누출 효과를 감소시키고, 액정 셀 커패시턴스의 전압 의존성에 의해 야기된 픽셀 커패시턴스에서의 백분율 편차(percentage variation)를 감소시킨다. 행은, 모든 행이 하나의 프레임 기간에 어드레싱되고, 그 다음의 프레임 기간에 리프레시

(refreshed)되도록 순차적으로 어드레싱된다.

<35> 도 3에 도시된 바와 같이, 행 어드레스 신호는 행 구동기 회로(30)에 의해 제공되고, 픽셀 구동 신호는 열 어드레스 회로(32)에 의해 디스플레이 픽셀 어레이(34)에 제공된다.

<36> 비결정질 실리콘 박막 디바이스로서 구현되는 박막 트랜지스터(14)를 통해 충분한 전류가 구동되도록 하기 위해, 높은 게이트 전압이 사용되어야 한다. 특히, 트랜지스터가 턴 온되는 기간은 디스플레이가 리프레시되어야 하는 총 프레임 기간과 거의 동일하며, 이것은 행의 수로 나누어진다. 온-상태 및 오프-상태에 대한 게이트 전압이, 오프-상태의 필요한 적은 누출 전류, 및 이용가능한 시간 내에 액정 셀(16)을 충전 또는 방전시키기 위해 온-상태에서 충분한 전류 흐름을 제공하기 위해 대략 30V만큼 차이가 난다는 것은 잘 알려져 있다. 그 결과, 행 구동기 회로(30)는 높은 전압 성분을 사용한다.

<37> 특히 행 펄스 파형, 및 공통 LC 플레이트가 구동되는 전압에 관해, 도 1의 디스플레이를 구동하기 위한 알려진 다양한 어드레싱 구성이 있다. 이것은 본 명세서에 구체적으로 설명되지 않을 것이다. 몇몇 알려진 동작 기술은, 예를 들어 US-A-5 130 829 및 WO 99/52012에 더 구체적으로 기재되어 있고, 이들 특허는 본 명세서에 인용문으로서 병합된다. 본 발명은 많은 구동 구성에 적용될 수 있다.

<38> 도 4는 종래의 열 구동기 회로를 도시한다. 상이한 픽셀 구동 신호 레벨의 수(n)는 예를 들어 레지스터 어레이인 그레이 레벨 생성기(40)에 의해 생성된다. 스위칭 매트릭스(42)는 필요한 레벨을 각 열에 스위칭하는 것을 제어하고, 래치(44)로부터의 디지털 입력에 기초하여 n개의 그레이 레벨 중 하나를 선택하기 위한 변환기(43) 어레이를 포함한다. 디지털 입력은 필요한 이미지 데이터(45)를 저장하는 RAM으로부터 유도된다. 각 열에는, 행 어드레스 기간의 총 지속 기간 동안 열에서의 픽셀을 필요한 구동 신호 레벨로 유지하기 위해 버퍼(46)가 제공된다. 이러한 다수의 버퍼(46)는 높은 전력 소비를 초래한다.

<39> 능동 매트릭스 LCD를 구동하도록 낮은 전력의 칩셋에서의 전력을 감소시키기 위해, 버퍼의 총 수는 감소될 필요가 있다. 도 5는, 버퍼(46)가 N개의 열의 그룹 사이에서 공유되는 멀티플렉싱 구성을 도시한다. 버퍼의 출력은 멀티플렉싱 스위치(50)를 사용하여 그룹의 열에 차례로 스위칭된다. 버퍼가 신호를 하나의 열에 제공하고 있을 때, 상기 버퍼는 스위치에 의해 다른 열로부터 절연된다. 그룹 내의 열 사이에서의 크로스토크는, 특히 하나의 열이, 방금 어드레싱된 인접한 열(즉, 어드레스 주기에서의 이전의 열)에 영향을 미친다는 문제를 야기한다.

<40> 이러한 크로스토크는 인접한 열 사이의 커패시턴스로부터 야기되는데, 이것은, 예를 들어 픽셀 패드가 열 전극 상에 오버랩(overlap)하는 것, 또는 픽셀이 열 전극에 근접하는 것과 같은 물리적 픽셀 구조에 의해 야기된다.

<41> 도 6은 10의 임의의 멀티플렉싱 비율에 대한 구동 구성을 설명하는데 사용된다. 표의 각 행은 시간(T0, T1, ..., T9)에서의 특정한 순간에 상이한 열(C0, C1, ..., C9)에 인가된 신호를 나타낸다. 상기 표는, 시간(T)에서의 임의의 지점에서, 픽셀 구동 신호가 2개의 (인접한) 열(C)에 제공된다는 것을 보여준다. 하나의 열(Cn)에 대한 픽셀 구동 신호는 이전에 구동된 열{C(n-1)}에 대한 픽셀 구동 신호 종료 이전에 시작하고, 이전에 구동된 열에 대한 픽셀 구동 신호의 종료 이후에 완료한다. 이 표에는 10개의 그러한 행이 있고, 그러므로 표는 주기에서 10개의 열 모두를 구동하는 것을 보여준다. 이후에 설명될 바와 같이, 2개의 그러한 주기는 각 행 어드레스 기간 동안 사용될 수 있다.

<42> "z"는, 대응하는 멀티플렉서 스위치가 턴 오프{높은 임피던스(z) 상태}되어, 열이 구동되지 않음을 나타낸다. 전압(Vx)은 열(x)에 인가된다.

<43> 시간 슬롯(T1) 동안 전압이 열(C1)에 인가된다고 간주하면, 전압(V1)은 열에 인가되고, 픽셀은 V1로 충전하기 시작한다. 예를 들어 10㎲의 이러한 시간 슬롯 종료시, 전압(V2)은 열(C2)에 인가된다. 그러나, 전압(V1)은, 어떠한 용량성 커플링도 열(C2)로 전이(transition)하지 못하게 하기 위해 열(C1) 상에 유지된다. 일반적으로, 이것은, 열(x)로부터 열(x-1)로의 용량성 커플링을 방지한다.

<44> 열 신호(V1){시간 슬롯(T1)에서}의 시작시, 열(C1)의 열(C2)과의 용량성 커플링이 약간 이루어지고, 그 다음에 상기 열(C2)은 높은 임피던스 상태가 된다. 그러나, 이러한 효과는, 열(C2)이 그 다음 어드레싱될 때 매우 빠르게 없어진다.

<45> 이러한 구성은 2개의 출력이 항상 활성화되는 것을 필요로 하기 때문에, 변경된 하드웨어가 필요하다. 도 7은 복수의 멀티플렉싱 스위칭 장치(50)를 구비하는 열 어드레스 회로를 도시하는데, 각 멀티플렉싱 장치(50)는 2개의 버퍼(46a 및 46b)와 결합된다. 2개의 버퍼(46a 및 46b)는 2개의 인접한 열에 각 픽셀 구동 신호를 동시에 제공한다.

<46> 도 8은 각 버퍼에 대한 전압 레벨을 선택하는데 사용된 R-DAC를 갖는 도 7의 회로 구현을 도시한다. 필요한 픽셀 구동 레벨을 나타내는 디지털 신호(45)는 래치(60)에 의해 저항-DAC 회로(43)에 래치(latched)되고, 상기 저항-DAC 회로(43)는 래치된 신호를 그레이 레벨 생성 회로(40)로부터의 아날로그 그레이 레벨 중 하나로 변환한다. 그 다음에, 이러한 아날로그 신호는 버퍼(46a 및 46b)에 제공된다.

<47> 전력 소비를 추가로 감소시키고, 픽셀 상에 저장될 부정확한 전압에 대한 전위를 감소시키기 위해, 각 열에는, 각 행 어드레스 기간 내에 픽셀 구동 신호가 2번 제공될 수 있다. 이것은, 픽셀 구동 신호의 제 1 세트 이후에 열의 다양한 용량성 소자를 통해 전하 재분배를 허용하고, 그 다음에, 픽셀 구동 신호의 제 2 세트로 하여금 더 정밀한 픽셀 제어를 제공하도록 한다. 열 기생 커패시턴스는 초기 단계에 충전되고, 그 다음에, 전하는 픽셀에 재분배하게 될 것이다. 전하가 픽셀 떠날 때, 열 전압은 강하할 것이고, 제 2 어드레싱 단계는 원하는 열 전압을 다시 한번 인가함으로써 기생 커패시턴스를 재충전한다.

<48> 도 6을 참조하여 설명된 바와 같이, 특정 멀티플렉서의 제어 하에 있는 각 열은, 이전 열 상의 신호가 종료되기 전에 어드레싱된다. 더욱이, 하나의 멀티플렉서에 의해 어드레싱될 최종 열은 인접한 멀티플렉서에 의해 배열될 최종 열에 인접하도록 배열될 수 있다. 이것은 도 9를 참조하여 설명된다.

<49> 단지 예로서, 도 9는, 각 멀티플렉서가 2개의 버퍼를 사용하여 신호를 12개의 열에 제공한다고 가정한다. 행 어드레스 기간($t_{행}$) 동안, 각 멀티플렉서(예를 들어 Mux 1 및 Mux 2)는 각 12개의 열을 2번 어드레싱한다. 도 9의 숫자 중 행에 있는 각 숫자는, 열 구동 신호가 상기 시간 지점에 제공되는 열을 나타낸다. 도시된 예에서, Mux 1은 2개의 버퍼를 사용하여 열(1 내지 12)을 순서대로(in order) 어드레싱한다. 열 어드레스 신호의 종료에, 소위 전개(evolution) 기간($t_{전개}$)이 있다. 전술한 바와 같이, 열 구동 신호 이후에, 충전된 열 커패시턴스와 픽셀 커패시턴스 사이에 전하 이동이 발생한다. 따라서, 픽셀 충전은 열 구동 신호의 종료 이후에도 계속된다. 전개 기간은 마지막으로 어드레싱된 열에서의 픽셀에 대한 전하 이동을 가능하게 하기 위해 필요하다.

<50> 예로서, 60Hz는 16.7ms의 프레임 기간을 제공한다. 241개의 열이 있다고 가정하면, 행 기간은 69㎲이다. 이것은, 행 펄스 사이의 3㎲의 보호 대역과 함께, 도시된 바와 같이 50㎲의 열 구동 펄스, 및 16㎲의 전개 기간으로 이루어질 수 있다. 각 열 펄스($t_{열}$)는 약 4㎲의 길이를 갖는다.

<51> 전하 이동 시간이 마지막으로 어드레싱된 열{예를 들어 Mux 1에 대해 열(11 및 12)}에 대해 더 짧기 때문에, 이러한 열에서 더 큰 에러가 생길 수 있다. 에러는 갑자기 변경하는 것보다는 디바이스에 걸쳐 매끄럽게 변경하는 것이 유리하다. 이러한 이유로 인해, 하나의 멀티플렉서 블록의 마지막으로 어드레싱된 열은 인접한 멀티플렉서 블록의 마지막으로 어드레싱된 열에 인접하게 위치한다. 따라서, Mux 2는 열(12 내지 24)을 역순으로 어드레싱하여, 열(13 및 14)은 마지막에 어드레싱된다. 이 열(13 및 14)은 열(11 및 12)에 인접하므로, 디스플레이에 걸쳐 에러에서 점진적인 변동이 일어난다.

<52> 도 10은, 열이 행 어드레스 기간(82) 내에서 2번 어드레싱될 때 열 전압(80)이 어떻게 변하는 지를 도시한다. 열 구동기는 시간(84)에 온되고, 시간(86)에 오프된다. 픽셀 전압(88)은 제 1 시간 기간(84a)에 완전 충전될 필요가 없다. 이것은, TFT 및 픽셀의 시간 상수가 멀티플렉서 스위치 및 열 커패시턴스의 시간 상수보다 훨씬 더 크기 때문에 중요하다. 제 1 어드레싱 단계(84a) 이후에{따라서 제 1 온 기간 이후에 전압(80)에서의 강하} 전하 재분배가 발생하고, 임의의 에러가 픽셀 상에서 발생하는 한편, 다른 열이 어드레싱되고 있으면, 이것은 제 2 어드레싱 단계(84b)에 의해 정정된다. 픽셀은 라인 시간에 관련된 짧은 어드레싱 기간에도 불구하고 신뢰성있게 충전된다.

<53> 본 발명의 구조가 각 멀티플렉서 블록에 대해 2개의 버퍼를 필요로 하지만, 멀티플렉스 비율은 열 어드레스 신호의 오버랩 때문에 2배가 될 수 있다. 따라서, 각 열 어드레스 신호가 10㎲ 지속하면, 하나의 열은 평균적으로 5㎲마다 어드레싱될 수 있고, 이것은 2배로 된 열의 수로 하여금 행 어드레스 기간 내에 어드레싱되도록 한다. 따라서, 도 4의 멀티플렉싱 구성에 비해, 버퍼의 수에서 동일한 감소가 달성되고, 멀티플렉싱 스위치의 수 중 절반만 필요하다.

<54> 용어 "행" 및 "열"은 상세한 설명 및 청구항에서 다소 임의적이다. 이들 용어는, 공통 연결을 공유하는 요소의 직교 라인을 갖는 요소의 어레이라는 것을 명백히 하고자 한다. 행이 일반적으로 디스플레이의 측면간에 이어지는 것으로 간주되고, 열이 상부로부터 하부로 이어지는 것으로 간주되지만, 이러한 용어의 사용은 이러한 관점에 한정되지 않는다.

<55> 열 회로는 집적 회로로서 구현될 것이고, 또한 본 발명은 전술한 디스플레이 구조를 구현하기 위한 열 회로에

관한 것이다.

<56> 본 발명의 다른 특징은 당업자에게 명백할 것이다.

산업상 이용 가능성

<57> 상술한 바와 같이, 본 발명은 능동 매트릭스 디스플레이 디바이스에 관한 것으로, 특히 디스플레이의 픽셀에 구동 신호를 제공하는데 사용된 회로 등에 이용된다.

도면의 간단한 설명

<20> 도 1은 능동 매트릭스 액정 디스플레이에 대한 알려진 픽셀 구성의 일례를 도시한 도면.

<21> 도 2는 픽셀 충전 동안 전하 흐름을 설명하는데 사용되는 도면.

<22> 도 3은 행 및 열 구동기 회로를 포함하는 디스플레이 디바이스를 도시한 도면.

<23> 도 4는 종래의 열 구동기 회로를 도시한 도면.

<24> 도 5는 버퍼의 수를 감소시키기 위해 멀티플렉싱을 사용하는 하나의 가능한 열 구동기 회로를 도시한 도면.

<25> 도 6은 본 발명의 열 구동 구성을 설명하는데 사용되는 도면.

<26> 도 7은 본 발명의 열 구동기 회로를 도시한 도면.

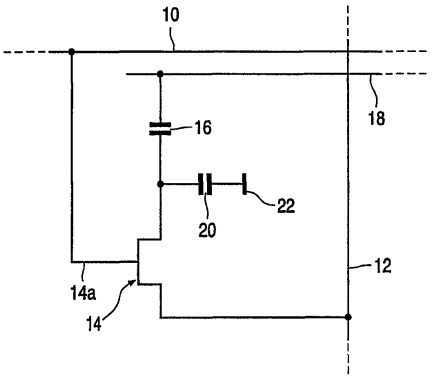
<27> 도 8은 본 발명의 열 구동기 회로를 더 구체적으로 도시한 도면.

<28> 도 9는 인접한 멀티플렉서가 어떻게 구동되는 지를 도시한 도면.

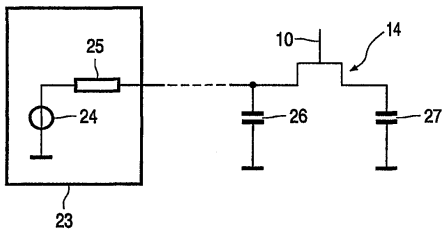
<29> 도 10은 본 발명의 2개의 스테이지로 된 열 어드레스 구성에서의 픽셀 충전을 도시한 도면.

도면

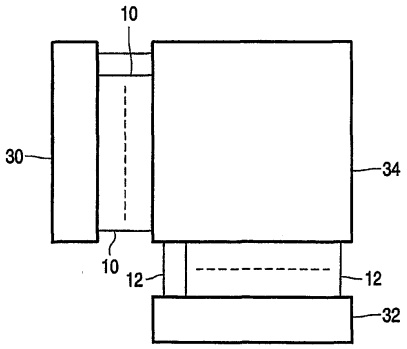
도면1



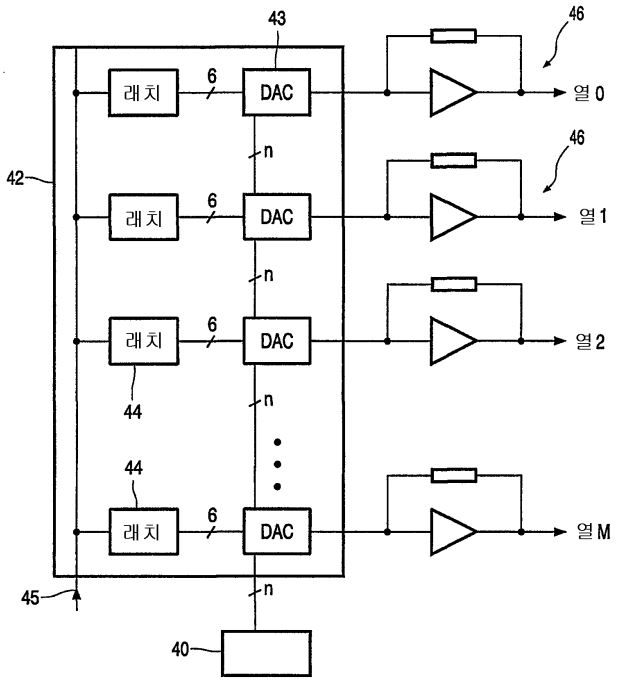
도면2



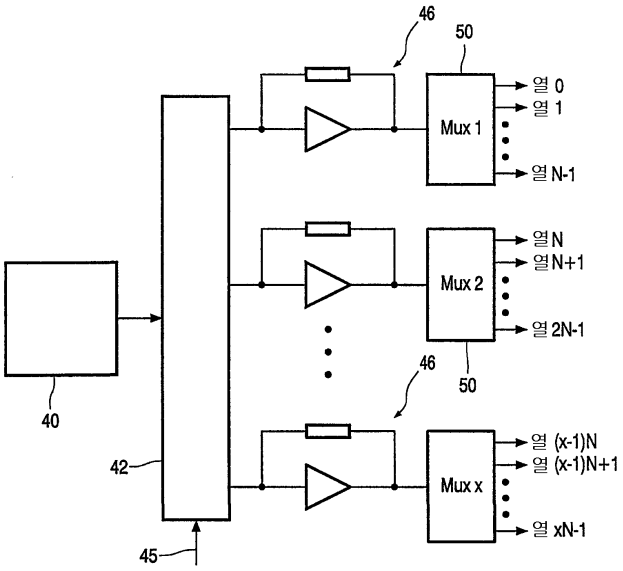
도면3


10
30
34
10
12
12
32

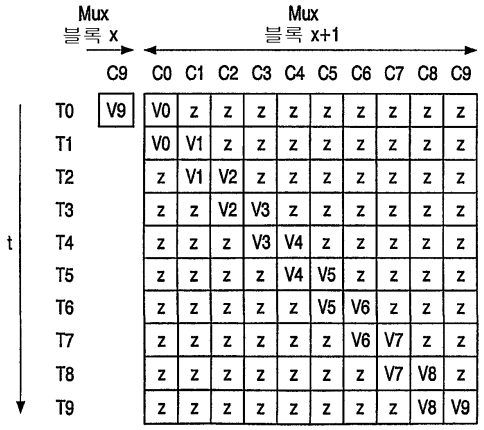
도면4


43
46
래치
6
DAC
열 0
n
42
46
래치
6
DAC
열 1
n
래치
6
DAC
열 2
44
n
44
래치
6
DAC
열 M
45
n
40

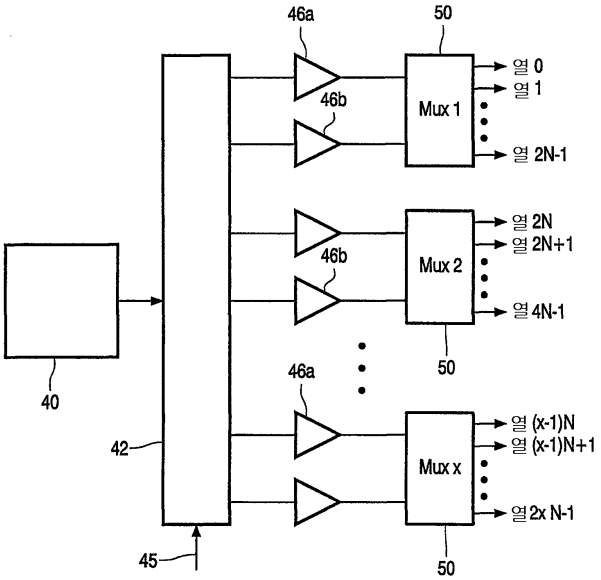
도면5


46
50
열 0
열 1
Mux 1
열 N-1
열 N
열 N+1
Mux 2
열 2N-1
46
50
40
42
열 (x-1)N
열 (x-1)N+1
Mux x
열 xN-1
45

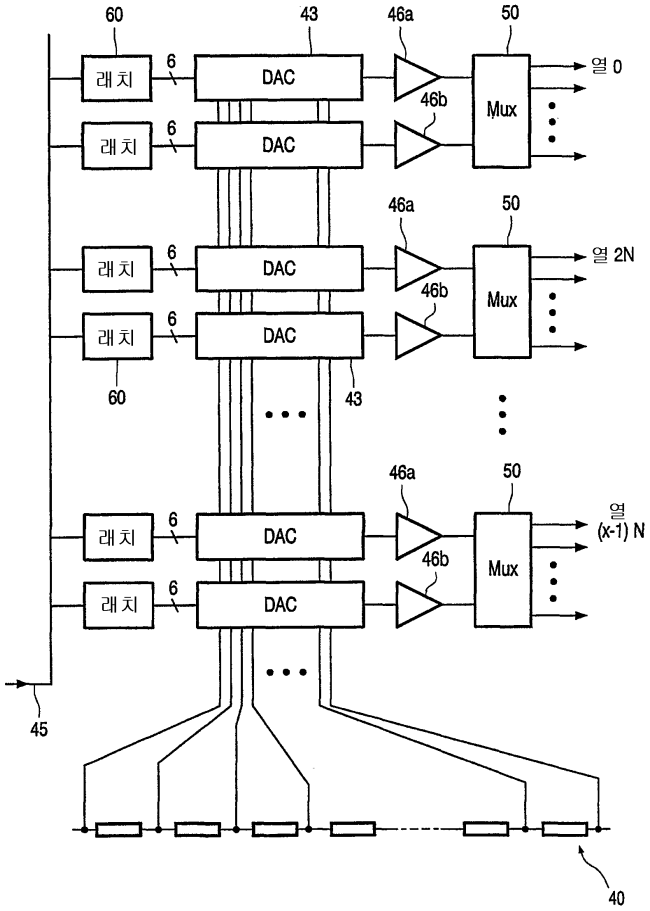
도면6


Mux
블록 x
Mux
블록 x+1
C9 C0 C1 C2 C3 C4 C5 C6 C7 C8 C9
T0 V9 V0 z z z z z z z z z
T1 V0 V1 z z z z z z z z
T2 z V1 V2 z z z z z z z
T3 z z V2 V3 z z z z z z
T4 z z z V3 V4 z z z z z
T5 z z z z V4 V5 z z z z
T6 z z z z z V5 V6 z z z
T7 z z z z z z V6 V7 z z
T8 z z z z z z z V7 V8 z
T9 z z z z z z z z V8 V9
t

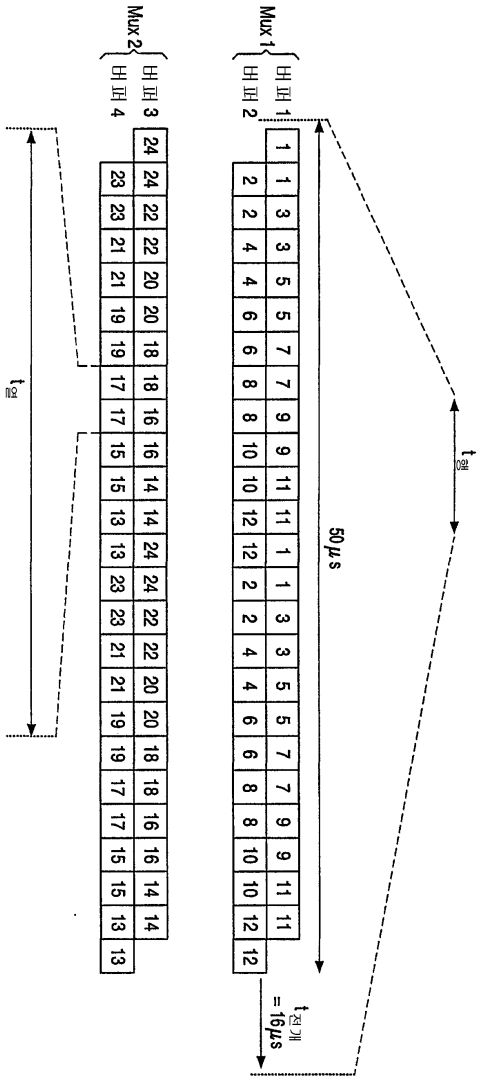
도면7


46a
50
열 0
열 1
46b
Mux 1
열 2N-1
열 2N
열 2N+1
46b
Mux 2
열 4N-1
50
40
46a
열 (x-1)N
열 (x-1)N+1
42
Mux x
열 2x N-1
45
50

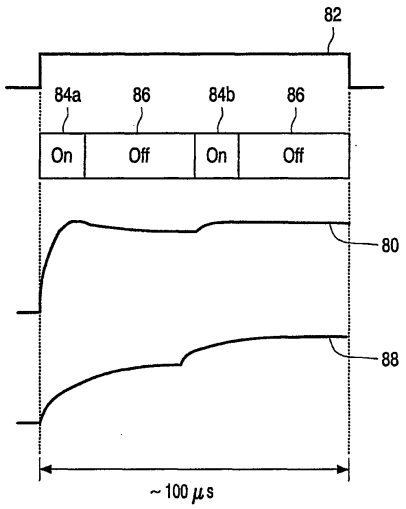
도면8


60
43
46a
50
래치
6
DAC
Mux
열 0
46b
열 2N
열 (x-1) N
60
43
45
40

도면9


Mux 1
Mux 2
50 μs
t전개 = 16μs

도면10


82
84a
86
84b
86
On
Off
On
Off
80
88
~100 μs