



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 842825

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 19.09.79 (21) 2823999/18-24 (51) М. Кл.³

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.06.81. Бюллетень № 24

Дата опубликования описания 30.06.81

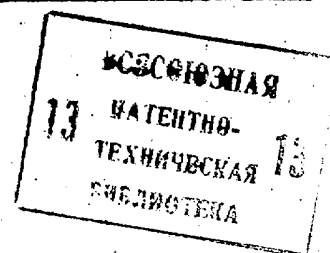
G 06 F 15/16
G 06 F 1/04

(53) УДК 681.14
(088.8)

(72) Авторы
изобретения

Н.Е.Алексашина и В.Ю.Макаров

(71) Заявитель



(54) УСТРОЙСТВО ДЛЯ СИНХРОНИЗАЦИИ ДВУХПРОЦЕССОРНОЙ СИСТЕМЫ ОБРАБОТКИ ДАННЫХ

1

Изобретение относится к вычислительной технике и может быть использовано в многопроцессорных системах обработки данных.

Известны устройства для синхронизации многопроцессорных систем обработки данных, содержащих процессоры, блок управления конфигураций, генераторы синхронизации, генераторы часов астрономического времени, блоки переключения генераторов, блоки формирования синхросигналов, блоки часов астрономического времени. Система работает в синхронном режиме, используя в качестве задающего генератора синхросигналов генератор синхросигналов одного из процессоров. Для обеспечения ремонта вышедшего из строя процессора, чей генератор используется как задающий генератор системы, предусматривается возможность подключения в качестве задающего генератора системы генератора синхросигналов одного из исправных процессоров [1].

Недостаток этих устройств состоит в больших аппаратных затратах, так как система использует раздельное переключение генераторов синхронизации и генераторов часов.

2

Наиболее близким по технической сущности к предлагаемому является устройство для синхронизации двухпроцессорной системы обработки данных, содержащей первый процессор, второй процессор, блок переключения конфигураций, генератор синхросигналов первого процессора, генератор синхросигналов второго процессора, генератор часов первого процессора, генератор часов второго процессора, блок переключения генераторов синхронизации первого процессора, блок переключения генераторов синхронизации второго процессора, блок переключения генераторов часов первого процессора, блок переключения генераторов часов второго процессора, блок формирования синхросигналов первого процессора, блок формирования синхросигналов второго процессора, блок часов первого процессора, блок часов второго процессора, блок синхронизации генераторов, причем выход генератора синхросигналов каждого процессора соединен со входом блока переключения генераторов синхронизации первого процессора и со входом блока переключения генераторов синхронизации второго процессора, выход

генератора часов каждого процессора соединен со входом блока переключения генераторов часов первого процессора и со входом блока переключения генераторов часов второго процессора, выходы блока переключения конфигураций соединены со входами блока переключения генераторов синхронизации каждого процессора и со входами блока переключения генераторов часов каждого процессора, выходы блока синхронизации генераторов соединены со входами блока переключения генераторов синхронизации каждого процессора и со входами блока переключения генераторов часов каждого процессора, выход блока переключения генераторов синхронизации каждого процессора соединен со входом блока формирования синхросигналов данного процессора, выход блока формирования синхросигналов каждого процессора соединен со входом блока часов данного процессора и с данным процессором, выход блока переключения генераторов часов каждого процессора соединен со вторым входом блока часов данного процессора, выход блока часов каждого процессора соединен с данным процессором.

При необходимости отключения питания на процессоре, генератор синхронизации и генератор часов которого являются задающими генераторами системы, блок переключения конфигураций вырабатывает сигнал, определяющий новую конфигурацию генераторов. Сигнал конфигурации поступает в блоки переключения генераторов синхронизации и генераторов часов каждого процессора, где при наличии разрешающего сигнала от блока синхронизации генераторов, новая конфигурация вызывает переключение генераторов [2].

Недостатком этой многопроцессорной системы является большой объем оборудования, что обусловлено необходимостью наличия схемы синхронизации, определяющей момент переключения, а также использование блока переключения генераторов синхросигналов и блока переключения генераторов часов, выполняющих сходные функции.

Цель изобретения - сокращение объема оборудования многопроцессорной системы путем создания одного универсального блока для переключения генераторов часов и синхросигналов без использования схемы синхронизации момента переключения.

Поставленная цель достигается тем, что в устройстве, содержащем блок переключения конфигураций и два блока синхронизации, каждый из которых включает генератор часов, узел переключения генераторов, соединенный первым входом с выходом генератора синхросигналов, а пер-

вым выходом - со входом узла формирования синхросерий, выход которого соединен с первым входом узла пересчета и первым выходом синхронизации соответствующей группы выходов устройства, а первый выход узла пересчета является вторым выходом синхронизации той же самой группы выходов устройства, причем второй вход узла переключения генераторов одного блока синхронизации подключен к генератору синхросигналов другого блока синхронизации, а первый и второй выходы блока переключения конфигураций соединены соответственно с третьими входами узлов переключения генераторов первого и второго блоков синхронизации, вторые вход и выход узла пересчета каждого блока синхросигналов подключены соответственно ко второму выходу и четвертому входу узла переключения генераторов того же блока синхронизации, пятым входом соединенного с третьим выходом блока переключения конфигураций, шестым и седьмым - соответственно со вторым входом узла формирования синхросерий и выходом генератора часов того же самого блока синхронизации, а восьмым входом - с выходом генератора часов другого блока синхронизации.

Узел переключения генераторов содержит первый элемент И, входы которого соединены соответственно с пятым, шестым и четвертым входами узла, элемент задержки, подключенный входом к пятому входу узла, а выходом - к первым входам триггера подключения своего процессора, триггера подключения другого процессора и триггера ввода конфигураций и через элемент НЕ к первому входу второго элемента И, вторым входом и выходом соединенного соответственно с выходом первого элемента И и вторым входом триггера ввода конфигурации, выход которого подключен к первым входам третьего-шестого элементов И, вторые входы которых соединены соответственно с первым, вторым, седьмым и восьмым входами узла, первый и второй элементы ИЛИ, выходы которых являются соответственно первым и вторым выходами узла, а первые и вторые входы соединены соответственно с выходами третьего-шестого элементов И, и элементов И-НЕ, входом соединенный с третьим входом узла, инверсным входом - со вторым входом триггера подключения своего процессора, выход которого подключен к третьим входам третьего и пятого элементов И, а прямым выходом - со вторым входом триггера подключения другого процессора, выход которого подключен к третьим входам четвертого и шестого элементов И.

На фиг.1 приведено устройство, блок-схема; на фиг.2 - функциональ-

ная схема узла переключения генераторов; на фиг.3 - временная диаграмма работы блока переключения генераторов.

Устройство содержит (фиг.1) блоки 1 и 2 синхронизации первого и второго процессора, блок 3 управления конфигурацией, генераторы 4 и 5 синхросигналов блоков 1 и 2, генераторы 6 и 7 часов блоков 1 и 2, узлы 8 и 9 переключения генераторов блоков 1 и 2, узлы 10 и 11 формирования синхросерий блоков 1 и 2, узлы 12 и 13 пересчета блоков 1 и 2, выходные шины 14 и 15 генераторов 4 и 5 синхросигналов, выходные шины 16 и 17 генераторов 6 и 7 часов, выходная шина 18 сигнала конфигурации и первый выход блока 3, выходная шина 19 сигнала установки конфигурации и третий выход блока 3, выходные шины 20 и 21 сигналов конца такта синхронизации процессов (вторые выходы) узлов 10 и 11, выходные шины 22 и 23 сигнала конца пересчета часов процессоров (первые выходы) узлов 12 и 13, выходные шины 24 и 25 сигналов синхронизации (первые выходы) узлов 8 и 9, выходные шины 26 и 27 сигналов пересчета часов (вторые выходы) узлов 8 и 9.

Узлы 8 и 9 подключения генераторов содержат (фиг.2) элемент 28 задержки, первый элемент И 29, элемент НЕ 30, второй элемент И 31, элемент И-НЕ 32, триггер 33 ввода конфигурации, триггер 34 подключения генераторов своего процессора, триггер 35 подключения генераторов другого процессора, третий-шестой элементы И 36-39, элементы ИЛИ 40 и 41, шина 42 сигнала разрешения ввода конфигурации, шина 43 задержанного сигнала установки конфигурации, шина 44 сигнала блокировки генераторов 44.

Сигналы 42, 44, показанные на фиг.3, представляют собой сигналы блока переключения генераторов второго процессора. Указанные сигналы соответствуют сигналам 42, 44, приведенным на фиг.2.

Блок 3 может представлять собой, например, кнопочный переключатель для формирования сигнала установки конфигурации и 3-х позиционный переключатель с положениями "Процессор 1", "Процессор 2", "Местное".

Генераторы 4, 5 синхросигналов и генераторы 6, 7 часов представляют собой стандартные кварцевые генераторы.

Узлы 10 и 11 представляют собой стандартные узлы с типовыми функциональными возможностями, в которых из последовательностей, выдающих сигналы на шинах 24, 25, вырабатывается несколько серий синхросигналов, сдвинутых между собой на равные части такта. Сигналы окончания так-

та синхронизации, выдаваемые на шины 20, 21, являются последними сериями такта.

Узлы 12, 13 представляют собой счетчики, пересчитывающие содержимое регистра часов длиной в 51 разряд, по частям в течение нескольких тактов.

Устройство работает следующим образом.

Сигналы с блока 3 поступают на узлы 8, 9, позволяют производить переключение пар генераторов 4, 6 и 5, 7. Выбор необходимой пары генераторов осуществляется с помощью сигнала на шине 18, а момент их подключения определяется сигналом на шине 19. Переключение генераторов синхросигналов должно производиться после окончания машинного такта, так как в противном случае возможны нарушения вычислительного процесса в системе из-за потери части машинного такта. Узлы 10, 11 выдают сигналы конца такта синхронизации на шинах 20, 21, причем в обоих узлах эти сигналы не совпадают по времени. Узлы 12, 13 также вырабатывают сигналы конца пересчета на шинах 22, 23, не совпадающие по времени (фиг.3). Эти сигналы совместно с сигналом на шине 19 поступают в узел 8 на входы элемента 29, на выходе 42 которого появляется сигнал. Аналогично в узле 9 формируется сигнал на выходе 42. Максимальный временной сдвиг между сигналами на выходах 42, 42' равен периоду пересчета часов.

Сигнал на выходе 42 и единичный уровень с элемента НЕ 30 образуют конъюнкцию на элементе И 31, которая поступает на вход триггера 33. Триггер устанавливается в нуль, запирая элементы И 36-39, в результате чего импульсы генераторов не проходят на выходы узлов 8, 9 и не поступают в устройства первого процессора (Пр.1). Аналогично во втором процессоре (Пр.2) происходит блокировка импульсов, выдаваемых в узлы 10-13. Таким образом, блокировка в обоих процессорах происходит в разные моменты времени, определяемые сигналами на выходах элементов И 29 узлов 8 и 9 (на фиг.3 это время на t_1 и t_2).

Инициация работы системы от выбранной пары генераторов происходит одновременно в обоих процессорах, что приводит к их дальнейшей синхронной работе. Сигнал на шине 19, задержанный на время, большее такта часов с помощью элемента 28 задержки, поступает одновременно на входы триггера 33 и на входы синхронизации триггеров 34, 35 обоих процессоров. Одновременность прихода этих сигналов также регулируется с помощью элемента 28 задержки. Переброс в

единичное состояние триггера 33 совпадает с приемом новой конфигурации на триггере 34, 35, выходные сигналы которых, поступая на элементы И 36-39, разрешают прохождение сигналов той или другой пары генераторов через элементы ИЛИ 40, 41 на выходные шины 24, 26. Для предотвращения наличия запрещенной комбинации на входах триггера 33 в момент времени t_3 предусматривается блокировка R-входа от сигнала на выходе 43 через элементы НЕ 30 и И 31.

Таким образом, устройство обеспечивает сокращение объема оборудования за счет использования универсального блока переключения генераторов без применения дополнительной схемы синхронизации для определения момента переключения. Наряду с этим использование данного устройства позволяет сохранить непрерывность вычислительного процесса в системе в момент переключения генераторов, не требуя перегрузки системы, что является его дополнительным преимуществом по сравнению с известным устройством.

Формула изобретения

Устройство для синхронизации двух-процессорной системы обработки данных, содержащее блок переключения конфигураций и два блока синхронизации, каждый из которых включает генератор часов, узел переключения генераторов, соединенный первым входом с выходом генератора синхросигналов, а первым выходом - со входом узла формирования синхросерий, выход которого соединен с первым входом узла пересчета и первым выходом синхронизации соответствующей группы выходов устройства, а первый выход узла пересчета является вторым выходом синхронизации той же самой группы выходов устройства, причем второй вход узла переключения генераторов одного блока синхронизации подключен к генератору синхросигналов другого блока синхронизации, а первый и второй выходы блока переключения конфигураций соединены соответственно с третьими входами узлов переключения генераторов первого и второго блоков синхронизации, отличающееся тем, что, с целью сокращения объема оборудова-

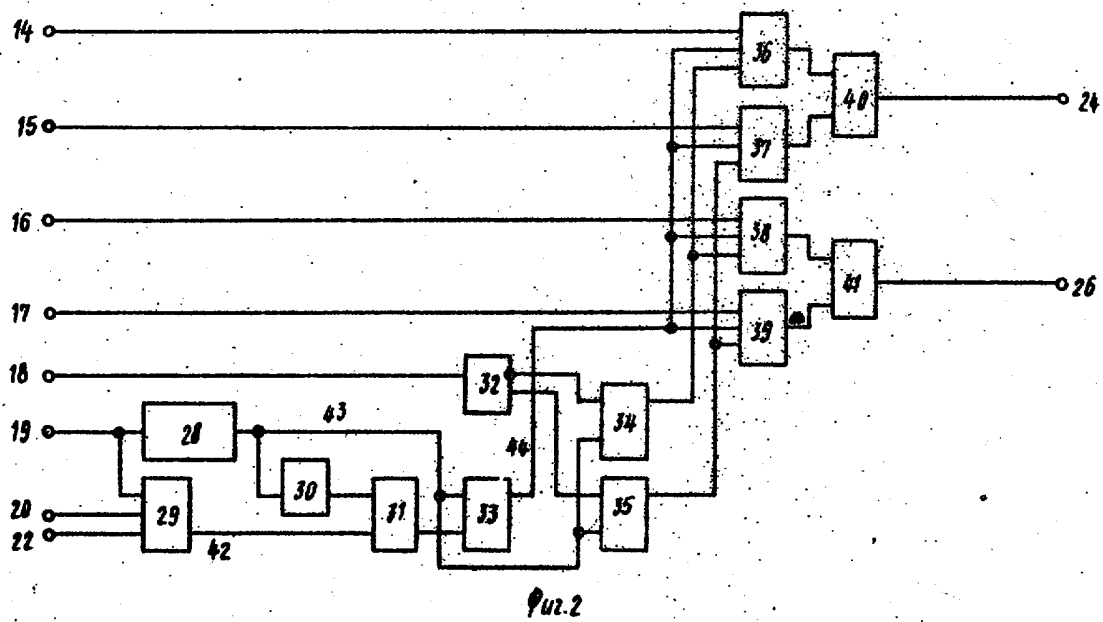
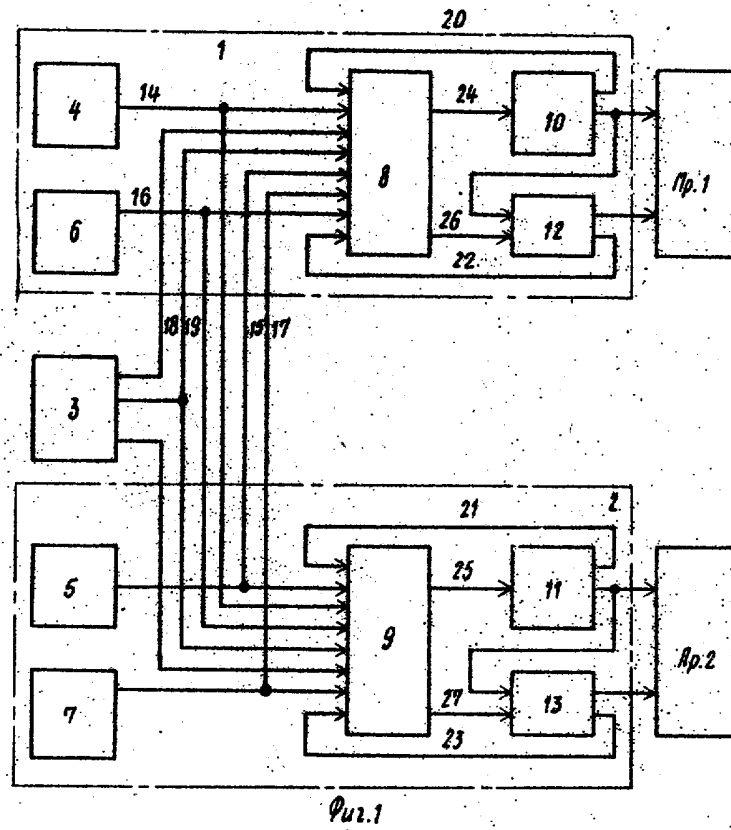
ния, вторые вход и выход узла пересчета каждого блока синхросигналов подключены соответственно ко второму выходу и четвертому входу узла переключения генераторов того же блока синхронизации, пятым входом соединенного с третьим выходом блока переключения конфигураций, шестым и седьмым - соответственно со вторым выходом узла формирования синхросерий и выходом генератора часов того же самого блока синхронизации, а восьмым входом - с выходом генератора часов другого блока синхронизации.

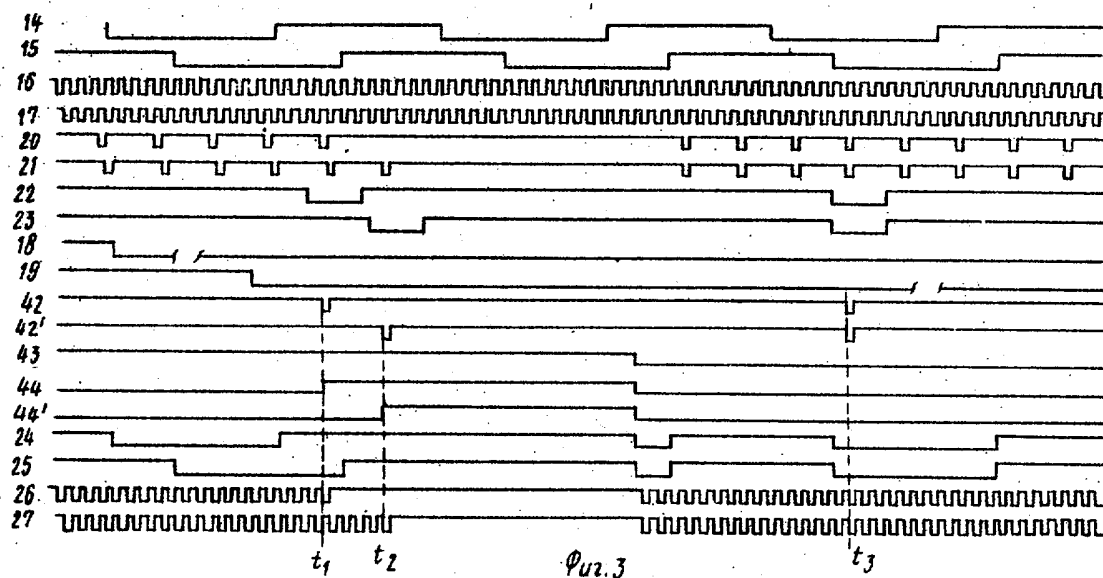
2. Устройство по п.1, отличающееся тем, что узел переключения генераторов содержит первый элемент И, входы которого соединены соответственно с пятым, шестым и четвертым входами узла, элемент задержки, подключенный входом к пятому входу узла, а выходом - к первым входам триггера подключения своего процессора, триггера подключения другого процессора и триггера ввода конфигураций и через элемент НЕ к первому входу второго элемента И, вторым входом и выходом соединенного соответственно с выходом первого элемента И и вторым входом триггера ввода конфигурации, выход которого подключен к первым входам третьего-шестого элементов И, вторые входы которых соединены соответственно с первым, вторым, седьмым и восьмым входами узла, первый и второй элементы ИЛИ, выходы которых являются соответственно первым и вторым выходами узла, а первые и вторые входы соединены соответственно с входами третьего-шестого элементов И, и элемент И-НЕ, входом соединенный с третьим входом узла, инверсным выходом - со вторым входом триггера подключения своего процессора, выход которого подключен к третьим входам третьего и пятого элементов И, а прямым выходом - со вторым входом триггера подключения другого процессора, выход которого подключен к третьим входам четвертого и шестого элементов И.

Источники информации,

принятые во внимание при экспертизе

1. Патент ПНР № 81689, кл. G 06 F 15/16, опублик. 1976.
2. Патент США № 4021784, кл. 340-172.5, опублик. 1977 (прототип).





Составитель В.Вертлиб
 Редактор А.Власенко Техред А. Бабинец Корректор Н.Стец

Заказ 5103/61 Тираж 745 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5.

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4