



(12) 发明专利

(10) 授权公告号 CN 113885686 B

(45) 授权公告日 2024.03.29

(21) 申请号 202110970459.4

(22) 申请日 2021.08.23

(65) 同一申请的已公布的文献号  
申请公布号 CN 113885686 A

(43) 申请公布日 2022.01.04

(73) 专利权人 阿里巴巴(中国)有限公司  
地址 310052 浙江省杭州市滨江区长河街  
道网商路699号4号楼5楼508室

(72) 发明人 孙坚 刘勇 邓兵

(74) 专利代理机构 北京开阳星知识产权代理有  
限公司 11710  
专利代理师 安伟

(51) Int.Cl.  
G06F 1/26 (2006.01)  
G06F 9/50 (2006.01)

(56) 对比文件

- CN 101043341 A, 2007.09.26
- CN 103703429 A, 2014.04.02
- CN 107786345 A, 2018.03.09
- CN 203522773 U, 2014.04.02
- EP 1708409 A2, 2006.10.04
- US 2007288771 A1, 2007.12.13
- US 2008005602 A1, 2008.01.03
- US 2015177800 A1, 2015.06.25

审查员 张诗伯

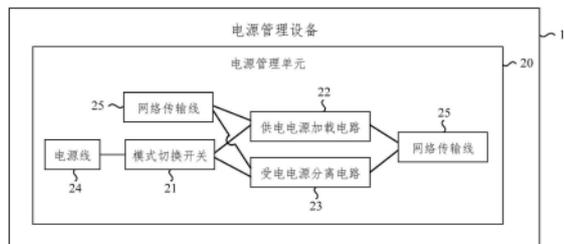
权利要求书2页 说明书29页 附图6页

(54) 发明名称

电源管理设备、边缘计算设备和边缘计算系  
统

(57) 摘要

本公开实施例涉及一种电源管理设备、边缘计算设备和边缘计算系统,电源管理设备包括:至少一个电源管理单元,每个电源管理单元包括模式切换开关、供电电源加载电路、受电电源分离电路、电源线和网络传输线;模式切换开关,用于根据工作模式选择导通供电电源加载电路与电源线,或者导通受电电源分离电路与电源线;供电电源加载电路用于将从电源线上传输的直流电加载到网络传输线上;受电电源分离电路用于将从网络传输线上传输的直流电分离到电源线上,网络传输线与边缘计算设备连接。由此,可利用电源管理设备将供电和受电功能从边缘计算设备中剥离出来,独立部署,灵活适配,可以解决过设计、配置灵活性较差及成本较高的问题。



1. 一种电源管理设备,其特征在于,包括至少一个电源管理单元,每个所述电源管理单元包括模式切换开关、供电电源加载电路、受电电源分离电路、电源线和网络传输线;

所述模式切换开关,用于根据工作模式选择导通所述供电电源加载电路与所述电源线,或者导通所述受电电源分离电路与所述电源线;

所述供电电源加载电路用于将从所述电源线上传输的直流电加载到所述网络传输线上;

所述受电电源分离电路用于将从所述网络传输线上传输的直流电分离到所述电源线上;

所述网络传输线与边缘计算设备连接。

2. 根据权利要求1所述的电源管理设备,其特征在于,所述供电电源加载电路包括:

升压子电路,用于将电源线上传输的第一电压的直流电升压为第二电压的直流电,所述第二电压的值大于所述第一电压的值;

加载子电路,用于将第二电压的直流电加载到所述网络传输线上。

3. 根据权利要求2所述的电源管理设备,其特征在于,所述受电电源分离电路包括:

分离子电路,用于将第三电压的直流电从所述网络传输线分离;

降压子电路,用于将所述第三电压的直流电降压为第四电压的直流电,所述第四电压的值小于所述第三电压的值。

4. 根据权利要求1所述的电源管理设备,其特征在于,所述电源管理单元的数目为至少两个,所述至少两个电源管理单元的电源线电连接以作为公共电源输出端,每个所述电源管理单元还包括:

负载均衡电路,与所述受电电源分离电路串联设置;

且,不同电源管理单元间的负载均衡电路电连接,以均衡所述至少两个电源管理单元之间的负载。

5. 根据权利要求4所述的电源管理设备,其特征在于,每个所述电源管理单元封装于壳体中,所述壳体上设置有供网络传输线通过的第一开口,供电电源线通过的第二开口以及供级联探针通过的第三开口,所述级联探针用于实现不同电源管理单元间的负载均衡电路电连接。

6. 根据权利要求1所述的电源管理设备,其特征在于,与所述边缘计算设备连接的所述网络传输线用于传输网络信号和直流电;或者

与所述边缘计算设备连接的所述网络传输线用于传输网络信号。

7. 根据权利要求1所述的电源管理设备,其特征在于,与所述网络传输线连接的边缘计算设备包括核心板和基板,所述核心板上设置有边缘计算功能芯片,所述基板上设置有信号传输接口,所述核心板上的边缘计算功能芯片通过至少一个连接器与所述基板上的信号传输接口实现连接。

8. 一种边缘计算设备,其特征在于,包括核心板和基板,所述核心板上设置有边缘计算功能芯片,所述基板上设置有信号传输接口,所述核心板上的边缘计算功能芯片通过至少一个连接器与所述基板上的信号传输接口实现连接;

所述信号传输接口通过网络传输线与如权利要求1-7所述的电源管理设备连接。

9. 根据权利要求8所述的边缘计算设备,其特征在于,所述至少一个连接器包括主连接

器,所述主连接器固定在所述核心板的边缘。

10. 根据权利要求9所述的边缘计算设备,其特征在于,所述主连接器包括第一列信号端子、第二列信号端子、第三列信号端子、第四列信号端子和第五列信号端子;

所述第一列信号端子包括电源端子、第一USB信号端子和第一CAN总线信号端子;

所述第二列信号端子包括第一HDMI接口信号端子、第一以太网信号端子和第二USB信号端子;

所述第三列信号端子包括第一移动通信信号端子、第二HDMI接口信号端子、第一存储器信号端子和第一SPI信号端子;

所述第四列信号端子包括第一AI模块信号端子和第二移动通信信号端子;

所述第五列信号端子包括第二存储器信号端子和第三移动通信信号端子。

11. 根据权利要求8所述的边缘计算设备,其特征在于,所述至少一个连接器包括辅助连接器,所述辅助连接器固定在所述核心板的边缘。

12. 根据权利要求11所述的边缘计算设备,其特征在于,所述辅助连接器包括第六列信号端子、第七列信号端子、第八列信号端子、第九列信号端子和第十列信号端子;

所述第六列信号端子包括CSI信号端子和第三USB信号端子;

所述第七列信号端子包括JTAG信号端子、第四USB信号端子和第二以太网信号端子;

所述第八列信号端子包括第四移动通信信号端子、第三HDMI接口信号端子和第二SPI信号端子;

所述第九列信号端子包括音频信号端子、串行通讯总线信号端子和存储卡信号端子;

所述第十列信号端子包括第二AI模块信号端子和第二CAN总线信号端子。

13. 根据权利要求8所述的边缘计算设备,其特征在于,所述核心板上形成有开口区,所述开口区与所述边缘计算功能芯片对应设置。

14. 根据权利要求8所述的边缘计算设备,其特征在于,与所述网络传输线连接的电源管理设备包括至少一个电源管理单元,每个所述电源管理单元包括模式切换开关、供电电源加载电路、受电电源分离电路、电源线和网络传输线;

所述模式切换开关,用于根据工作模式选择导通所述供电电源加载电路与所述电源线,或者导通所述受电电源分离电路与所述电源线;

所述供电电源加载电路用于将从所述电源线上传输的直流电加载到所述网络传输线上;

所述受电电源分离电路用于将从所述网络传输线上传输的直流电分离到所述电源线上。

15. 一种边缘计算系统,其特征在于,包括权利要求1-7任一所述的电源管理设备,以及权利要求8-14任一所述的边缘计算设备。

## 电源管理设备、边缘计算设备和边缘计算系统

### 技术领域

[0001] 本公开涉及边缘计算技术领域,尤其涉及一种电源管理设备、边缘计算设备和边缘计算系统。

### 背景技术

[0002] 边缘计算,也叫分布式计算、雾计算或者多边计算,主要优势是在数据采集端或系统边缘端就能够完成对海量设备数据的整合、分析和计算反馈。边缘计算能够节省通信带宽、降低网络延迟、减少数据通信量、提高系统安全性保密性以及更少依赖存储和算力资源,可以提高边缘设备的可靠性和控制力。边缘计算可以在边缘计算设备中执行。示例性地,边缘计算设备包括智能传感器、可编程逻辑控制器、边缘智能路由器以及信息通信技术(Information Communications Technology, ICT)融合网关等可在本地实现数据处理的设备。

[0003] 有源以太网(Power Over Ethernet, POE)指的是在现有的以太网Cat.5布线基础架构不作任何改动的情况下,在为一些基于IP的终端(如IP电话机、无线局域网接入点AP或网络摄像机等)传输数据信号的同时,还能为边缘计算设备提供直流电的技术。

[0004] 在现有技术中,边缘计算设备部署过程中对POE的需求不同,依据部署场景存在作为非POE部署、供电设备(Power Sourcing Equipment, PSE)、受电设备(Power Device, PD)的POE部署场景,而集成PSE或PD功能在边缘计算设备内部会造成系统侧的过设计、PSE和PD的配置灵活性较差且付出额外成本。

### 发明内容

[0005] 为了解决上述技术问题或者至少部分地解决上述技术问题,本公开实施例提供了一种电源管理设备、边缘计算设备和边缘计算系统。

[0006] 第一方面,本公开实施例提供了一种电源管理设备,包括至少一个电源管理单元,每个所述电源管理单元包括模式切换开关、供电电源加载电路、受电电源分离电路、电源线和网络传输线;

[0007] 所述模式切换开关,用于根据工作模式选择导通所述供电电源加载电路与所述电源线,或者导通所述受电电源分离电路与所述电源线;

[0008] 所述供电电源加载电路用于将从所述电源线上传输的直流电加载到所述网络传输线上;

[0009] 所述受电电源分离电路用于将从所述网络传输线上传输的直流电分离到所述电源线上;

[0010] 所述网络传输线与边缘计算设备连接。

[0011] 第二方面,本公开实施例还提供了一种边缘计算设备,所述边缘计算设备与电源管理设备连接,所述边缘计算设备包括核心板和基板,所述核心板上设置有边缘计算功能芯片,所述基板上设置有信号传输接口,所述核心板上的边缘计算功能芯片通过至少一个

连接器与所述基板上的信号传输接口实现连接；

[0012] 所述信号传输接口包括网络信号接口,所述网络信号接口与网络传输线连接。

[0013] 第三方面,本公开实施例还提供了一种边缘计算系统,包括:本公开实施例提供的任一所述的电源管理设备,以及本公开实施例提供的任一所述的边缘计算设备。

[0014] 本公开实施例提供的技术方案与现有技术相比至少具有如下优点:在本公开实施例中,电源管理设备包括至少一个电源管理单元,每个电源管理单元包括模式切换开关、供电电源加载电路、受电电源分离电路、电源线和网络传输线;其中,模式切换开关能够根据工作模式选择导通供电电源加载电路与电源线,供电电源加载电路用于将从电源线上传输的直流电加载到网络传输线上,此时,网络传输线可用于传输直流电,配置该电源管理设备的边缘计算设备此时可作为PSE,能够为与之连接的后级设备供电;或者,模式切换开关能够根据工作模式选择导通受电电源分离电路与电源线,受电电源分离电路用于将从网络传输线上传输的直流电分离到电源线上,此时,直流电从网络传输线上分离,并通过电源线传输至受电设备,能够实现为受电设备供电。由此,通过设置电源管理设备,可实现直流电与网络传输线的耦合与分离,能够将供电和受电功能从系统侧的边缘计算设备中剥离出来,独立部署,灵活配置,从而无需将PSE或PD功能集成在边缘计算设备内部,避免系统侧的过设计,改善了PSE和PD的配置灵活性较差且付出额外成本的问题。

## 附图说明

[0015] 结合附图并参考以下具体实施方式,本公开各实施例的上述和其他特征、优点及方面将变得更加明显。贯穿附图中,相同或相似的附图标记表示相同或相似的元素。应当理解附图是示意性的,原件和元素不一定按照比例绘制。

[0016] 图1为本公开实施例提供了一种电源管理设备的结构示意图;

[0017] 图2为本公开实施例提供的另一种电源管理设备的结构示意图;

[0018] 图3为本公开实施例提供的又一种电源管理设备的结构示意图;

[0019] 图4为本公开实施例提供的又一种电源管理设备的结构示意图;

[0020] 图5为本公开实施例提供了一种四个电源管理单元级联的结构示意图;

[0021] 图6为本公开实施例提供了一种单个电源管理单元的结构示意图;

[0022] 图7为本公开实施例提供了一种边缘计算设备的结构示意图;

[0023] 图8为本公开实施例提供了一种核心板的结构示意图;

[0024] 图9为本公开实施例提供的另一种核心板的结构示意图;

[0025] 图10为本公开实施例提供了一种核心板与基板的对应连接关系示意图;

[0026] 图11为本公开实施例提供了一种连接器的结构示意图;

[0027] 图12为本公开实施例提供了一种连接器的端子排布方式示意图;

[0028] 图13为沿图9示出的核心板中A1-A2的剖面结构示意图;

[0029] 图14为本公开实施例提供的另一种核心板的局部平面结构示意图。

## 具体实施方式

[0030] 下面将参照附图更详细地描述本公开的实施例。虽然附图中显示了本公开的某些实施例,然而应当理解的是,本公开可以通过各种形式来实现,而且不应该被解释为限于这

里阐述的实施例,相反提供这些实施例是为了更加透彻和完整地理解本公开。应当理解的是,本公开的附图及实施例仅用于示例性作用,并非用于限制本公开的保护范围。

[0031] 应当理解,本公开的方法实施方式中记载的各个步骤可以按照不同的顺序执行,和/或并行执行。此外,方法实施方式可以包括附加的步骤和/或省略执行示出的步骤。本公开的范围在此方面不受限制。

[0032] 本文使用的术语“包括”及其变形是开放性包括,即“包括但不限于”。术语“基于”是“至少部分地基于”。术语“一个实施例”表示“至少一个实施例”;术语“另一实施例”表示“至少一个另外的实施例”;术语“一些实施例”表示“至少一些实施例”。其他术语的相关定义将在下文描述中给出。

[0033] 需要注意,本公开中提及的“第一”、“第二”等概念仅用于对不同的装置、模块或单元进行区分,并非用于限定这些装置、模块或单元所执行的功能的顺序或者相互依存关系。

[0034] 需要注意,本公开中提及的“一个”、“多个”的修饰是示意性而非限制性的,本领域技术人员应当理解,除非在上下文另有明确指出,否则应该理解为“一个或多个”。

[0035] 在解释说明本公开实施例提供的电源管理设备、边缘计算设备和边缘计算系统之前,先对本公开实施例中可能涉及的术语进行解释。

[0036] POE:Power Over Ethernet,有源以太网,指的是在现有的以太网基础架构下,在为一些基于IP终端传输数据信号(即网络信号)的同时,还能为此类设备提供直流供电的技术。

[0037] PSE:Power Sourcing Equipment,供电设备,对其他终端设备供电的设备。

[0038] PD:Power Device,受电设备,接受其他终端设备供电的设备。

[0039] ECM:Edge Computing Module,边缘计算模组,核心板,用于提供不同的算力,支持SoC运算核心,通过连接器连接基板。

[0040] EBB:Edge Computing Baseboard,边缘计算基板,基板,用于连接核心板。

[0041] 本公开提供的电源管理设备可配置于系统网络中,示例性地,可配置于边缘计算设备侧,实现供电/受电。该电源管理设备包括至少一个电源管理单元,每个电源管理单元包括模式切换开关、供电电源加载电路、受电电源分离电路、电源线和网络传输线;其中,模式切换开关能够根据工作模式选择导通供电电源加载电路与电源线,供电电源加载电路用于将从电源线上传输的直流电加载到网络传输线上,此时,网络传输线可用于传输直流电,配置该电源管理设备的边缘计算设备此时可作为PSE,能够为与之连接的后级设备供电;或者,模式切换开关能够根据工作模式选择导通受电电源分离电路与电源线,受电电源分离电路用于将从网络传输线上传输的直流电分离到电源线上,此时,直流电与网络传输线分离,直流电可通过电源线传输至受电设备,进而能够实现为与电源线连接的受电设备供电。由此,通过设置通过网络传输线与边缘计算设备连接的电源管理设备,可实现直流电与网络传输线的耦合与分离,能够将供电和受电功能从系统侧的边缘计算设备中剥离出来,独立部署,灵活配置,从而无需将PSE或PD功能集成在边缘计算设备内部,避免系统侧的过设计,改善了PSE和PD的配置灵活性较差且付出额外成本的问题。进一步地,通过多路电源管理单元级联,可满足大功率供电/受电需求。

[0042] 如图1所示,本公开实施例提供的电源管理设备10可以包括:至少一个电源管理单元20,每个电源管理单元20包括模式切换开关21、供电电源加载电路22、受电电源分离电路

23、电源线24和网络传输线25；

[0043] 模式切换开关21,用于根据工作模式选择导通供电电源加载电路22与电源线24,或者导通受电电源分离电路23与电源线24；

[0044] 供电电源加载电路22用于将从电源线24上传输的直流电加载到网络传输线25上；

[0045] 受电电源分离电路23用于将从网络传输线25上传输的直流电分离到电源线24上；

[0046] 网络传输线25与边缘计算设备连接。

[0047] 本公开实施例中,模式切换开关21能够根据工作模式选择与电源线24导通的电路。具体地,当工作模式为供电模式,即配置该电源管理设备的终端设备作为供电设备时,模式切换开关21选择导通供电电源加载电路22与电源线24,供电电源加载电路22将从电源线24上传输的直流电加载到网络传输线25上,实现利用网络传输线25为后级设备供电。当工作模式为受电模式时,即配置该电源管理设备的终端设备作为受电设备时,模式切换开关21选择导通受电电源分离电路23与电源线24,受电电源分离电路23将从网络传输线25上传输的直流电分离到电源线24上,终端设备可与电源线24电连接,实现受电。

[0048] 由此,通过电源管理单元20中的模式切换开关21,可实现直流电与网络传输线的耦合与分离,能够将供电和受电功能从系统侧(指用于传输网络信号的系统,可称为网络系统)剥离出来,独立部署,灵活配置,从而无需将PSE或PD功能集成在边缘计算设备内部,避免系统侧的过设计,改善了PSE和PD的配置灵活性较差且付出额外成本的问题。

[0049] 能够理解的是,上述将直流电加载到网络传输线上时,网络传输线可仅用于传输直流电,或者网络传输线可用于同时传输直流电和网络信号;即,网络信号和直流电可采用同一根网络传输线进行传输,也可采用不同的网络传输线进行传输;对应地,可采用信号线供电模式,也可采用空闲线供电模式。示例性地,对应于信号线供电模式,PSE使用3/5类双绞线中传输数据所用的线对(1、2、3、6)向PD传输数据的同时传输直流电;对应于空闲线供电模式,PSE使用3/5类双绞线中没有用于数据传输的线对(4、5、7、8)向PD来传输直流电,可基于网络信号和直流电的传输需求设置,在此不限定。

[0050] 能够理解的是,图1中仅示例性地示出了电源管理设备10包括一个电源管理单元20,但并不构成对本公开实施例提供的电源管理设备10的限定。在其他实施方式中,电源管理单元20的数目还可为两个、三个或更多个,在此不限定,后文中示例性说明。将从电源线24上传输的直流电加载到网络传输线25上

[0051] 本公开实施例提供的电源管理设备10,通过设置其包括至少一个电源管理单元20,以及电源管理单元20中的模式切换开关21能够根据工作模式选择导通电源线24和供电电源加载电路22,或者导通电源线24与受电电源分离电路23;同时,供电电源加载电路22能够将将从电源线24上传输的直流电加载到网络传输线25上,受电电源分离电路23能够将将从网络传输线25上传输的直流电分离到电源线24上,能够集成PSE和PD,即可作为受电设备使用,也可作为供电设备使用,仅需利用模式切换开关21进行切换即可;同时能够将PSE和PD设计从网络系统中剥离出来,并通过模式切换开关21对应于工作模式切换与电源线24导通的电路,该电源管理设备10可不受限于网络系统而独立部署,其能够基于网络系统的供电和受电需求、根据POE功能需求及部署环境进行灵活适配。

[0052] 基于此,针对边缘计算设备部署过程中,各不同边缘计算设备对POE的需求不同的场景,例如存在作为非POE部署、供电设备、受电设备的POE部署场景,可将PSE和PD功能由电

源管理设备10配置实现,而非将PSE和PD功能集成在边缘计算设备的内部,避免造成网络系统的过设计,进而避免付出额外成本。即,可将POE功能从网络系统中剥离,独立由电源管理设备10实现,该电源管理设备10集成PSE和PD设计,便于适用于多种不同的场景。

[0053] 由此,本公开实施例针对POE供电及受电设备,提出一种一体的集成化解决方案,将供电和受电集成在同一个电源管理设备10中,并可结合边缘计算设备的系列产品进行部署。例如,该电源管理设备10适用于终端设备不具备POE功能或者不确定作为供电设备或受电设备使用,但其关联设备又依赖POE部署的场景中,根据供电和受电需求,进行灵活适配。

[0054] 在本公开的一种可选实施方式中,如图2所示,供电电源加载电路22包括:

[0055] 升压子电路221,用于将电源线24上传输的第一电压的直流电升压为第二电压的直流电,第二电压的值大于第一电压的值;

[0056] 加载子电路222,用于将第二电压的直流电加载到网络传输线25上。

[0057] 本公开实施例中,升压子电路221能够使输出电压比输入电压高。具体地,输入电压为电源线24上传输的第一电压,输出电压为第二电压;第一电压经过升压子电路221升压之后,转换为第二电压;第二电压的值大于第一电压的值。

[0058] 示例性地,升压子电路221能够将12V直流电升压为48V直流电;对应地,且加载子电路222用于将48V直流电加载到网络传输线25上。

[0059] 能够理解的是,上述仅以第一电压为12V,第二电压为48V为例进行了示例性说明,即升压子电路221可将输出电压升高至输入电压的4倍,但并不构成对本公开实施例的限定。在其他实施方式中,升压子电路221的升压能力可基于供电需求以及电源线24上传输的第一电压设置,在此不限定。

[0060] 示例性地,升压子电路221可采用boost升压电路等开关直流升压电路或者其他直流升压电路,在此不赘述也不限定。

[0061] 同理,加载子电路222可采用任一种能够将直流电加载至网络传输线25上的加载电路,在此不赘述也不限定。

[0062] 本公开实施例中,通过设置供电电源加载电路22包括升压子电路221和加载子电路222,升压子电路用于将电源线24上传输的第一电压的直流电升压为第二电压的直流电,加载子电路用于将第二电压的直流电加载到网络传输线25上,在能够利用供电电源加载电路22将直流电加载到网络传输线25上的基础上,能够基于供电设备的供电需求,即基于与之连接的用电设备的用电需求,对电源线24上传输的直流电进行升压,使加载到网络传输线25上的直流电为具有第二电压的直流电,且第二电压大于第一电压,从而有利于满足用电功率较大的用电设备的用电需求。

[0063] 在本公开的一种可选实施方式中,如图3所示,受电电源分离电路23包括:

[0064] 分离子电路231,用于将第三电压的直流电从网络传输线25分离;

[0065] 降压子电路232,用于将第三电压的直流电降压为第四电压的直流电,第四电压的值小于第三电压的值。

[0066] 本公开实施例中,直流电为一种具有固定电压值的直流电流信号,而数据信号通常为模拟信号或是数字信号,其为有规律的、经过编排的、带有信息的电信号。基于此,可将直流电与数据信号区分开,针对此设计分离子电路231,可将第三电压的直流电从网络传输线25分离。

[0067] 本公开实施例中,降压子电路232能够使输出电压比输入电压低。具体地,输入电压为第三电压,输出电压为第四电压,第三电压的直流电经过降压子电路232之后,转换为第四电压,第四电压的值小于第三电压的值。

[0068] 示例性地,降压子电路232能够将分离子电路231从电源传输线25上分离的其他值的第三电压的直流电降压为12V的直流电,并通过电源线24为终端设备,例如边缘计算设备供电。

[0069] 能够理解的是,上述仅以第四电压为12V为例进行了示例性说明,但并不构成对本公开实施例的限定。在其他实施方式中,降压子电路232的降压能力可基于用电需求以及从网络传输线24上分离的直流电的第三电压设置,在此不限定。

[0070] 示例性地,降压子电路232可采用开关直流降压电路或者其他直流降压电路,在此不赘述也不限定。

[0071] 同理,分离子电路231可采用任一种能够将直流电从网络传输线25上分离的分离电路,在此不赘述也不限定。

[0072] 本公开实施例中,通过设置受电电源分离电路23包括分离子电路231和降压子电路232;分离子电路231用于将第三电压的直流电从网络传输线25分离;降压子电路232用于将第三电压的直流电降压为第四电压的直流电,第四电压的值小于第三电压的值,在能够利用受电电源分离电路23将直流电从网络传输线25分离的基础上,能够基于受电设备的用电需求,对分离得到的直流电进行降压,使直流电的电压由第三电压降低为第四电压,从而有利于满足用电功率较小的终端设备,例如边缘计算设备的用电需求。

[0073] 在本公开的一种可选实施方式中,如图4或图5所示,电源管理单元20的数目为至少两个,至少两个电源管理单元20的电源线24电连接以作为公共电源输出端,每个电源管理单元20还包括:

[0074] 负载均衡电路26,与受电电源分离电路23串联设置;

[0075] 且,不同电源管理单元20间的负载均衡电路26电连接,以均衡至少两个电源管理单元20之间的负载。

[0076] 本公开实施例中,至少两个电源管理单元20的电源线24采用依次插接的方式电连接,电源线24的连接端在图5中示出。其中,电源线24可采用直流电源线缆,连接端可包括公头241和母头242,各连接端进行依次插接时,公头241依次向前插入母头242中,图5中以虚线表示插接后外部不可见的公头241;其中,各母头242实现电源管理单元20之间的级联,公头241向受电设备供电。其中,公头241还可称为直流输出端子,即DC Jack输出;母头242还可称为直流输入端子,即DC Jack输入,公头241和母头242构成一组DC Jack端子。其中,DC jack均代表直流电插孔,或称为直流插接孔。

[0077] 本公开实施例中,负载均衡电路26设置于电源管理单元20中,且与受电电源分离电路23串联设置,用于接入受电电源分离电路23从网络传输线25上分离的直流电;以及各不同电源管理单元20间的负载均衡电路26电连接,以均衡电源管理单元20之间的负载,使公共电源输出端能够输出满足用电需求且稳定的直流电。示例性地,图4中,负载均衡电路26需要对并联的两路直流电进行均衡;图6中,负载均衡电路26需要对并联的四路直流电进行均衡,例如调节各不同直流电对应的输出电流。

[0078] 示例性地,负载均衡电路26可包括循环依次连接的功率转换器、调节放大器和PWM

控制器,不同电源管理单元20间的负载均衡电路26的调节放大器的同相输入端连接,并连接至共享总线;调节放大器用于调节电流放大倍数,PWM控制器用于控制电压信号的占空比,功率转换器用于实现电压、电流和对应功率的转换,基于共享总线上传输的参数,实现较精准的负载均衡;其中,直流电由功率转换器输入,并在负载均衡之后最终由功率转换器输出。

[0079] 能够理解的是,负载均衡电路26还可采用其他的能够实现负载均衡的电路结构,在此不赘述也不限定。

[0080] 本公开实施例中,通过设置电源管理单元20的数目为至少两个,至少两个电源管理单元20的电源线24电连接以作为公共电源输出端,每个电源管理单元20还包括:负载均衡电路26,与受电电源分离电路23串联设置;且,不同电源管理单元20间的负载均衡电路26电连接,以均衡至少两个电源管理单元20之间的负载;在能够利用电源管理设备10集成供电和受电功能的同时,还可根据不同的供电/用电需求,设置两个或更多个电源管理单元20,并利用电源管理单元20中的负载均衡电路26实现不用电源管理单元20之间的负载均衡,从而使至少两个电源管理单元20的公共电源输出端能够输出满足用电需求且稳定的直流电。

[0081] 能够理解的是,图4中仅示例性地示出了电源管理单元20的数据为两个,图6中仅示例性地示出了电源管理单元20的数目为四个。在其他实施方式中,电源管理单元20的数目还可为三个、五个或更多个;不同的电源管理单元20之间的负载均衡电路依次电连接,以对应实现三个或更多个电源管理单元20之间的均衡。

[0082] 在本公开的一种可选实施方式中,如图5或图6所示,每个电源管理单元20封装于壳体200中,壳体200上设置有供网络传输线25通过的第一开口201,供电电源线24通过的第二开口202以及供级联探针通过的第三开口203,级联探针用于实现不同电源管理单元20间的负载均衡电路26电连接。

[0083] 本公开实施例中,壳体200能够封装电源管理单元20,以利于电源管理设备10的整体结构稳固性较好。图5和图6中,壳体200内的虚线表示内置于壳体200中的外部不可件的电路和连接线。

[0084] 本公开实施例中,壳体200上设置第一开口201、第二开口202和第三开口203;第一开口201设置于壳体200的相对两侧,用于允许网络传输线25接入和接出;第二开口202可与其中的一个第一开口201设置于壳体200的同一侧,第二开口202用于供电电源线24通过;第三开口203设置于壳体200的相邻两侧,该相邻两侧可用于连接上述第一开口201所在的相对两侧,且第三开口203用于供级联探针通过,便于实现不同电源管理单元20之间的连接。

[0085] 能够理解的是,图6中仅示例性地示出了第三开口203包括两排、每排四个开口,即共8个开口。在其他实施方式中,第三开口203的开口数目以及排布方式还可基于电源管理设备10的需求设置,在此不限定。

[0086] 本公开实施例中,模式切换开关21采用硬件结构实现时,其可设置于壳体200的另一侧,并向壳体200内连接电源线24,以及选择性连接供电电源加载电路22或者受电电源分离电路23,以对应导通电源线24与供电电源加载电路22,或者导通电源线24与受电电源分离电路23。供电电源加载电路22和受电电源分离电路23还均与网络传输线25连接,供电电源加载电路22能够将直流电加载到网络传输线25上,受电电源分离电路23能够将从网络传

输线25上传输的直流电分离到电源线24上,从而电源管理单元20实现直流电与网络传输线25的耦合或分离。

[0087] 示例性地,如图5或图6所示,网络传输线25还连接网络输出端252,网络输出端用于接入或输出数据信号。

[0088] 示例性地,以图5和图6中示出的方位为例,将该电源管理设备配置到网络系统中,在该电源管理设备作为PSE设备工作时,网络系统的终端设备,例如边缘计算设备可通过网络信号传输线25连接该电源管理设备右侧的第一开口201,12V直流电经连接端(包括公头241和母头242)和电源线24接入到电源管理设备。结合图2,12V直流电经升压子电路221升压至48V直流电,并将加载子电路222加载至网络传输线25上,由与右侧的第一开口201电连接的网络信号传输线25输出给外部PD设备,外部PD设备例如可为POE摄像头、POE门、POE窗帘、POE计费收费器或POE照明装置等。此时,受电电源分离电路23、负载均衡电路26和级联探针均处于不工作状态。

[0089] 在该电源管理设备作为PD电源分离设备时,网络系统的终端设备,例如边缘计算设备可连接该电源管理设备左侧的第一开口201,此时右侧的第一开口201可连接交换机POE电源网络,即连接具有POE功能的交换机;交换机POE电源网络可经由网络传输线25与电源管理设备连接,此时,该网络信号传输线25上载有直流电。结合图3,该网络传输线上直流电的直流电信号可经由分离子电路231分离,并经由降压子电路232转换为12V直流电,12V直流电可经由电源线24传输给连接端的公头241,并进一步连接至边缘计算设备,实现边缘计算设备的受电。此时,供电电源加载电路22处于不工作状态;级联探针也处于不工作状态;当受电的边缘计算设备的用电功率较大时,级联探针处于工作状态,实现不同电源管理单元的级联。

[0090] 具体的,在该电源管理设备作为PD电源分离设备级联时,如图6所示,四个电源管理单元通过级联探针组合成为一个电源管理设备,4组DC Jack端子也通过公母连接端子连接,四组POE电源网络分别对应地接入右侧的四个第一开口201,经由受电电源分离电路及负载均衡电路提供48V至12V的电源转换,12V直流电输出电压经级联探针做负载均衡输出给边缘计算设备。

[0091] 本公开实施例中,经过四个电源管理单元级联,可提供达4路POE电源网络的供电能力。示例性地,8023.at标准下能够支持达102W的供电能力,可满足较大功率的边缘计算设备或其他终端设备的供电需求。

[0092] 在其他实施方式中,当边缘计算设备的用电功率更大时,电源管理设备中还可采用更多数目的电源管理单元级联,在此不赘述也不限定。如此,该电源管理设备可适用于POE标准无法满足的供电/受电场景,能够实现不同用电场景下的灵活适配。

[0093] 在本公开的一种可选实施方式中,如图5或图6所示,与边缘计算设备连接的网络传输线25用于传输网络信号和直流电;或者与边缘计算设备连接的网络传输线25用于传输网络信号。

[0094] 本公开实施例中,边缘计算设备可内部集成供电/受电功能,此时对应的网络传输线25可同时传输网络信号和直流电。示例性地,此时,直流电和网络信号在边缘计算设备的内部进行耦合或分离;可选的,边缘计算设备内部设置将直流电和网络信号分离开的分离电路,该分离电路的电路结构可与电源管理设备中的受电电源分离电路的电路结构相同,

或采用本领域技术人员可知的其他电路结构,在此不限定;可选的,边缘计算设备内部设置将直流电和网络信号耦合在一起的加载电路,该加载电路的电路结构可与电源管理设备中的供电电源加载电路的电路结构相同,或采用本领域技术人员可知的其他电路结构,在此不限定。

[0095] 或者,在边缘计算设备内部集成受电功能,而网络传输线25仅传输网络信号时,可利用电源管理设备10将本地的直流电加载到网络信号传输线25上,其后,再将网络传输线25与边缘计算设备连接。如此,可通过配置电源管理设备10,满足边缘计算设备仅利用一个信号传输端口同时接收网络信号和直流电的需求。

[0096] 或者,在边缘计算设备内部未集成受电功能,但网络传输线25同时传输网络信号和直流电时,可利用电源管理设备10将网络信号和电源信号分离,并将网络信号通过与边缘计算设备连接的网络传输线25传输至边缘计算设备,且通过与边缘计算设备连接的另一电源线为边缘计算设备供电,此时,对应于边缘计算设备具有两个分别用于接收网络信号和直流电的传输端口。

[0097] 或者,在边缘计算设备内部未集成供电功能,但网络传输线25同时传输网络信号和直流电时,可利用电源管理设备10将直流电耦合到网络传输线25上,再进行网络信号和直流电的同步传输。

[0098] 本公开实施例中,通过设置利用电源管理设备进行网络信号和直流电的分离或耦合,能够集成PSE和PD,即可作为受电设备使用,也可作为供电设备使用,仅需利用电源管理设备10中的模式切换开关21进行工作模式的切换即可;同时能够将PSE和PD设计从网络系统中剥离出来,并通过模式切换开关21对应于工作模式切换与电源线24导通的电路,该电源管理设备10可不受限于网络系统而独立部署,其能够基于网络系统的供电和受电需求、根据POE功能需求及部署环境进行灵活适配。

[0099] 本公开实施例还提供了一种边缘计算设备,通过设置基板包括信号传输接口,核心板上的边缘计算功能芯片通过至少一个连接器与基板上的信号传输接口实现连接,如此可以更换与基板连接的核心板,使得边缘计算场景下,边缘计算设备能够满足各业务线对CPU算力,AI算力,低延时网络互联,工业接口等需求的多样性需求,以及为满足算力弹性升级等需求提供的解决方案。即,本公开实施例提供的边缘计算设备,通过设置核心板与基板可剥离的连接,横向可兼容多种解决方案,满足业务对算力及配置的多样化需求,成本可以进行优化;纵向又可满足算力提升需求,便于解决方案的升级迭代。

[0100] 如图7所示,本公开实施例提供的边缘计算设备,包括核心板40和基板30,核心板40上设置有边缘计算功能芯片41,基板30上设置有信号传输接口300,核心板40上的边缘计算功能芯片41通过至少一个连接器42与基板30上的信号传输接口300实现连接;信号传输接口300包括网络信号接口,网络信号接口与网络传输线连接,以实现边缘计算设备和电源管理设备的连接。

[0101] 本公开实施例中,边缘计算功能芯片41能够实现边缘计算功能,例如计费功能、图像识别功能、照明功能、温控功能或其他边缘场景下的功能,在此不限定。

[0102] 示例性的,边缘计算功能芯片41可包括英特尔Keembay、Cambricon NPU、Rockchip RK系列、高通、Xilinx、平头哥以及X86 CPU等系统级芯片(System on Chip, SoC)中的至少一种。对应地,核心板40可兼容支持实现多种不同的边缘计算功能。

[0103] 本公开实施例中,设置有边缘计算功能芯片41的核心板40上还设置有至少一个连接器42,用于实现与基板30的信号传输接口300连接。由此,相当于将边缘计算设备中的核心板40进行模块化设计,模块化的核心板40通过连接器42中的标准化的端子(也称为“接口”)实现与基板30的可剥离的连接。

[0104] 由于不同边缘计算场景下,需要的算力不同,对核心板40上的边缘计算功能芯片41的需求差别较大。针对此,通过将核心板40上的连接器42与基板30上的信号传输接口300可插拔的连接,能够将满足算力需求的核心板40与基板30连接,从而满足不同边缘计算场景下的算力需求。

[0105] 本公开实施例中,基板30除连接核心板40之外,还直接对接外界的设备,例如可连接摄像头、音频采集设备及其他数据采集设备中的至少一种,可基于边缘计算设备适用的场景设置,在此不限定。

[0106] 在本公开的一种可选实施方式中,至少一个连接器42可包括主连接器421,如图7所示,主连接器421固定在核心板40的边缘;进一步地,至少一个连接器42还可包括辅助连接器422,如图8所示,辅助连接器422固定在核心板40的边缘;并且,辅助连接器422和主连接器421可固定在核心板40的两不同边缘。

[0107] 在其他实施方式中,至少一个连接器42还可仅包括辅助连接器422,且辅助连接器422固定在核心板40的边缘。

[0108] 本公开实施例中,核心板40的边缘可仅设置主连接器421,并设置其端子的数量及功能,详见后文;当主连接器421的端子不够用时,还可进一步增加辅助连接器422。示例性的,可将主要关注的功能对应的端子设置在主连接器421中,其他扩展功能或辅助功能对应的端子设置在辅助连接器422中。或者,主连接器421和辅助连接器422可看护对象不同,例如可用于看护对象状态、相关模组信息识别、健康状态以及连接情况等。

[0109] 在本公开的一种可选实施方式中,如图10所示,核心板40的核心功能为支持SOC运算核心,内置的主要功能可包括:

[0110] 1) 显示输出功能,对应地,可提供通用的人机接口;

[0111] 2) 网络功能,例如提供2路网络连接;

[0112] 3) 高速串行计算机扩展总线标准(Peripheral Component Interconnect express,PCIe)总线,例如PCIe3.0 3\*4通道总线,可支持5G网络、存储、AI加速等部件连接;

[0113] 4) 通用串行总线(Universal Serial Bus,USB)功能,例如提供通用的人机接口;

[0114] 5) 其他I/O功能,对应地,提供音频输入输出接口;

[0115] 6) 控制总线接口,以支持控制器局域网络(Controller Area Network,CAN)、RS232以及RS485功能。

[0116] 在本公开的一种可选实施方式中,如图10和图11所示,信号传输接口中的各接口可与连接器42中的各端子对应设置;如图11,连接器42包括USB信号端子、CAN总线信号端子、高清多媒体(High Definition Multimedia Interface,HDMI)接口信号端子、相机串行接口(Camera Serial Interface,CSI)信号端子、联合测试工作组(Joint Test Action Group,JTAG)信号端子、以太网信号端子、音频信号端子、人工智慧(Artificial Intelligence,AI)模块信号端子、存储器信号端子(即存储卡信号端子)、移动通信信号端子、串行外围设备接口(Serial Peripheral Interface,SPI)信号端子、串行通讯总线信号

端子和电源端子中的至少一个。

[0117] 对应地,信号传输接口中的接口可包括USB信号接口、CAN总线信号接口、HDMI接口信号接口、CSI信号接口、JTAG信号接口、以太网信号接口、音频信号接口、AI模块信号接口、存储器信号接口、存储卡信号接口、移动通信信号接口、SPI信号接口、串行通讯总线信号接口和电源接口中的至少一个。结合图9和图11,连接器42可为主连接器421,也可为辅连接器422。

[0118] 本公开实施例中,结合图10,USB信号接口可包括USB3.0讯号接口和USB2.0讯号接口,用于传输通用串行信号;CAN总线信号接口可简称为CAN接口,还可包括CAN接口2,用于传输CAN总线信号;HDMI接口信号接口可简称为HDMI接口,用于传输HDMI信号;CSI信号接口用于传输CSI信号,JTAG信号接口用于传输JTAG信号,以太网信号接口可包括千兆以太网(Gigabit Ethernet,GE)网络接口1和GE网络接口2,用于传输以太网信号,音频信号接口也可称为音频输入输出接口,用于传输音频信号;AI模块信号接口包括M.2AI模块第一插槽和M.2AI模块第二插槽,存储器信号接口可为Micro SD卡插槽,移动通信信号接口用于传输移动通信信号,SPI信号接口用于传输SPI信号,串行通讯总线信号接口可包括RS485接口和RS232接口,电源接口可为直流电接口。

[0119] 由此,核心板40和基板30之间可采用标准化设计的互联接口实现互联,基板30支持电源接入、视频输入输出、音频输入输出、网络接入、USB接入、4G/5G模块(例如M.2接口)、全球导航卫星系统(Global Navigation Satellite System,GNSS)(例如即北斗系统设计在基板上)、网络处理器(Neural-network Processing Units,NPU)加速卡(例如Dual M.2)等,且可兼容支持Single M.2\*2)、固态硬盘(Solid State Disk或Solid State Drive,SSD)存储存储(例如M.2)、调试接口(即JTAG)等边缘计算相关的其他功能。

[0120] 示例性的,对主连接器421的信号端子及其引出讯号说明如表1所示。

[0121] 表1一种主连接器的端子讯号表

名称	类型	数量	说明
USB 接口讯号	USB 3.0	2	基板-USB 3.0 SS Type 接口
USB 接口讯号	USB 2.0	1	基板-Micro USB Console 接口
CAN 接口 1 讯号	CAN	1	基板-凤凰(告警)端子接口
HDMI 接口讯号	Type-A	1	基板-HDMI 接口

[0122]

[0123]	GE 网路接口 1 讯号	1GbE	1	基板-GE 网路接口 1
	M.2 AI 模块第一插槽讯号	PCIe Gen3 x2	1	基板-M.2 AI 模块第一插槽
	M.2 SSD 插槽讯号	PCIe Gen3 x4	1	基板-M.2 SSD 插槽
	M.2 5G 模块插槽讯号	PCIe Gen3 x1	1	基板-M.2 5G 模块插槽
	TPM/TPCM 模块讯号	SPI	1	基板-TPM/TPCM 模块插槽(预留)
	P3V3_S	3.3V	1	核心板电源输入
	P5V	5V	1	核心板电源输入
	P3V3_STBY	3.3V	1	核心板电源输入
	VCCRTC_3P3	3.3V	1	核心板电源输入

[0124] 示例性的,对辅助连接器422的信号端子及其引出讯号说明如表2所示。

[0125] 表2一种辅助连接器的端子讯号表

名称	类型	数量	说明
USB 接口讯号	USB 3.0	1	基板-USB 3.0 SS Type 接口
CSI 接口讯号	Type-A	1	基板-CSI 接口(预留)
JTAG 接口讯号	SPI	1	基板-JTAG 接口(预留)
USB 接口讯号	USB 3.0	1	基板-M.2 5G 模块插槽(更新预留)
USB 接口讯号	USB 2.0	1	基板-M.2 5G 模块插槽(更新预留)
GE 网路接口 2 讯号	1GbE	1	基板-GE 网路接口 2
TPM/TPCM 模块讯号	SPI	1	基板-TPM/TPCM 模块插槽(预留)
音频输入输出接口讯号	Line/MIC	1	基板-音频输入输出接口
M.2 AI 模块第二插槽讯号	PCIe Gen3 x4	1	基板-M.2 AI 模块第二插槽
Micro SD 卡插槽讯号	SD BUS	1	基板-Micro SD 卡插槽
CAN 接口 2 讯号	CAN	1	基板-凤凰(告警)端子接口
RS485 接口讯号	RS485	1	基板-凤凰(告警)端子接口
RS232 接口讯号	RS232	1	基板-凤凰(告警)端子接口

[0127] 在本公开的一种可选实施方式中,核心板可以支持两种尺寸,并且具体地,仅设置主连接器,即具有单连接器的核心板的尺寸为76mmx50mm;同时设置主连接器和辅助连接器,即具有双连接器的核心板的尺寸为76mmx110mm;核心板的厚度可为1.05mm,重量可为300g。

[0128] 在本公开的一种可选实施方式中,核心板支持两个高速连接器以连接讯号到基

板,连接器可采用Molex Mirror Mezz系列2063060537,接合高度为5mm高,规格如表3所示。

[0129] 表3高速连接器规格

[0130]

项目	说明
型号	2063060537
引脚数目	169
速率	56G NRZ/112GPAM4
单引脚通流能力	1A
重量	TBD g

[0131] 在本公开的一种可选实施方式中,如图12所示,连接器42中的各引脚(即端子)以420示出,该连接器42中共包括169个被定义的端子420,且排列成5列,中间一排的端子420的数目为37个,剩余4排中,每排的端子420的数目为33个(即37-4个),如此,共169个端子,即 $37 \times 5 - 4 \times 4 = 169$ 。

[0132] 基于该排布方式,示例性的,主连接器的管脚定义如表4所示。

[0133] 表4主连接器的管脚定义

[0134]

主连接器	A	B	C	D	E
1			M.2_5G_CLK_100M_DN		
2			M.2_5G_CLK_100M_DP		
3	P3V3	GND	GND	GND	GND
4	P3V3	HDMI_CLK_DN	SOM_PRESENT_N	2M.2_PCIE_RXN3	M.2_SSD_PCIE_RXN3
5	P3V3	HDMI_CLK_DP	HDMI_DDC_SDA	2M.2_PCIE_RXP3	M.2_SSD_PCIE_RXP3
6	P3V3	GND	HDMI_DDC_SCL	GND	GND
7	P3V3	HDMI_DATA1_DP	HDMI_CBL_HPD	2M.2_PCIE_RXN2	M.2_SSD_PCIE_RXN2
8	P3V3	HDMI_DATA1_DN	MCU_UART_TX	2M.2_PCIE_RXP2	M.2_SSD_PCIE_RXP2
9	P3V3	GND	MCU_UART_RX	GND	GND
10	P3V3	HDMI_DATA2_DP	PERST_M.2_5G_PCIE_N	2M.2_PCIE_RXN1	M.2_SSD_PCIE_RXN1
11	P5V	HDMI_DATA2_DN	PERST_2M.2_PCIE0_N	2M.2_PCIE_RXP1	M.2_SSD_PCIE_RXP1
12	P5V	GND	SOM_RESETBTN_N	GND	GND
13	P3V3_STBY	HDMI_DATA0_DP	SOM_POWERBTNIN_N	2M.2_PCIE_RXN0	M.2_SSD_PCIE_RXN0
14	P3V3_STBY	HDMI_DATA0_DN	M.2_5G_RESET#	2M.2_PCIE_RXP0	M.2_SSD_PCIE_RXP0
15	GND	GND	SOM_ALERT_N	GND	GND
16	USB2_#0_DN	MDI0+_1	SOM_HEALTH_N	2M.2_CLK0_100M_DN	M.2_SSD_CLK_100M_DN
17	USB2_#0_DP	MDI0-_1	MCU_I2C_SCL	2M.2_CLK0_100M_DP	M.2_SSD_CLK_100M_DP
18	GND	GND	MCU_I2C_SDA	GND	GND
19	USB2_#2_DN	MDI1+_1	CLKREQ_M.2_SSD_PCIE_N	2M.2_PCIE_TXN3	M.2_SSD_PCIE_TXN3
20	USB2_#2_DP	MDI1-_1	PEWAKE_M.2_SSD_PCIE_N	2M.2_PCIE_TXP3	M.2_SSD_PCIE_TXP3
21	GND	GND	PERST_M.2_SSD_PCIE_N	GND	GND
22	USB2_#3_DN	MDI2+_1	FRU_I2C_SDA	2M.2_PCIE_TXN2	M.2_SSD_PCIE_TXN2
23	USB2_#3_DP	MDI2-_1	FRU_I2C_SCL	2M.2_PCIE_TXP2	M.2_SSD_PCIE_TXP2
24	GND	GND	M2_I2C_SDA	GND	GND
25	USB3_#3_RX_DN	MDI3+_1	M2_I2C_SCL	2M.2_PCIE_TXN1	M.2_SSD_PCIE_TXN1
26	USB3_#3_RX_DP	MDI3-_1	CLKREQ_M.2_5G_PCIE_N	2M.2_PCIE_TXP1	M.2_SSD_PCIE_TXP1
27	GND	GND	PEWAKE_M.2_5G_PCIE_N	GND	GND
28	USB3_#3_TX_DN	USB3_#2_RX_DN	FULL_CARD_POWER_OFF#	2M.2_PCIE_TXN0	M.2_SSD_PCIE_TXN0
29	USB3_#3_TX_DP	USB3_#2_RX_DP	W_DISABLE1#	2M.2_PCIE_TXP0	M.2_SSD_PCIE_TXP0
30	GND	GND	W_DISABLE2#	GND	GND
31	CAN0_H	USB3_#2_TX_DN	TPM_SPI0_CS#	M.2_5G_PCIE_RXN0	M.2_5G_PCIE_TXN0
32	CAN0_L	USB3_#2_TX_DP	TPM_SPI0_MISO	M.2_5G_PCIE_RXP0	M.2_5G_PCIE_TXP0
33	GND	GND	TPM_IRQ#	GND	GND
34	SOM_WATCHDOG	BOARD_ID0	TPM_SPI0_CLK	BOARD_ID2	WAKE_ON_WAN#
35	USB2_#0_VBUS	BOARD_ID1	TPM_SPI0_MOSI	SOM_PG	VCCRTC_3P3
36			CLKREQ_2M.2_PCIE0_N		
37			PEWAKE_2M.2_PCIE0_N		

[0135] 其中,上述表4中示出的管脚的定义能够覆盖边缘业务接口需求,且能够实现自动识别及在位检测功能;具体的,管脚设计可采用主连接器结合辅助连接器的模式,主连接器管脚满足独立使用的能力。

[0136] 其中,按照“信号名称||信号含义、功能说明||信号流向(I/O/IO)||通道电压(以Pwr Rail)||ECM上下拉及处理情况||负载(Carrier)是否需要其他处理||备注”的顺序,对

表4中各引脚定义说明如下：

- [0137] P3V3 | |ECM板3.3V供电 | |I | |3.3V | |NA | |NA | |无；
- [0138] P5V | |ECM板5V供电 | |I | |5V | |NA | |NA | |无；
- [0139] P3V3\_STBY | |ECM板3.3Vstandby供电 | |I | |3.3V | |NA | |NA | |无；
- [0140] GND | |高速讯号参考接地 | |I | | / | |NA | |NA | |无；
- [0141] USB2\_#0\_DN | |Micro USB2端口0,数据负极 | |I/O | |3.3V | |NA | |NA | |分配给对外的MicroUSB OTG端口；
- [0142] USB2\_#0\_DP | |Micro USB2端口0,数据正极 | |I/O | |3.3V | |NA | |NA | |分配给对外的MicroUSB OTG端口；
- [0143] USB2\_#2\_DN | |USB2端口2,数据负极 | |I/O | |3.3V | |NA | |NA | |预留,若载板直连对外USB端口,需根据端口要求增加防护器件；
- [0144] USB2\_#2\_DP | |USB2端口2,数据正极 | |I/O | |3.3V | |NA | |NA | |预留,若载板直连对外USB端口,需根据端口要求增加防护器件；
- [0145] USB2\_#3\_DN | |USB2端口3,数据负极 | |I/O | |3.3V | |NA | |NA | |预留,若载板直连对外USB端口,需根据端口要求增加防护器件；
- [0146] USB2\_#3\_DP | |USB2端口3,数据正极 | |I/O | |3.3V | |NA | |NA | |预留,若载板直连对外USB端口,需根据端口要求增加防护器件；
- [0147] USB3\_#3\_RX\_DN | |USB3端口3,SuperSpeed接收负极 | |I | |AC coupled | |NA | |AC耦合电容 | |预留,若载板直连对外USB端口,需根据端口要求增加防护器件；
- [0148] USB3\_#3\_RX\_DP | |USB3端口3,SuperSpeed接收正极 | |I | |AC coupled | |NA | |AC耦合电容 | |预留,若载板直连对外USB端口,需根据端口要求增加防护器件；
- [0149] USB3\_#3\_TX\_DN | |USB3端口3,SuperSpeed发送负极 | |0 | |AC coupled | |AC耦合电容 | |NA | |预留,若载板直连对外USB端口,需根据端口要求增加防护器件；
- [0150] CAN0\_H | |CAN0控制器发送端 | |0 | |3.3V | |NA | |NA | |给载板CAN收发器,控制器与收发器之间建议预留端接匹配,收发器后端CANH与CANL之间120Ω匹配；
- [0151] CAN0\_L | |CAN0控制器接收端 | |I | |3.3V | |NA | |NA | |给载板CAN收发器,控制器与收发器之间建议预留端接匹配,收发器后端CANH与CANL之间120Ω匹配；
- [0152] ECM\_WATCHDOG | |看门狗喂狗信号 | |0 | |3.3V | |NA | |NA | |预留；
- [0153] USB2\_#0\_VBUS | |Micro-USB VBUS电压侦测 | |I | |5V | |NA | |NA | |无；
- [0154] HDMI\_CLK\_DN | |HDMI CLK信号差分信号负极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0155] HDMI\_CLK\_DP | |HDMI CLK信号差分信号正极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0156] HDMI\_DATA1\_DP | |HDMI信号差分信号1负极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0157] HDMI\_DATA1\_DN | |HDMI信号差分信号1正极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0158] HDMI\_DATA2\_DP | |HDMI信号差分信号2负极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0159] HDMI\_DATA2\_DN | |HDMI信号差分信号2正极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0160] HDMI\_DATA0\_DP | |HDMI信号差分信号0负极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0161] HDMI\_DATA0\_DN | |HDMI信号差分信号0正极 | |0 | |1.8V | |预留端接匹配 | |NA | |无；
- [0162] MDI0+\_1 | |MDI1差分对0负极,可以协商10/100/1000M | |I/O | |3.3V | |NA | |接隔离变压器 | |给载板千兆网口1；

- [0163] MDI0-\_1 | MDI1差分对0正极,可以协商10/100/1000M | I/O | 3.3V | NA | 接隔离变压器 | 给载板千兆网口1;
- [0164] MDI1+\_1 | MDI1差分对1负极,可以协商10/100/1000M | I/O | 3.3V | NA | 接隔离变压器 | 给载板千兆网口1;
- [0165] MDI1-\_1 | MDI1差分对1正极,可以协商10/100/1000M | I/O | 3.3V | NA | 接隔离变压器 | 给载板千兆网口1;
- [0166] MDI2+\_1 | MDI1差分对2负极,可以协商10/100/1000M | I/O | 3.3V | NA | 接隔离变压器 | 给载板千兆网口1;
- [0167] MDI2-\_1 | MDI1差分对2正极,可以协商10/100/1000M | I/O | 3.3V | NA | 接隔离变压器 | 给载板千兆网口1;
- [0168] MDI3+\_1 | MDI1差分对3负极,可以协商10/100/1000M | I/O | 3.3V | NA | 接隔离变压器 | 给载板千兆网口1;
- [0169] MDI3-\_1 | MDI1差分对3正极,可以协商10/100/1000M | I/O | 3.3V | NA | 接隔离变压器 | 给载板千兆网口1;
- [0170] USB3\_#2\_RX\_DN | USB3端口2,SuperSpeed接收负极 | I | AC coupled | NA | AC耦合电容 | 预留,若载板直连对外USB端口,需根据端口要求增加防护器件;
- [0171] USB3\_#2\_RX\_DP | USB3端口2,SuperSpeed接收正极 | I | AC coupled | NA | AC耦合电容 | 预留,若载板直连对外USB端口,需根据端口要求增加防护器件;
- [0172] GND | 高速讯号参考接地 | I | / | NA | NA | 无;
- [0173] USB3\_#2\_TX\_DN | USB3端口2,SuperSpeed发送负极 | 0 | AC coupled | AC耦合电容 | NA | 预留,若载板直连对外USB端口,需根据端口要求增加防护器件;
- [0174] USB3\_#2\_TX\_DP | USB3端口2,SuperSpeed发送正极 | 0 | AC coupled | AC耦合电容 | NA | 预留,若载板直连对外USB端口,需根据端口要求增加防护器件;
- [0175] BOARD\_ID0 | 载板ID0 | I | / | 无 | 按照版本分配上下拉 | 载板只做下拉,上拉按照ECM电源分配;
- [0176] BOARD\_ID1 | 载板ID1 | I | / | 无 | 按照版本分配上下拉 | 载板只做下拉,上拉按照ECM电源分配;
- [0177] M.2\_5G\_CLK\_100M\_DN | PCIe设备参考100M时钟差分负极 | 0 | PCIE | NA | NA | 此时钟给M.2 5G槽位;
- [0178] M.2\_5G\_CLK\_100M\_DP | PCIe设备参考100M时钟差分正极 | 0 | PCIE | NA | NA | 此时钟给M.2 5G槽位;
- [0179] ECM\_PRESENT\_N | 放在连接器边角,用于连接器插稳检测 | I | 3.3V/1.8V | 接地 | 与Present0#环回 | 无;
- [0180] HDMI\_DDC\_SDA | HDMI IIC数据 | 0 | 1.8V | 预留端接匹配 | NA | 无;
- [0181] HDMI\_DDC\_SCL | HDMI IIC时钟 | 0 | 1.8V | 预留端接匹配 | NA | 无;
- [0182] HDMI\_CBL\_HPDP | HDMI热插拔检测 | I | 1.8V | 预留端接匹配 | NA | 无;
- [0183] MCU\_UART\_TX | MCU UART串口发送 | 0 | 3.3V | NA | NA | 无;
- [0184] MCU\_UART\_RX | MCU UART串口接收 | I | 3.3V | NA | NA | 无;
- [0185] PERST\_M.2\_5G\_PCIE\_N | PCIe从设备复位信号 | 0 | 3.3V | NA | 低电平有效,载板

上拉||分配给载板加速卡5G模块槽位;

[0186] PERST\_2M.2\_PCIE0\_N|PCIe从设备复位信号||0||3.3V||NA||低电平有效,载板上拉||分配给载板加速卡2M.2MAIN槽位;

[0187] ECM\_RESETBTN\_N|系统复位按钮信号||I||3.3V||NA||4.7K上拉至3V3stby||无;

[0188] ECM\_POWERBTNIN\_N|系统开关按钮信号||I||3.3V||NA||4.7K上拉至3V3stby||无;

[0189] M.2\_5G\_RESET#|PCIe从设备复位信号0 3.3V NA分配给载板加速卡5G模块槽位;

[0190] ECM\_ALERT\_N|整板健康绿灯控制||0||3.3V||NA||MOS控制,高电平点灯||无;

[0191] ECM\_HEALTH\_N|整板故障红灯控制||0||3.3V||NA||MOS控制,高电平点灯||无;

[0192] MCU\_I2C\_SCL|MCU I2C时钟输出||0||3.3V||Carrier上拉预留||载板上拉||无;

[0193] MCU\_I2C\_SDA|MCU I2C数据输入输出||I/O||3.3V||Carrier上拉预留||载板上拉||无;

[0194] CLKREQ\_M.2\_SSD\_PCIE\_N|PCIe设备参考100M时钟要求讯号||I||3.3V||ECM上拉||载板上拉||分配给载板加速卡M.2SSD槽位;

[0195] PEWAKE\_M.2\_SSD\_PCIE\_N|PCIe唤醒信号||I||3.3V||ECM上拉||载板上拉预留||分配给载板加速卡M.2SSD槽位;

[0196] PERST\_M.2\_SSD\_PCIE\_N|PCIe从设备复位信号||0||3.3V||NA||低电平有效,载板上拉||分配给载板加速卡M.2SSD槽位;

[0197] FRU\_I2C\_SDA|FRU I2C时钟输出||0||3.3V||Carrier上拉预留||载板上拉||无;

[0198] FRU\_I2C\_SCL|FRU I2C数据输入输出||I/O||3.3V||Carrier上拉预留||载板上拉||无;

[0199] M2\_I2C\_SDA|M.2device I2C时钟输出||0||3.3V||Carrier上拉预留||载板上拉||无;

[0200] M2\_I2C\_SCL|M.2device I2C数据输入输出||I/O||3.3V||Carrier上拉预留||载板上拉||无;

[0201] CLKREQ\_M.2\_5G\_PCIE\_N|PCIe设备参考100M时钟要求讯号||I||3.3V||ECM上拉||载板上拉||分配给载板加速卡5G模块槽位;

[0202] PEWAKE\_M.2\_5G\_PCIE\_N|PCIe唤醒信号||I||3.3V||ECM上拉||载板上拉预留||分配给载板加速卡5G模块槽位;

[0203] FULL\_CARD\_POWER\_OFF#||5G模块下电||0||3.3V||无||无||5G模块下电;

[0204] W\_DISABLE1#||5G模块飞行模式控制||0||3.3V/1.8V||ECM上拉||NA||5G模块飞行模式控制;

[0205] W\_DISABLE2#||5G模块飞行模式控制||0||3.3V/1.8V||ECM上拉||NA||5G模块飞行模式控制;

[0206] TPM\_SPI0\_CS#||SPI0片选||0||3.3V||ECM上拉预留||载板上拉||预留给TPM功能;

[0207] TPM\_SPI0\_MISO||SPI0主收从发||I||3.3V||NA||NA||预留给TPM功能,根据实际链路仿真预留端接匹配;

[0208] TPM\_IRQ#||TCPM的紧急事件||I||3.3V||NA||载板上拉||预留给TPM功能;

- [0209] TPM\_SPIO\_CLK | SPI0时钟 | 0 | 3.3V | NA | NA | 预留给TPM功能,根据实际链路仿真预留端接匹配;
- [0210] TPM\_SPIO\_MOSI | SPI0主发从收 | 0 | 3.3V | NA | NA | 预留给TPM功能,根据实际链路仿真预留端接匹配;
- [0211] CLKREQ\_2M.2\_PCIE0\_N | PCIe设备参考100M时钟要求讯号 | I | 3.3V | ECM上拉 | 载板上拉 | 分配给载板加速卡2M.2MAIN槽位;
- [0212] PEWAKE\_2M.2\_PCIE0\_N | PCIe唤醒信号 | I | 3.3V | ECM上拉 | 载板上拉预留 | 分配给载板加速卡2M.2MAIN槽位;
- [0213] 2M.2\_PCIE\_RXN3 | PCIe lane3接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0214] 2M.2\_PCIE\_RXP3 | PCIe lane3接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0215] 2M.2\_PCIE\_RXN2 | PCIe lane2接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0216] 2M.2\_PCIE\_RXP2 | PCIe lane2接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0217] 2M.2\_PCIE\_RXN1 | PCIe lane1接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0218] 2M.2\_PCIE\_RXP1 | PCIe lane1接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0219] 2M.2\_PCIE\_RXN0 | PCIe lane0接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0220] 2M.2\_PCIE\_RXP0 | PCIe lane0接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2MAIN槽位;
- [0221] 2M.2\_CLK0\_100M\_DN | PCIe设备参考100M时钟差分负极 | 0 | PCIE | NA | NA | 此时钟给2M.2MAIN槽位;
- [0222] 2M.2\_CLK0\_100M\_DP | PCIe设备参考100M时钟差分正极 | 0 | PCIE | NA | NA | 此时钟给2M.2MAIN槽位;
- [0223] 2M.2\_PCIE\_TXN3 | PCIe lane3发送差分信号负极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2MAIN槽位;
- [0224] 2M.2\_PCIE\_TXP3 | PCIe lane3发送差分信号正极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2MAIN槽位;
- [0225] 2M.2\_PCIE\_TXN2 | PCIe lane2发送差分信号负极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2MAIN槽位;
- [0226] 2M.2\_PCIE\_TXP2 | PCIe lane2发送差分信号正极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2MAIN槽位;
- [0227] 2M.2\_PCIE\_TXN1 | PCIe lane1发送差分信号负极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2MAIN槽位;
- [0228] 2M.2\_PCIE\_TXP1 | PCIe lane1发送差分信号正极 | 0 | AC coupled | AC耦合电容

- ||NA||分配给载板加速卡2M.2MAIN槽位;
- [0229] 2M.2\_PCIE\_TXN0||PCIe lane0发送差分信号负极||0||AC coupled||AC耦合电容  
||NA||分配给载板加速卡2M.2MAIN槽位;
- [0230] 2M.2\_PCIE\_TXP0||PCIe lane0发送差分信号正极||0||AC coupled||AC耦合电容  
||NA||分配给载板加速卡2M.2MAIN槽位;
- [0231] M.2\_5G\_PCIE\_RXN0||PCIe lane0接收差分信号负极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡5G模块槽位;
- [0232] M.2\_5G\_PCIE\_RXP0||PCIe lane0接收差分信号正极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡5G模块槽位;
- [0233] BOARD\_ID2||载板ID2||I||/||无||按照版本分配上下拉||载板只做下拉,上拉按照ECM电源分配;
- [0234] ECM\_PG||ECM板电源状态,用于底板电源灯点灯,与电源时序控制||0||3.3V||NA||NA||无;
- [0235] M.2\_SSD\_PCIE\_RXN3||PCIe lane3接收差分信号负极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0236] M.2\_SSD\_PCIE\_RXP3||PCIe lane3接收差分信号正极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0237] M.2\_SSD\_PCIE\_RXN2||PCIe lane2接收差分信号负极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0238] M.2\_SSD\_PCIE\_RXP2||PCIe lane2接收差分信号正极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0239] M.2\_SSD\_PCIE\_RXN1||PCIe lane1接收差分信号负极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0240] M.2\_SSD\_PCIE\_RXP1||PCIe lane1接收差分信号正极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0241] M.2\_SSD\_PCIE\_RXN0||PCIe lane0接收差分信号负极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0242] M.2\_SSD\_PCIE\_RXP0||PCIe lane0接收差分信号正极||I||AC coupled||NA||AC耦合电容  
||分配给载板加速卡M.2SSD槽位;
- [0243] M.2\_SSD\_CLK\_100M\_DN||PCIe设备参考100M时钟差分负极0 PCIe NA||NA||此时钟给M.2SSD槽位;
- [0244] M.2\_SSD\_CLK\_100M\_DP||PCIe设备参考100M时钟差分正极0 PCIe NA||NA||此时钟给M.2SSD槽位;
- [0245] M.2\_SSD\_PCIE\_TXN3||PCIe lane3发送差分信号负极||0||AC coupled||AC耦合电容  
||NA||分配给载板加速卡M.2SSD槽位;
- [0246] M.2\_SSD\_PCIE\_TXP3||PCIe lane3发送差分信号正极||0||AC coupled||AC耦合电容  
||NA||分配给载板加速卡M.2SSD槽位;
- [0247] M.2\_SSD\_PCIE\_TXN2||PCIe lane2发送差分信号负极||0||AC coupled||AC耦合电容  
||NA||分配给载板加速卡M.2SSD槽位;

[0248] M.2\_SSD\_PCIE\_TXP2||PCIe lane2发送差分信号正极||0||AC coupled||AC耦合电容||NA||分配给载板加速卡M.2SSD槽位;

[0249] M.2\_SSD\_PCIE\_TXN1||PCIe lane1发送差分信号负极||0||AC coupled||AC耦合电容||NA||分配给载板加速卡M.2SSD槽位;

[0250] M.2\_SSD\_PCIE\_TXP1||PCIe lane1发送差分信号正极||0||AC coupled||AC耦合电容||NA||分配给载板加速卡M.2SSD槽位;

[0251] M.2\_SSD\_PCIE\_TXN0||PCIe lane0发送差分信号负极||0||AC coupled||AC耦合电容||NA||分配给载板加速卡M.2SSD槽位;

[0252] M.2\_SSD\_PCIE\_TXP0||PCIe lane0发送差分信号正极||0||AC coupled||AC耦合电容||NA||分配给载板加速卡M.2SSD槽位;

[0253] M.2\_5G\_PCIE\_TXN0||PCIe lane0发送差分信号负极||0||AC coupled||NA||AC耦合电容||分配给载板加速卡5G模块槽位;

[0254] M.2\_5G\_PCIE\_TXP0||PCIe lane0发送差分信号正极||0||AC coupled||NA||AC耦合电容||分配给载板加速卡5G模块槽位;

[0255] WAKE\_ON\_WAN#||5G模块唤醒主机信号||I||3.3V/1.8V||ECM上拉||NA||5G模块对于主机的唤醒信号,5G模块端口0C;

[0256] VCCRTC\_3P3||实时时钟,载板纽扣电池给ECM板RTC供电||I||3.3V||NA||NA||RTC电池接口,当RTC芯片在ECM板时,此接口为RTC提供电池电源,需要在ECM接二极管,防止电流倒灌电池,当RTC芯片在底板时,请直接使用I2C1接口。

[0257] 本文描述中,双竖线“||”用于将相邻两个描述分隔开,而不具有其他含义。

[0258] 由此,在本公开的一种可选实施方式中,结合图12,主连接器包括的5列信号端子依次为第一列(即A列)信号端子、第二列(即B列)信号端子、第三列(即C列)信号端子、第四列(即D列)信号端子和第五列(即E列)信号端子;其中,第一列信号端子包括电源端子、第一USB信号端子和第一CAN总线信号端子;第二列信号端子包括第一HDMI接口信号端子、第一以太网信号端子和第二USB信号端子;第三列信号端子包括第一移动通信信号端子、第二HDMI接口信号端子、第一存储器信号端子和第一SPI信号端子;第四列信号端子包括第一AI模块信号端子和第二移动通信信号端子;第五列信号端子包括第二存储器信号端子和第三移动通信信号端子。

[0259] 如此设置,有利于避免不同类型的信号端子之间的信号干扰,提高信号传输的稳定性;同时,信号端子的排布规律性较强,相邻列的信号端子之间错开,有利于节省主连接器的排布空间、便于加工且提高整体结构的稳固性。

[0260] 与之类似的排布方式下,在本公开的一种可选实施方式中,结合图12,辅助连接器的5列信号端子分别为第六列(即A列)信号端子、第七列(即B列)信号端子、第八列(即C列)信号端子、第九列(即D列)信号端子和第十列(即E列)信号端子;其中,第六列信号端子包括CSI信号端子和第三USB信号端子;第七列信号端子包括JTAG信号端子、第四USB信号端子和第二以太网信号端子;第八列信号端子包括第四移动通信信号端子、第三HDMI接口信号端子和第二SPI信号端子;第九列信号端子包括音频信号端子、串行通讯总线信号端子和存储卡信号端子;第十列信号端子包括第二AI模块信号端子和第二CAN总线信号端子。

[0261] 如此设置,有利于避免不同类型的信号端子之间的信号干扰,提高信号传输的稳

定性;同时,信号端子的排布规律性较强,相邻列的信号端子之间错开,有利于节省主连接器的排布空间、便于加工且提高整体结构的稳固性。

[0262] 即在本公开的一种可选实施方式中,辅助连接器的管脚定义也可基于上述图12示出的管脚排布方式实现。

[0263] 示例性的,辅助连接器的管脚定义如表5所示。

[0264] 表5辅助连接器的管脚定义

辅助连接器	A	B	C	D	E
1			FT232_RESET#		
2			LAN_SW1_100M_LED_N		
3	GND	UART_FT231_TXD	LAN_SW1_ACTIVE_LED_N	Audio_HPH_L	GND
4	CSI_LANE3+	UART_FT231_RXD	FAN_ALERT#	Audio_HPH_R	2M.2_PCIE_RXN7
5	CSI_LANE3-	JTAG_TDI	FAN_THERM#	Audio_HPH_DET	2M.2_PCIE_RXP7
6	GND	JTAG_TDO	LAN_SW1_100M_LED_N	MIC_BIAS	GND
7	CSI_LANE2+	JTAG_TCK	LAN_SW2_100M_LED_N	MIC_IN_P	2M.2_PCIE_RXN6
8	CSI_LANE2-	JTAG_TMS	LAN_SW2_ACTIVE_LED_N	MIC_IN_M	2M.2_PCIE_RXP6
9	GND	JTAG_TRST	LAN_SW2_100M_LED_N	Audio_MIC_DET	GND
10	CSI_LANE1+	JTAG_SRST_N	GPS_ANTOFF	QTM1_THERM	2M.2_PCIE_RXN5
11	CSI_LANE1-		GPS_RESETh	QTM2_THERM	2M.2_PCIE_RXP5
12	GND	GND	GPS_WAKEUP	QTM3_THERM	GND
13	CSI_LANE0+	USB3_#4_RX_DN	GPS_PPS	GND	2M.2_PCIE_RXN4
14	CSI_LANE0-	USB3_#4_RX_DP	GPS_I2C_DATA	RS485_UART_RX	2M.2_PCIE_RXP4
15	GND	GND	GPS_I2C_CLK	RS485_UART_TX	GND
16	CSI_CLK+	USB3_#4_TX_DN	GPS_UART_TX	RS485_RTSA_N	2M.2_CLK1_100M_DN
17	CSI_CLK-	USB3_#4_TX_DP	GPS_UART_RX	RS232_UART_TX	2M.2_CLK1_100M_DP
18	GND	GND		RS232_UART_RX	GND
[0265] 19		USB2_#4_DN	W_DPR		2M.2_PCIE_TXN7
20		USB2_#4_DP			2M.2_PCIE_TXP7
21		GND	HDMI_CEC		GND
22	CSI_I2C_SCL	MD10+_2	TPM_I2C_SDA	SDCARD_ESD_D0	2M.2_PCIE_TXN6
23	CSI_I2C_SDA	MD10-_2	TPM_I2C_CLK	SDCARD_ESD_D1	2M.2_PCIE_TXP6
24	GND	GND	TPM_SPI1_CS#	SDCARD_ESD_D2	GND
25	USB3_#5_RX_DN	MD11+_2	TPM_SPI1_MISO	SDCARD_ESD_D3	2M.2_PCIE_TXN5
26	USB3_#5_RX_DP	MD11-_2	TPM_SPI1_WP#	SDCARD_ESD_CLK	2M.2_PCIE_TXP5
27	GND	GND	TPM_Present#	SDCARD_ESD_CMD	GND
28	USB3_#5_TX_DN	MD12+_2	TPM_CS#	SDCARD_ESD_CD_N	2M.2_PCIE_TXN4
29	USB3_#5_TX_DP	MD12-_2	TPM_Reset#	SDCAD_V2P9	2M.2_PCIE_TXP4
30	GND	GND	TPM_SPI1_HOLD		GND
31		MD13+_2	TPM_SPI1_CLK	M.2_SSD_I2C_ALERT#	CAN1_H
32		MD13-_2	TPM_SPI1_CLK	2M.2_I2C_Main_ALERT#	CAN1_L
33		GND	TPM_SPI1_MOSI	2M.2_I2C_2nd_ALERT#	GND
34		USB2_#5_DN	CSI_IO1	Audio_HPH_REF_L	CLKREQ_2M.2_PCIE1_N
35		USB2_#5_DP		Audio_HPH_REF_R	PEWAKE_2M.2_PCIE1_N
36					
37					

[0266] 其中,按照“信号名称||信号含义、功能说明||信号流向(I/O/IO)||通道电压(以Pwr Rail表示)||ECM上下拉及处理情况||负载(Carrier)是否需要其他处理||备注”的顺序,对表5中各引脚定义说明如下:

[0267] GND||高速讯号参考接地||I||/||NA||NA||无;

[0268] CSI\_LANE3+||摄像头输入差分对3正极||I||1.8V||NA||NA||给载板用于连接摄像头的FPC连接器;

[0269] CSI\_LANE3-||摄像头输入差分对3负极||I||1.8V||NA||NA||给载板用于连接摄像头的FPC连接器;

[0270] CSI\_LANE2+||摄像头输入差分对2正极||I||1.8V||NA||NA||给载板用于连接摄像头的FPC连接器;

[0271] CSI\_LANE2-||摄像头输入差分对2负极||I||1.8V||NA||NA||给载板用于连接摄像头的FPC连接器;

[0272] CSI\_LANE1+||摄像头输入差分对1正极||I||1.8V||NA||NA||给载板用于连接摄

像头的FPC连接器；

[0273] CSI\_LANE1- || 摄像头输入差分对1负极 || I || 1.8V || NA || NA || 给载板用于连接摄像头的FPC连接器；

[0274] CSI\_LANE0+ || 摄像头输入差分对0正极 || I || 1.8V || NA || NA || 给载板用于连接摄像头的FPC连接器；

[0275] CSI\_LANE0- || 摄像头输入差分对0负极 || I || 1.8V || NA || NA || 给载板用于连接摄像头的FPC连接器；

[0276] CSI\_CLK+ || 摄像头差分时钟对正极 || 0 || 1.8V || NA || NA || 给载板用于连接摄像头的FPC连接器；

[0277] CSI\_CLK- || 摄像头差分时钟对负极 || 0 || 1.8V || NA || NA || 给载板用于连接摄像头的FPC连接器；

[0278] CSI\_RST || 摄像头复位 || 0 || 1.8V || NA || NA || 给载板用于连接摄像头的FPC连接器；

[0279] CSI\_MCLK || 系统时钟输出 || 0 || 1.8V || NA || NA || 给载板用于连接摄像头的FPC连接器；

[0280] CSI\_I2C\_SCL || CSI I2C时钟输出 || 0 || 3.3V || Carrier上拉预留 || 载板上拉 || 给载板用于连接摄像头的FPC连接器；

[0281] CSI\_I2C\_SDA || CSI I2C数据输入输出 || I/O || 3.3V || Carrier上拉预留 || 载板上拉 || 给载板用于连接摄像头的FPC连接器；

[0282] USB3\_#5\_RX\_DN || USB3端口5, SuperSpeed接收负极 || I || AC coupled || NA || AC耦合电容 || 预留, 分配给载板加速卡5G模块槽位, 需根据端口要求增加防护器件；

[0283] USB3\_#5\_RX\_DP || USB3端口5, SuperSpeed接收正极 || I || AC coupled || NA || AC耦合电容 || 预留, 分配给载板加速卡5G模块槽位, 需根据端口要求增加防护器件；

[0284] USB3\_#5\_TX\_DN || USB3端口5, SuperSpeed发送负极 || 0 || AC coupled || AC耦合电容 || NA || 预留, 分配给载板加速卡5G模块槽位, 需根据端口要求增加防护器件；

[0285] USB3\_#5\_TX\_DP || USB3端口5, SuperSpeed发送正极 || 0 || AC coupled || AC耦合电容 || NA || 预留, 分配给载板加速卡5G模块槽位, 需根据端口要求增加防护器件；

[0286] UART\_FT231\_TXD || Micro-USB to UART TX接口 || 0 || 3.3V || NA || NA || 无；

[0287] UART\_FT231\_RXD || Micro-USB to UART RX接口 || I || 3.3V || NA || NA || 无；

[0288] JTAG\_TDI || JTAG数据输入 || I || 3.3V || NA || 载板上拉 || 给载板转换USB, 用于debug；

[0289] JTAG\_TDO || JTAG数据输出 || 0 || 3.3V || NA || 载板上拉 || 给载板转换USB, 用于debug；

[0290] JTAG\_TCK || JTAG时钟输出 || 0 || 3.3V || NA || 载板下拉 || 给载板转换USB, 用于debug；

[0291] JTAG\_TMS || JTAG模式选择 || 0 || 3.3V || NA || 载板上拉 || 给载板转换USB, 用于debug；

[0292] JTAG\_TRST || JTAG重置输入 || I || 3.3V || NA || 载板上拉 || 给载板转换USB, 用于debug；

- [0293] JTAG\_SRST\_N || JTAG系统重置输入 || I || 3.3V || NA || 载板上拉 || 给载板转换USB, 用于debug;
- [0294] USB3\_#4\_RX\_DN || USB3端口4, SuperSpeed接收负极 || I || AC coupled || NA || AC耦合电容 || 预留, 若载板直连对外USB端口, 需根据端口要求增加防护器件;
- [0295] USB3\_#4\_RX\_DP || USB3端口4, SuperSpeed接收正极 || I || AC coupled || NA || AC耦合电容 || 预留, 若载板直连对外USB端口, 需根据端口要求增加防护器件;
- [0296] USB3\_#4\_TX\_DN || USB3端口4, SuperSpeed发送负极 || 0 || AC coupled || AC耦合电容 || NA || 预留, 若载板直连对外USB端口, 需根据端口要求增加防护器件;
- [0297] USB3\_#4\_TX\_DP || USB3端口4, SuperSpeed发送正极 || 0 || AC coupled || AC耦合电容 || NA || 预留, 若载板直连对外USB端口, 需根据端口要求增加防护器件;
- [0298] USB2\_#4\_DN || USB2端口4, 数据负极 || I/O || 3.3V || NA || NA || 预留, 若载板直连对外USB端口, 需根据端口要求增加防护器件;
- [0299] USB2\_#4\_DP || USB2端口4, 数据正极 || I/O || 3.3V || NA || NA || 预留, 若载板直连对外USB端口, 需根据端口要求增加防护器件;
- [0300] MDI0+\_2 || MDI2差分对0负极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0301] MDI0-\_2 || MDI2差分对0正极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0302] MDI1+\_2 || MDI2差分对1负极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0303] MDI1-\_2 || MDI2差分对1正极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0304] MDI2+\_2 || MDI2差分对2负极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0305] MDI2-\_2 || MDI2差分对2正极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0306] MDI3+\_2 || MDI2差分对3负极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0307] MDI3-\_2 || MDI2差分对3正极, 可以协商10/100/1000M || I/O || 3.3V || NA || 接隔离变压器 || 给载板千兆网口2;
- [0308] USB2\_#5\_DN || USB2端口5, 数据负极 || I/O || 3.3V || NA || NA || 预留, 分配给载板加速卡5G模块槽位, 需根据端口要求增加防护器件;
- [0309] USB2\_#5\_DP || USB2端口5, 数据正极 || I/O || 3.3V || NA || NA || 预留, 分配给载板加速卡5G模块槽位, 需根据端口要求增加防护器件;
- [0310] FT232\_RESET# || RS232重置讯号 || 0 || 3.3V || NA || NA || 无;
- [0311] LAN\_SW1\_100M\_LED\_N || 网口1, 灯号讯号 || 0 || 3.3V || NA || NA || 给载板千兆网口灯号讯号;
- [0312] LAN\_SW1\_ACTIVE\_LED\_N || 网口1, 灯号讯号 || 0 || 3.3V || NA || NA || 给载板千兆网口灯号讯号;

- [0313] FAN\_ALERT# | 风扇控制ALERT讯号 | I | 3.3V | NA | NA | 预留;
- [0314] FAN\_THERM# | 风扇控制THERM讯号 | I | 3.3V | NA | NA | 预留;
- [0315] LAN\_SW1\_1000M\_LED\_N | 网口1,灯号讯号 | 0 | 3.3V | NA | NA | 给载板千兆网口灯号讯号;
- [0316] LAN\_SW2\_100M\_LED\_N | 网口2,灯号讯号 | 0 | 3.3V | NA | NA | 给载板千兆网口灯号讯号;
- [0317] LAN\_SW2\_ACTIVE\_LED\_N | 网口2,灯号讯号 | 0 | 3.3V | NA | NA | 给载板千兆网口灯号讯号;
- [0318] LAN\_SW2\_1000M\_LED\_N | 网口2,灯号讯号 | 0 | 3.3V | NA | NA | 给载板千兆网口灯号讯号;
- [0319] GPS\_ANTOFF | GPS天线控制号 | 0 | 3.3V | NA | NA | 预留;
- [0320] GPS\_RESETn | GPS重置讯号 | 0 | 3.3V | NA | NA | 预留;
- [0321] GPS\_WAKEUP | GPS唤醒信号 | I | 3.3V | NA | NA | 预留;
- [0322] GPS\_PPS | GPS Time Plus信号 | I | 3.3V | NA | NA | 预留;
- [0323] GPS\_I2C\_DATA | GPS I2C时钟输出 | I/0 | 3.3V | ECM上拉预留 | 载板上拉 | 无;
- [0324] GPS\_I2C\_CLK | GPS I2C时钟输出 | 0 | 3.3V | ECM上拉预留 | 载板上拉 | 无;
- [0325] GPS\_UART\_TX | GPS UART TX接口 | 0 | 3.3V | NA | NA | 无;
- [0326] GPS\_UART\_RX | GPS UART RX接口 | I | 3.3V | NA | NA | 无;
- [0327] W\_DPR | M.2 5G Module DPR讯号 | 0 | 3.3V | NA | NA | 预留;
- [0328] HDMI\_CEC | HDMI CEC控制 | I | 1.8V | 预留端接匹配 | NA | 无;
- [0329] TPM\_I2C\_SDA | TPM module I2C DATA讯号 | 无 | 无 | 无 | 无 | 无;
- [0330] TPM\_I2C\_CLK | TPM module I2C CLK讯号 | 无 | 无 | 无 | 无 | 无;
- [0331] TPM\_SPI0\_CS# | SPI0片选 | 0 | 3.3V | ECM上拉预留 | 载板上拉 | 预留给TPM功能;
- [0332] TPM\_SPI0\_MISO | SPI0主收从发 | 无 | 无 | 无 | 无 | 无;
- [0333] TPM\_SPI1\_WP# | SPI1写入保护 | 无 | 无 | 无 | 无 | 无;
- [0334] TPM\_Present# | TPM module存在讯号 | 无 | 无 | 无 | 无 | 无;
- [0335] TPM\_SPI1\_CS# | SPI1片选 | 0 | 3.3V | ECM上拉预留 | 载板上拉 | 预留给TPM功能;
- [0336] TPM\_Reset# | TPM重置讯号 | 无 | 无 | 无 | 无 | 无;
- [0337] TPM\_SPI1\_HOLD | SPI1 BUS Hold | 无 | 无 | 无 | 无 | 无;
- [0338] TPM\_SPI0\_CLK | SPI0时钟 | 无 | 无 | 无 | 无 | 无;
- [0339] TPM\_SPI0\_MOSI | SPI0主发从收 | 无 | 无 | 无 | 无 | 无;
- [0340] CSI\_I00 | CSI Camera I00 | 无 | 无 | 无 | 无 | 无;
- [0341] CSI\_I01 | CSI Camera I01 | 无 | 无 | 无 | 无 | 无;
- [0342] TPM\_SPI0\_CS# | SPI0片选 | 0 | 3.3V | ECM上拉预留 | 载板上拉 | 预留给TPM功能;
- [0343] TPM\_SPI0\_MISO | SPI0主收从发 | I | 3.3V | NA | NA | 预留给TPM功能,根据实际链路仿真预留端接匹配;

- [0344] TPM\_IRQ# | TCPM的紧急事件 | I | 3.3V | NA | 载板上拉 | 预留给TPM功能；
- [0345] TPM\_SPI0\_CLK | SPI0时钟 | O | 3.3V | NA | NA | 预留给TPM功能,根据实际链路仿真预留端接匹配；
- [0346] TPM\_SPI0\_MOSI | SPI0主发从收 | O | 3.3V | NA | NA | 预留给TPM功能,根据实际链路仿真预留端接匹配；
- [0347] Audio\_HPH\_L | 耳机左声道 | O | Analog | NA | NA | 根据端口要求增加防护器件；
- [0348] Audio\_HPH\_R | 耳机右声道 | O | Analog | NA | NA | 根据端口要求增加防护器件；
- [0349] Audio\_HPH\_DET | 耳机插入检测 | I | 1.8V | NA | NA | 根据端口要求增加防护器件；
- [0350] MIC\_BIAS | 麦克风参考 | I | Analog | NA | NA | 根据端口要求增加防护器件；
- [0351] MIC\_IN\_P | 麦克风输入 | I | 1.8V | NA | NA | 根据端口要求增加防护器件；
- [0352] MIC\_IN\_M | 麦克风输入 | I | 1.8V | NA | NA | 根据端口要求增加防护器件；
- [0353] Audio\_MIC\_DET | 麦克风插入检测 | I | 1.8V | NA | NA | 根据端口要求增加防护器件；
- [0354] QTM1\_THERM | mmWAVE天线温度侦测电阻 | I | / | NA | NA | 无；
- [0355] QTM2\_THERM | mmWAVE天线温度侦测电阻 | I | / | NA | NA | 无；
- [0356] QTM3\_THERM | mmWAVE天线温度侦测电阻 | I | / | NA | NA | 无；
- [0357] RS485\_UART\_RX | RS485 UART TX接口 | O | 3.3V | NA | NA | 无；
- [0358] RS485\_UART\_TX | RS485 UART RX接口 | I | 3.3V | NA | NA | 无；
- [0359] RS485\_RTSA\_N | RS232 UART RTS接口 | O | 3.3V | NA | NA | 无；
- [0360] RS232\_UART\_TX | RS232 UART TX接口 | O | 3.3V | NA | NA | 无；
- [0361] RS232\_UART\_RX | RS232 UART RX接口 | I | 3.3V | NA | NA | 无；
- [0362] SDCARD\_ESD\_D0 | SDIO数据0 | I/O | 3.3V/1.8V | NA | 载板上拉预留 | 给载板的MicroSD接口；
- [0363] SDCARD\_ESD\_D1 | SDIO数据1 | I/O | 3.3V/1.8V | NA | 载板上拉预留 | 给载板的MicroSD接口；
- [0364] SDCARD\_ESD\_D2 | SDIO数据2 | I/O | 3.3V/1.8V | NA | 载板上拉预留 | 给载板的MicroSD接口；
- [0365] SDCARD\_ESD\_D3 | SDIO数据3 | I/O | 3.3V/1.8V | NA | 载板上拉预留 | 给载板的MicroSD接口；
- [0366] SDCARD\_ESD\_CLK | SDIO时钟 | O | 3.3V/1.8V | NA | 载板上拉 | 给载板的MicroSD接口；
- [0367] SDCARD\_ESD\_CMD | SDIO命令 | O | 3.3V/1.8V | NA | 载板上拉 | 给载板的MicroSD接口；
- [0368] SDCARD\_ESD\_CD\_N | SD卡在位检测 | I | 3.3V/1.8V | NA | 载板上拉 | 给载板的MicroSD接口；
- [0369] SDCAD\_V2P9 | SD电源 | O | 3.3V/1.8V | NA | NA | 给载板的MicroSD接口；
- [0370] M.2\_SSD\_I2C\_ALERT# | PCIe,SMBUS Alert讯号 | I | 1.8V | NA | NA | 分配给载板加速卡M.2SSD槽位；
- [0371] 2M.2\_I2C\_Main\_ALERT# | PCIe,SMBUS Alert讯号 | I | 1.8V | NA | NA | 分配给载

板加速卡2M.2MAIN槽位；

[0372] 2M.2\_I2C\_2nd\_ALERT# | PCIe, SMBUS Alert讯号 | I | 1.8V | NA | NA | 分配给载板加速卡2M.2Second槽位；

[0373] Audio\_HPH\_REF\_L | Audio Codec讯号参考接地-左声道 | I | / | NA | NA |

[0374] Audio Codec讯号参考接地；

[0375] Audio\_HPH\_REF\_R | Audio Codec讯号参考接地-左声道 | I | / | NA | NA |

[0376] Audio Codec讯号参考接地；

[0377] 2M.2\_PCIE\_RXN7 | PCIe lane7接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0378] 2M.2\_PCIE\_RXP7 | PCIe lane7接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0379] 2M.2\_PCIE\_RXN6 | PCIe lane6接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0380] 2M.2\_PCIE\_RXP6 | PCIe lane6接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0381] 2M.2\_PCIE\_RXN5 | PCIe lane5接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0382] 2M.2\_PCIE\_RXP5 | PCIe lane5接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0383] 2M.2\_PCIE\_RXN4 | PCIe lane4接收差分信号负极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0384] 2M.2\_PCIE\_RXP4 | PCIe lane4接收差分信号正极 | I | AC coupled | NA | AC耦合电容 | 分配给载板加速卡2M.2Second槽位；

[0385] 2M.2\_CLK1\_100M\_DN | PCIe设备参考100M时钟差分负极 | 0 | PCIe | NA | NA | 此时钟给2M.2Second槽位；

[0386] 2M.2\_CLK1\_100M\_DP | PCIe设备参考100M时钟差分负极 | 0 | PCIe | NA | NA | 此时钟给2M.2Second槽位；

[0387] 2M.2\_PCIE\_TXN7 | PCIe lane7发送差分信号负极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2Second槽位；

[0388] 2M.2\_PCIE\_TXP7 | PCIe lane7发送差分信号正极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2Second槽位；

[0389] 2M.2\_PCIE\_TXN6 | PCIe lane6发送差分信号负极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2Second槽位；

[0390] 2M.2\_PCIE\_TXP6 | PCIe lane6发送差分信号正极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2Second槽位；

[0391] 2M.2\_PCIE\_TXN5 | PCIe lane5发送差分信号负极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2Second槽位；

[0392] 2M.2\_PCIE\_TXP5 | PCIe lane5发送差分信号正极 | 0 | AC coupled | AC耦合电容 | NA | 分配给载板加速卡2M.2Second槽位；

[0393] 2M.2\_PCIE\_TXN4||PCIe lane4发送差分信号负极||0||AC coupled||AC耦合电容||NA||分配给载板加速卡2M.2Second槽位;

[0394] 2M.2\_PCIE\_TXP4||PCIe lane4发送差分信号正极||0||AC coupled||AC耦合电容||NA||分配给载板加速卡2M.2Second槽位;

[0395] CAN1\_H||CAN1控制器发送端||0||3.3V||NA||NA||给载板CAN收发器,控制器与收发器之间建议预留端接匹配,收发器后端CANH与CANL之间120Ω匹配;

[0396] CAN1\_L||CAN1控制器接收端||I||3.3V||NA||NA||给载板CAN收发器,控制器与收发器之间建议预留端接匹配,收发器后端CANH与CANL之间120Ω匹配;

[0397] CLKREQ\_2M.2\_PCIE1\_N||PCIe设备参考100M时钟要求讯号||I||3.3V||ECM上拉||载板上拉||分配给载板加速卡2M.2SECOND槽位;

[0398] PEWAKE\_2M.2\_PCIE1\_N||PCIe唤醒信号||I||3.3V||ECM上拉||载板上拉预留||分配给载板加速卡2M.2SECOND槽位。

[0399] 上述对表4和表5中引脚定义进行说明的内容中,ECM即核心板,载板即ECM的载板,是指上文中的基板。

[0400] 在本公开的一种可选实施方式中,当采用双连接器结构时,该边缘计算设备的一种可实现的结构规格中,边缘计算功能芯片可采用高通QSM8250处理器,该处理器的内存规格可采用LPDDR5 12GB,64bit,2750MHz;该边缘计算设备还可兼容视讯处理功能、图形处理功能以及安全处理功能;示例性地,可采用Adreno VPU665-第五代UHD视频处理单元实现视讯处理功能,可采用Adreno GPU 650,结合OpenGL和OpenCL技术实现图形处理功能,可采用处理器安全引擎,结合移动支付安全处理单元、生物特征(例如指纹、虹膜、语音、面部等特征)识别等实现安全处理功能。

[0401] 示例性地,该边缘计算设备中,可选设置AI加速模块。对应地,可设置1个双宽M.2AI模块插槽、或提供2个单宽M.2AI模块插槽,以支持人工智能与机器学习。示例性地,该AI加速模块可透过基板系统支持。

[0402] 示例性地,该边缘计算设备中,针对存储功能,可设置板载256GB的UFS,该UFS可用于存储OS和应用软件;还可提供1个Micro SD卡槽位,以自行扩展Micro SD卡,其最高支持SD3.0速率SDR104,最大容量可为2TB,可透过基板系统支持;还可设置1个M.2SSD插槽,可支持2280规格PCIE接口,可透过基板系统支持。

[0403] 示例性地,该边缘计算设备中,针对有线网络,可设置2个有线网络接口,例如千兆以太网器接口与光接口(即光电复用择一),可透过基板系统支持。

[0404] 示例性地,该边缘计算设备中,针对无线网络,可设置无线网络接口,以支持M.2 5G通讯模块安装,支持5G行动通讯。

[0405] 示例性地,该边缘计算设备中,还可设置4个SMA天线接口,还可设置1个SIM卡插槽,还可选配5G毫米波天线模块,该模块需安装于基板系统;还可设置显示接口,以支持HDMI接口透过基板系统接口;还可设置音频接口,例如1个音频输入接口和1个音频输出接口,接口平面为圆形,直径可为3.5mm;还可设置声接口,可透过基板系统支持;还可设置USB接口,例如2个USB2.0接口(面板)和1个USB2.0接口(内部,用于扩展USB加密狗),接口形态可为Type-A;还可设置报警接口,例如1个RS232和1个RS485,以用于连接外接云台和门禁控制等系统;还可设置4个告警输出,用于连接外部报警输出设备,比如烟感系统;还可设置4

个告警输入,用于连接外部报警输入设备,比如门禁系统。

[0406] 在其他实施方式中,该边缘处理设备还可采用其他规格结构,在此不赘述也不限定。

[0407] 在本公开的一种可选实施方式中,该核心板40或边缘计算设备整体可基于上述实施方式中任一电源管理设备实现供电/受电。

[0408] 在本公开的一种可选实施方式中,如图13和14所示,核心板40上形成有开口区400,开口区400与边缘计算功能芯片41对应设置。

[0409] 本公开实施例中,通过设置与边缘计算功能芯片41对应位置处的开口区400,可利用开口区400实现边缘计算功能芯片41朝向核心板41的一侧也能够快速散热,达到双面散热,提高散热效率的效果。

[0410] 进一步地,该开孔区400还供散热导热柱穿过,散热导热柱通过开孔区400并接触边缘计算功能芯片41之朝向核心板41的一面,如内存芯片表面,以达到双面散热,实现良好散热目的。

[0411] 在本公开的一种可选实施方式中,核心板40上的边缘计算功能芯片41等元器件可采用工业级规格之选用设计,存储温度范围可为: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ ,工作温度标配范围为: $-25^{\circ}\text{C} \sim +65^{\circ}\text{C}$ ,宽温范围为: $-40^{\circ}\text{C} \sim +65^{\circ}\text{C}$ ;存储湿度和工作湿度均为: $5\% \text{RH} \sim 95\% \text{RH}$ ,无冷凝;防护等级为IP40,散热方式为无风扇自然散热;且具备耐高/低温、防尘、抗震、抗强电磁干扰等性能,能够适配严苛的工作环境。

[0412] 在本公开的一种可选实施方式中,核心板可支持温度传感器的温度监测,核心板上边缘计算功能芯片41周围可设置两个温度监控点,基于热敏电阻阻值应温度的变化而改变的原理,实现温度监控。

[0413] 进一步地,边缘计算设备的整体电源功耗须满足不同SoC计算平台与各个功能芯片分的要求,同时散热须满足门限操作温度范围要求。

[0414] 示例性的,以系统级芯片采用QSM8250平台为例,芯片功耗可包括:

[0415] 采用QSM8250实现SoC功能,对应功耗可为12.5Watt,其中包括了UFS闪存,例如125GB存储芯片的功耗;采用LT9611UXC视频转换芯片实现显示功能,例如将手机的mipi转HDMI,以适应液晶屏显示,对应功耗可为0.013Watt;采用LAN7800实现LAN网卡功能,对应功耗可为1.7Watt;采用USB5807CT-I/KD实现HUBUSB集线器功能,对应功耗可为0.508Watt或1.226Watt;采用ASM2812I实现PCIe交换机功能,对应功耗可为1.405Watt或2.163Watt;采用WCD-9385作为音频编解码器,对应功耗来源于SoC;MCP25625作为CAN控制器,对应功耗可为0.35Watt;XR33202作为RS485串行通信接口芯片,对应功耗可为0.003Watt;MAX3221作为RS232串行通信接口芯片,对应功耗可为0.003Watt。

[0416] 能够理解的是,上述各功耗均与对应的功能部件的工作状态、工作环境等工作因素相关,本文中不再详述。

[0417] 能够理解的是,上述芯片对应的部分接口会从连接器到基板,UFS及内存只在SOM内。即,这些功能芯片根据需要,可以设置在基板上或核心板上,主连接器的端子基于基板与核心板的信号传输关系适应性调整。

[0418] 在本公开的一种可选实施方式中,核心板可从主高速连接器中引入电源,以为整个核心板供电,整个核心板的功耗须小于30W。

[0419] 示例性的,电源脚位供电可如下:

[0420] 引脚P3V3,为3.3V电源输入,对应3.3V电压源,引脚数目为8个,可支持功耗为26.4Watt;引脚P5V,为5V电源输入,对应5V电压源,引脚数目为2个,可支持功耗为10Watt;引脚P3V3\_STBY,为3.3V Stby电源输入,对应3.3V Stby电压源,引脚数目为2个,可支持功耗为6.6Watt;引脚VCCRTC\_3P3,为3V RTC电源输入,对应3.3V RTC电压源,引脚数目为1个,可支持功耗为3.3Watt;引脚GND,为电源地,引脚数目为67个。

[0421] 示例性的,结合边缘计算设备的电气特性,各组电压绝对最小额定值(简称为“最小值”)、最大额定值(简称为“最大值”)以及基于此的各组电压对应的建议操作范围如下(以“引脚名称||最小值||最大值||建议范围”示出,电压单位为V):

[0422] P3V3||-0.5||3.6||3.135~3.465;

[0423] P5V||-0.3||6||4.75~5.25;

[0424] P3V3\_STBY||-0.5||3.6||3.135~3.465;

[0425] VCCRTC\_3P3||-0.3||3.3||2.79~3.21;

[0426] GND||0||0||0~0。

[0427] 本公开实施例提供的边缘计算设备采用模块化设计,可独立演进,具备扩展性及兼容性,有利于保障边缘计算设备及包括该设备的系统具备多种解决方案的兼容性及未来算力提升后的系统升级迭代需求;同时,核心板采取两种结构尺寸形态,针对于EBB+ECM整体解决方案提供更多的弹性配置;且接口定义充分考虑边缘计算行业对通用接口的功能需求,能够满足各种不同边缘计算场景下的需求;最后,针对双面芯片模组的散热,通过设置开口区,实现双面散热,提高散热效率。

[0428] 本公开实施例还提供了一种边缘计算系统,该边缘计算系统可包括上述实施方式中任一电源管理设备,或者包括上述实施方式中任一边缘计算设备,具有对应的技术效果。

[0429] 本公开实施例中,边缘计算设备是设置于边缘计算系统中的,其他终端设备不一定能够具有供电的功能,所以一个边缘计算系统中,可能有的设备支持POE功能,有的设备不支持POE的功能,需要上电或下电,即可利用电源管理设备将直流电与网络传输线耦合或分离,分离后得到的直流电可供其他用电设备使用,使用时需要进行直流电再处理,例如升压、降压、均衡等。用电设备例如可为边缘计算设备或者数据采集设备,在此不限定。

[0430] 同时,边缘计算设备中,核心板与基板之间可剥离的连接,具备不同算力的核心板能够结合不同的基板,形成多种不同的边缘计算设备,实现符合可选配弹性灵活的边缘计算平台,满足多种不同的边缘计算场景的需求。

[0431] 以上描述仅为本公开的较佳实施例以及对所运用技术原理的说明。本领域技术人员应当理解,本公开中所涉及的公开范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离上述公开构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本公开中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

[0432] 此外,虽然采用特定次序描绘了各操作,但是这不应理解为要求这些操作以所示出的特定次序或以顺序次序执行来执行。在一定环境下,多任务和并行处理可能是有利的。同样地,虽然在上面论述中包含了若干具体实现细节,但是这些不应被解释为对本公

开的范围的限制。在单独的实施例的上下文中描述的某些特征还可以组合地实现在单个实施例中。相反地,在单个实施例的上下文中描述的各种特征也可以单独地或以任何合适的子组合的方式实现在多个实施例中。

[0433] 尽管已经采用特定于结构特征和/或方法逻辑动作的语言描述了本主题,但是应当理解所附权利要求书中所限定的主题未必局限于上面描述的特定特征或动作。相反,上面所描述的特定特征和动作仅仅是实现权利要求书的示例形式。

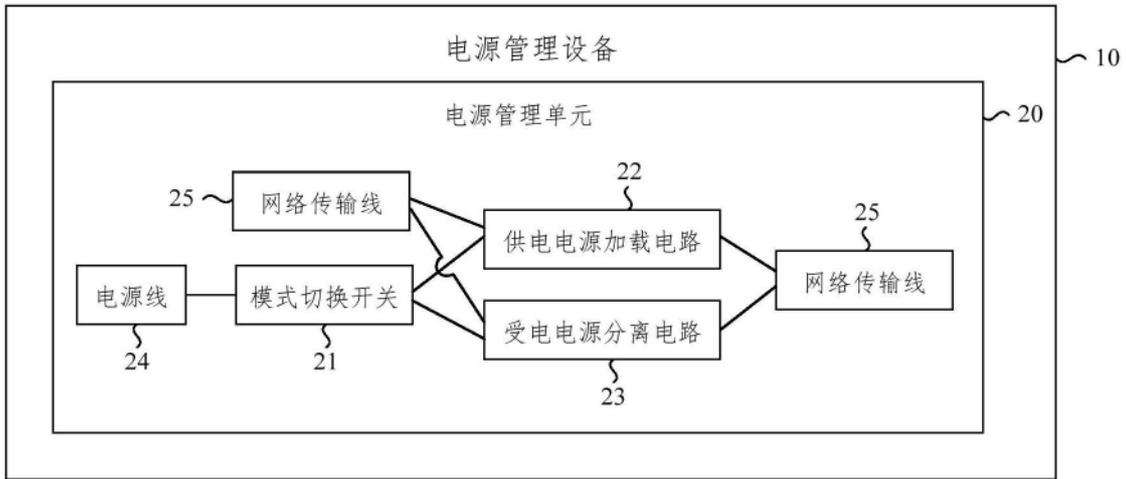


图1

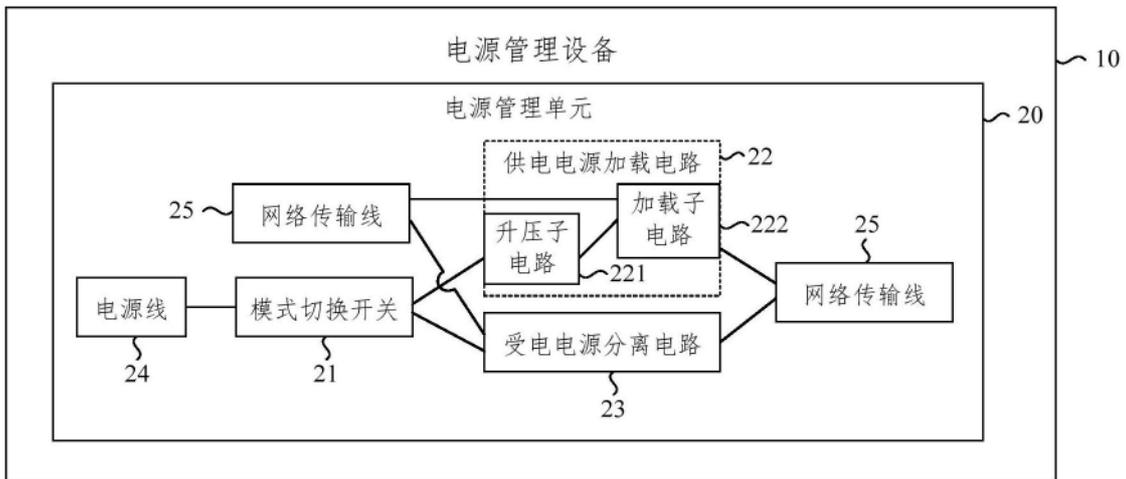


图2

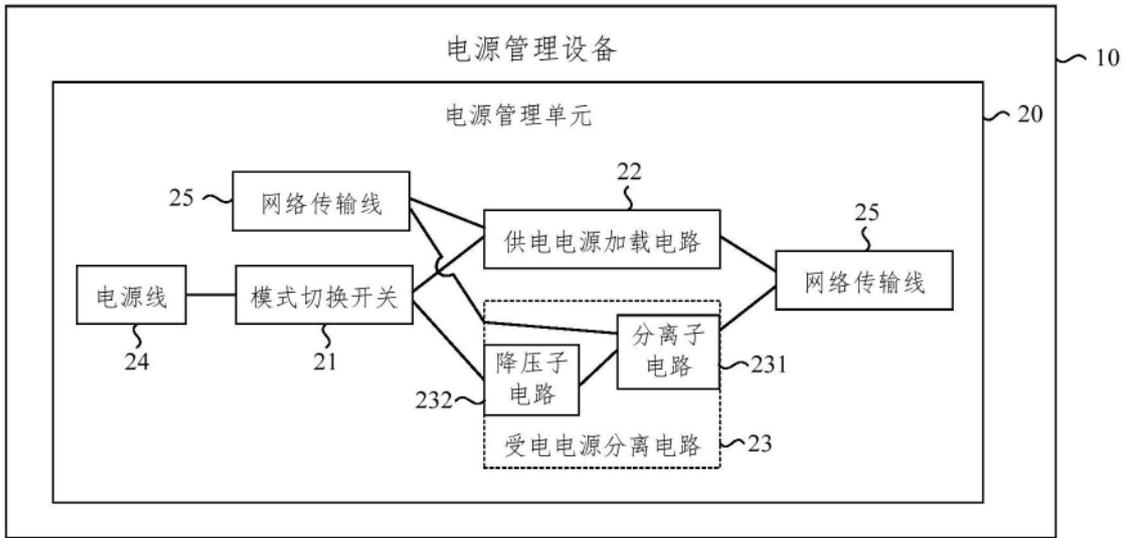


图3

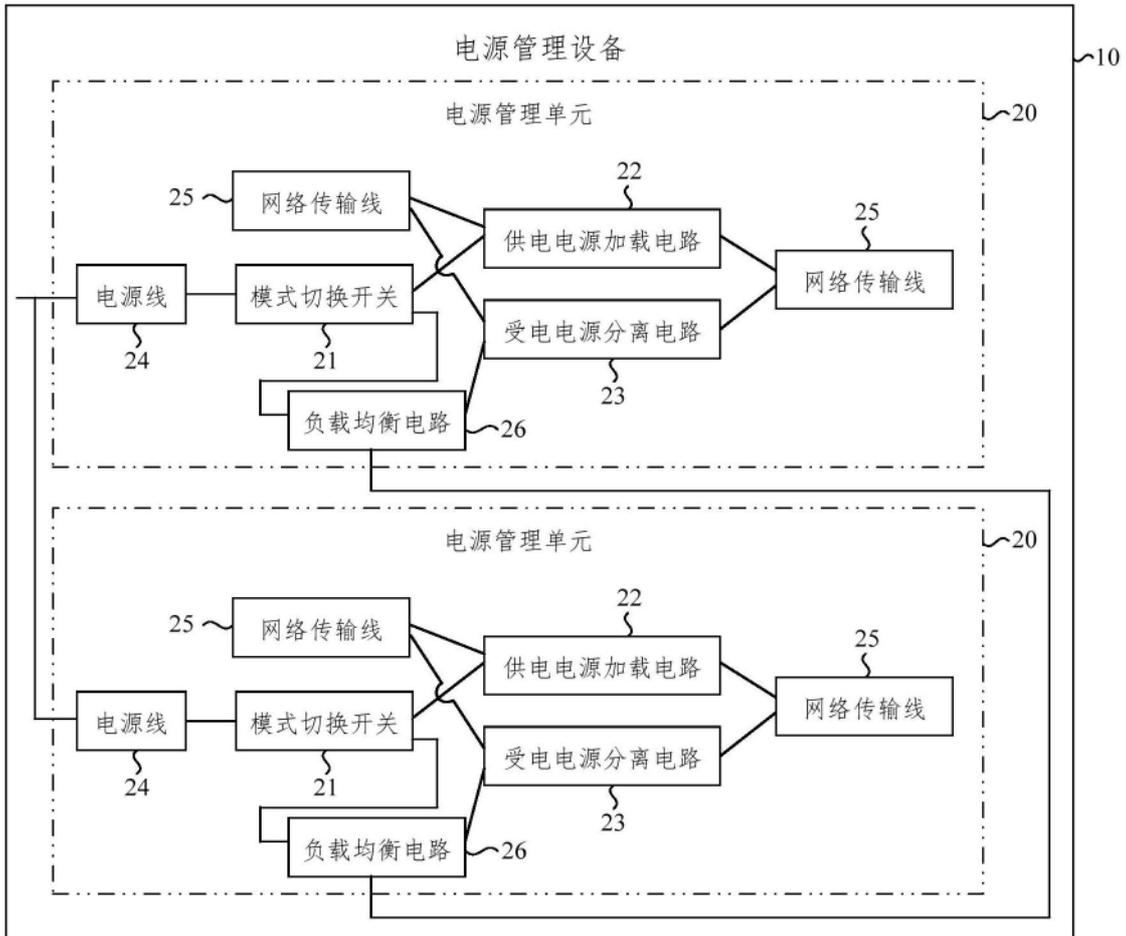


图4

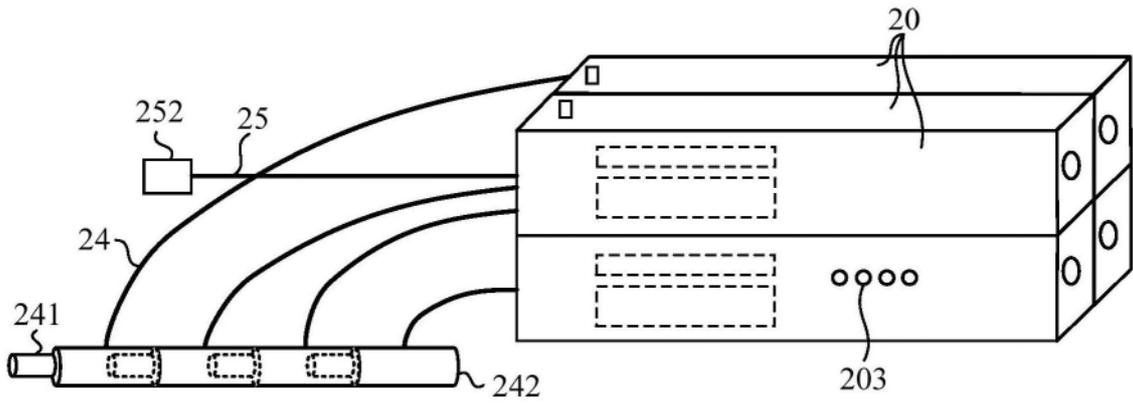


图5

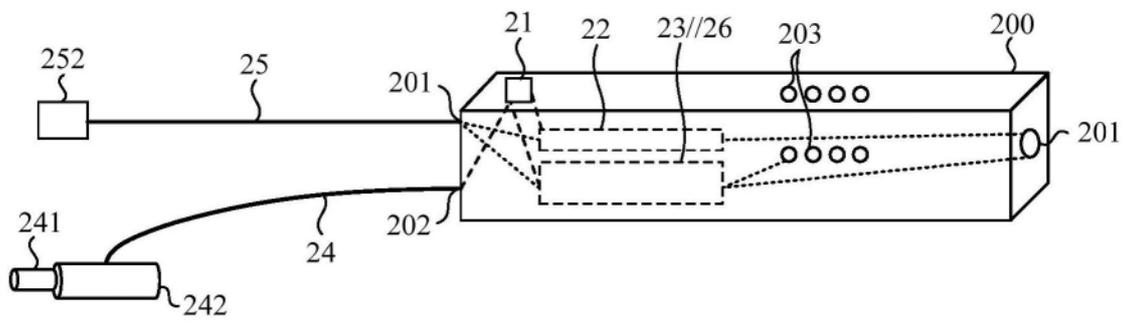


图6

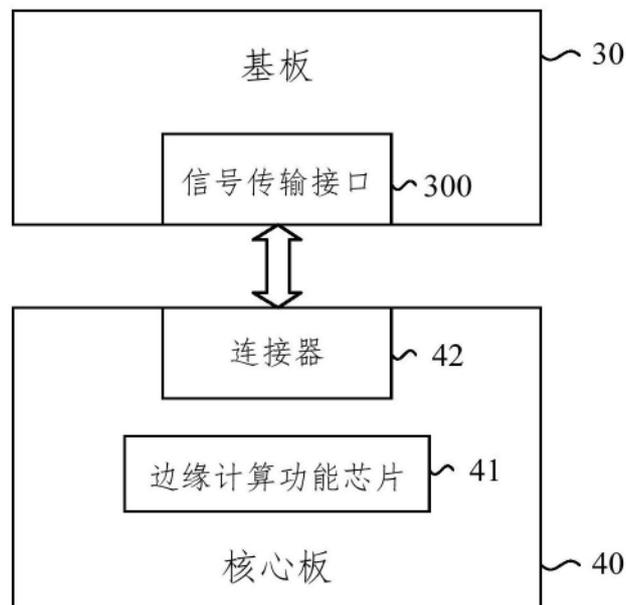


图7

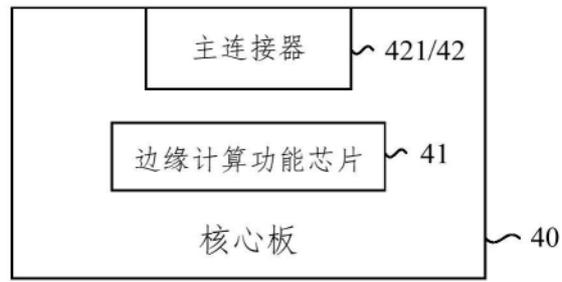


图8

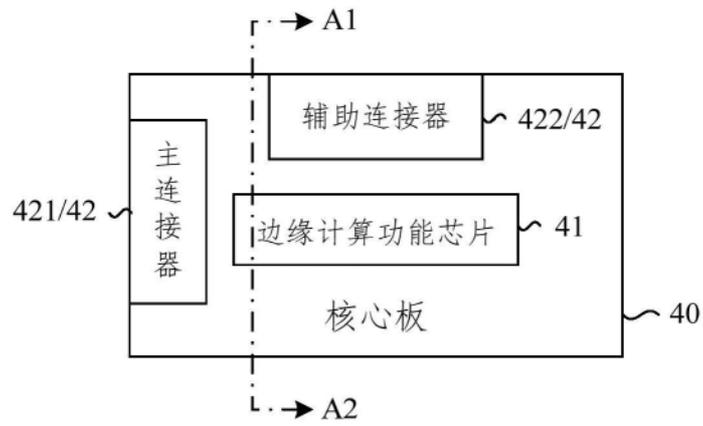


图9

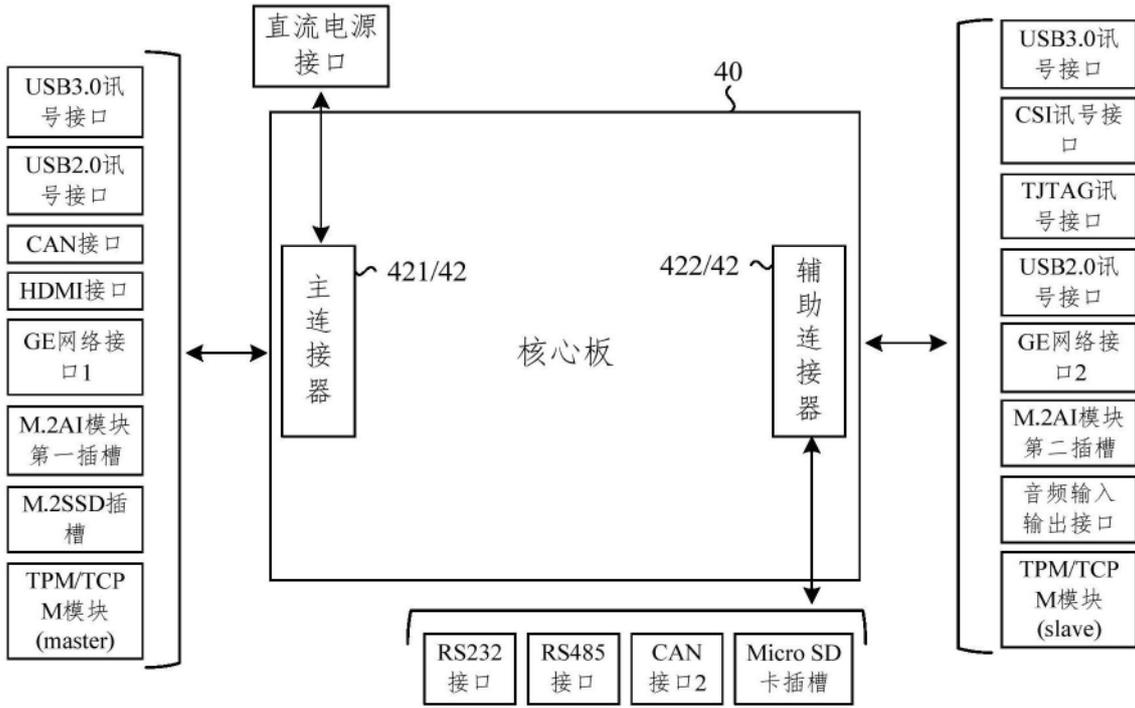


图10

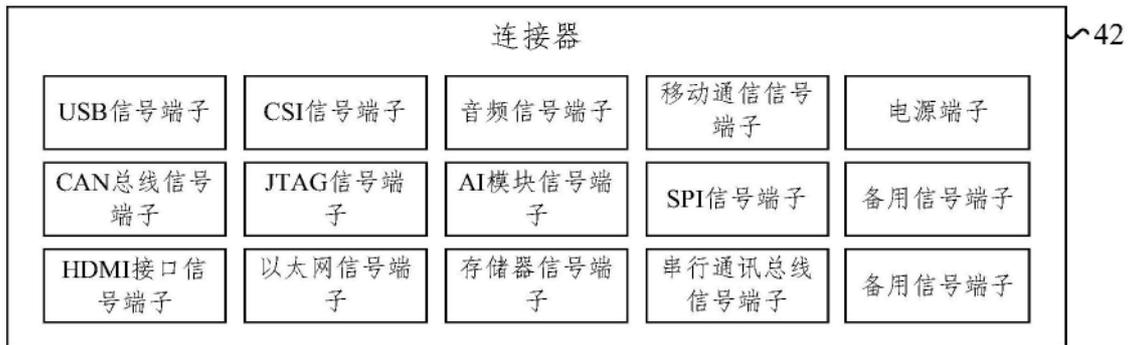


图11

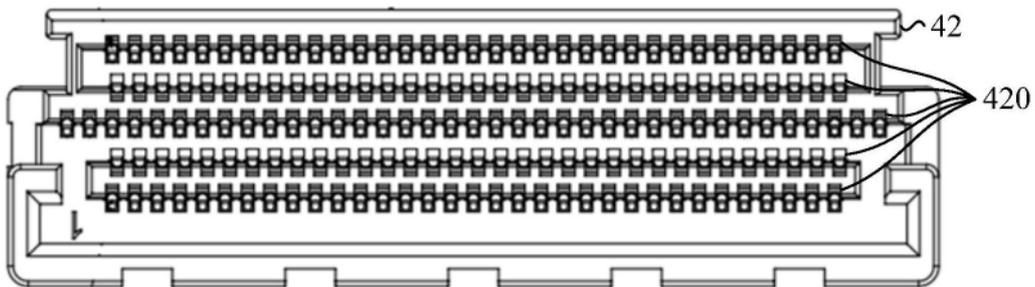


图12

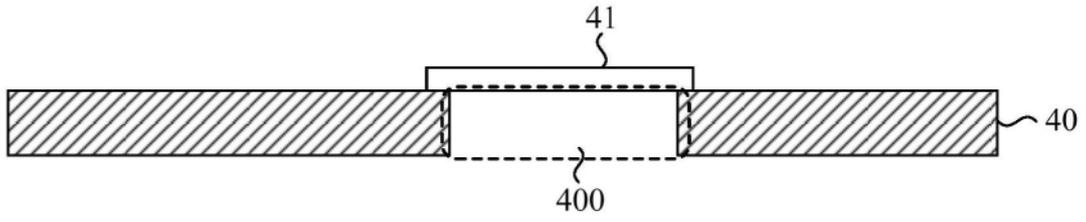


图13

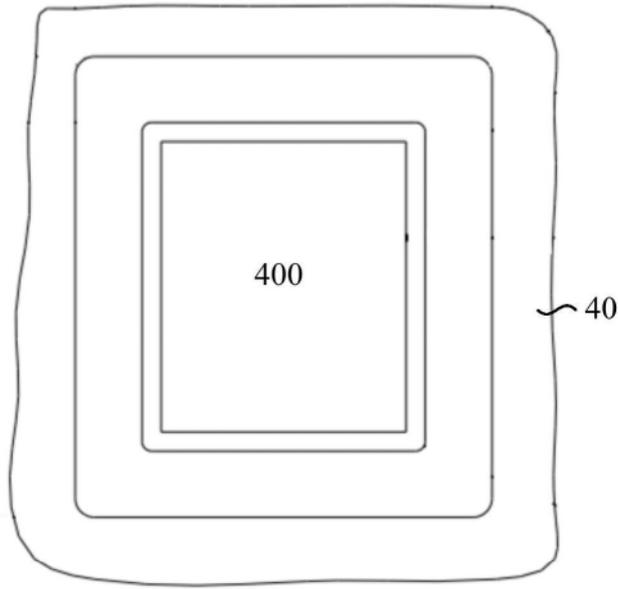


图14