

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成17年8月11日(2005.8.11)

【公表番号】特表2001-506452(P2001-506452A)
【公表日】平成13年5月15日(2001.5.15)
【出願番号】特願平10-527843
【国際特許分類第7版】
H 0 4 N 7/32
【F I】
H 0 4 N 7/137 Z

【手続補正書】
【提出日】平成16年12月15日(2004.12.15)
【手続補正1】
【補正対象書類名】明細書
【補正対象項目名】補正の内容のとおり
【補正方法】変更
【補正の内容】

手 続 補 正 書

平成16年12月15日 /

特許庁長官 殿

1. 事件の表示

特願平10-527843号 ✓

2. 発明の名称

インタリーブ式データ処理を用いたビデオデコーダ

3. 補正をする者

トムソン コンシューマ エレクトロニクス
インコーポレイテッド ✓

4. 代 理 人

東京都港区赤坂2丁目6番20号

電 話 (03)3589-1201 (代表)

(7748) 弁理士 谷 義 一



古 式 査



5. 補正命令の日付

自 発

6. 補正対象書類名

明 細 書

7. 補正対象項目名

請求の範囲

8. 補正の内容

請求の範囲を別紙の通り補正する。



以 上

別 紙

請求の範囲

1. それぞれがイメージ画素情報を表すデータの画素ブロックを含むデータブロックのデータストリームを処理して、該画素ブロック中の連続する画素間の相互の冗長さを取り除いて異なる情報だけを作成する方法であって、

画素のスキャンに関連する所与の第1の時間ディレイ中に、前もって符号化された知られた画素値を用いる第1画素値予測機能により第1画素ブロックの画素値を処理するステップと、

処理された画素値のデータストリームをイメージ・プロセッサに運ぶステップと、

前記所与の第1の時間ディレイ中に、第1画素値予測機能を処理することと平行して別の第2機能により第1画素ブロックでインタリーブされた第2画素ブロックの画素値を処理するステップとを含むことを特徴とする方法。

2. 請求項1において、

前記運ぶステップでは、圧縮された画素値を前記イメージ・プロセッサに運ぶことを特徴とする方法。

3. 請求項2において、

第1および第2の画素ブロックはMPEG互換マクロブロックを含むことを特徴とする方法。

4. 請求項1において、さらに、

一連のインタリーブされた画素データ成分の形で入力画素データを供給するステップを含むことを特徴とする方法。

5. 請求項2において、

第1時間ディレイ中に、第1画素値が予測されて第2画素値が圧縮され、第2時間ディレイ中に、第1画素値が圧縮されて第2画素値が予測されることを特徴とする方法。

6. 請求項5において、

第1および第2の時間ディレイは、それぞれのクロック・インターバルであることを特徴とする方法。

7. 請求項4において、

前記供給するステップは、

入力データストリームをインタリーブされた画素データを含んだ複数のデータストリームに分離するステップであって、前記データストリームのうち一つが前記供給するステップにおける前記インタリーブされた画素データを含んでいるステップを含むことを特徴とする方法。

8. 請求項7において、

前記分離するステップでは第1および第2のインタリーブされた画素データ成分の第1データストリームと第3および第4のインタリーブされた画素データ成分の第2データストリームとを作成し、第1、第2、第3および第4のデータ成分はMPEG互換マクロブロックを含んでいることを特徴とする方法。

9. それぞれがイメージ画素情報を表すデータの画素ブロックを含むデータブロックのデータストリームを処理して、該画素ブロック中の連続する画素間の相互の冗長さを取り除いて異なる情報だけを作成する適応予測システムにおいて、

画素データのデータストリームを受け取る入力ネットワークと、

知られた前もって符号化された画素値を用いて第1画素ブロックの画素値を予測するプレディクタロジックと、

圧縮された画素値のデータストリームをイメージ・プロセッサに供給する出力ネットワークと、

第1画素ブロックの前記値の前記予測と平行して第1画素ブロックとインタリーブされた第2画素ブロックの画素値を圧縮するコンプレッサとを含むことを特徴とするシステム。

10. 請求項9において、

第1および第2の画素ブロックはMPEG互換マクロブロックを含むことを特徴とするシステム。

11. 請求項9において、

前記ネットワーク、ロジック、およびコンプレッサは、MPEG互換デコーダのDPCM動き補償処理ネットワーク内で結合されることを特徴とするシステム。

12. 請求項9において、

前記入力ネットワークは、一連のインタリーブされたデータ値の形式のデータを受け取ることを特徴とするシステム。

13. 請求項9において、

第1画素ブロックの画素値は画素のスキャンに関連する第1時間ディレイ中に予測され、それに続く第2時間ディレイ中に圧縮され、

第2画素ブロックの画素値は第2時間ディレイ中に予測され、第1時間ディレイ中に圧縮されることを特徴とするシステム。

14. 請求項13において、

第1および第2の時間ディレイは連続するクロックサイクルであり、これにより、2クロックサイクルにわたって画素値が予測と圧縮の対象となることを特徴とするシステム。

15. 請求項12において、さらに、

入力データストリームをインタリーブされたデータ値を含んだ複数のデータス

トリームに分離するセパレータを含み、前記データストリームのうち一つは前記入力により受け取られる前記インタリーブされたデータ値を含んでいることを特徴とするシステム。

16. 請求項15において、

前記セパレータは第1および第2のインタリーブされた画素値の第1データストリームとインタリーブされた第3および第4の画素値の第2データストリームとを作成し、第1、第2、第3および第4の画素値はMPEG互換マクロブロックを含んでいることを特徴とするシステム。

(以下余白)