

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2009-43220

(P2009-43220A)

(43) 公開日 平成21年2月26日 (2009. 2. 26)

(51) Int.Cl.	F I	テーマコード (参考)
G05F 1/56 (2006.01)	G05F 1/56 310L	5H430
	G05F 1/56 310Q	
	G05F 1/56 320H	

審査請求 有 請求項の数 17 O L (全 22 頁)

(21) 出願番号	特願2007-301057 (P2007-301057)	(71) 出願人	507383426
(22) 出願日	平成19年11月20日 (2007. 11. 20)		テジン・テクノロジー・カンパニー・リミテッド
(31) 優先権主張番号	10-2007-0078660		大韓民国京畿道城南市中院區上大院洞223-12 城南現代アイヴァレー206 號
(32) 優先日	平成19年8月6日 (2007. 8. 6)	(74) 代理人	100064908
(33) 優先権主張国	韓国 (KR)		弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

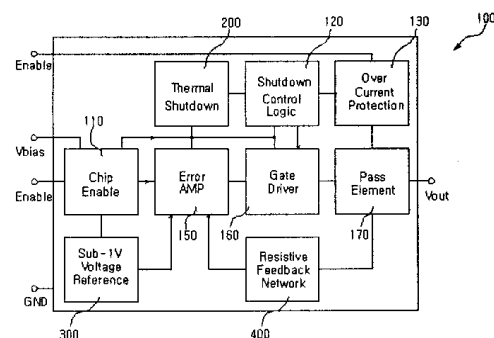
(54) 【発明の名称】 超低電圧降下型電圧レギュレーター

(57) 【要約】

【課題】 消耗待機電力を減少させ、チップの大きさを最小化するように設計し、チップの過負荷又は過電圧に一層早く反応するようにし、安定的で確かに中止させるように設計し、低電圧出力でも超低電圧降下特性を有する超低電圧降下型電圧レギュレーターを提供する。

【解決手段】 チップ駆動部と、低電圧基準電圧発生部と、パスエレメントと、フィードバック抵抗と、ゲートドライブ端と、過熱防止回路と、過電流制限器と、過熱防止制御ロジックとを含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

低電圧変換の電圧レギュレーターにおいて、
チップの内部回路を駆動するために供給するバイアス電圧を制御するチップ駆動部と；
前記チップ駆動部によって制御され、電圧及び電流を一定範囲内に設定するか発生させるための低電圧基準電圧発生部と；
変換すべき電源を受け、安定電圧のみを通過させて出力させるパスエレメントと；
前記パスエレメントによる出力電圧を分配してエラー増幅端にフィードバックするためのフィードバック抵抗と；
前記チップ駆動部によって制御され、前記低電圧基準電圧発生部から出力される基準電圧と前記フィードバック抵抗によってフィードバックされる出力電圧を比較し、出力信号において誤差発生部分を差動増幅して出力を平滑させるエラー増幅端と；
前記チップ駆動部によって制御され、過熱防止制御ロジックの制御信号によって前記エラー増幅端の出力信号と前記出力電圧を比較して前記パスエレメントを制御する信号を出力するゲートドライブ端と；
前記チップ駆動部によって制御され、チップの過負荷又は過熱を感知して出力電圧をスイッチング制御する信号を出力する過熱防止回路と；
前記チップ駆動部によって制御され、入力電源を受け、ロジックインタフェースを介して制限電流を出力するように制御する過電流制限器と；
前記チップ駆動部によって制御され、前記過熱防止回路の出力信号と前記過電流制限器の出力信号を受けて前記ゲートドライブ端の出力信号を制御する過熱防止制御ロジックと；
を含んでなることを特徴とする、超低電圧降下型電圧レギュレーター。

【請求項 2】

前記チップ駆動部は、チップの内部回路の駆動のためのバイアス電圧を供給制御する電源供給端と前記過熱防止制御ロジックに過負荷制御信号を供給するディセーブル端とを含んでなることを特徴とする、請求項 1 に記載の超低電圧降下型電圧レギュレーター。

【請求項 3】

前記低電圧基準電圧発生部は、
前記チップ駆動部でバイアス電圧を受け、電流ミラーによってバイアス電圧を供給するバイアス部と；
前記バイアス部と電流ミラーで連結されてバイアスされ、バイポーラートランジスタのベース-エミッター間の電圧に比例する第 1 電流を生成する第 1 電流生成部と；
前記第 1 電流生成部から出力される出力電圧信号を受けて増幅して出力する第 1 PMOS 増幅部と；
前記バイアス部と電流ミラーで連結されてバイアスされ、熱電圧に比例する第 2 電流を生成する第 2 電流生成部と；
前記第 2 電流生成部から出力される出力電圧信号を受けて増幅して出力する第 2 PMOS 増幅部と；
前記バイアス部と電流ミラーで連結されてバイアスされ、前記第 1 及び第 2 PMOS 増幅部で増幅した信号をそれぞれ受け、温度及び電源電圧の変化に対して一定した基準電圧を出力する差動増幅部と；
を含んでなることを特徴とする、請求項 1 に記載の超低電圧降下型電圧レギュレーター。

【請求項 4】

前記第 1 PMOS 増幅部は、前記第 1 電流生成部の出力信号をゲートに受けて増幅した信号をドレイン端に出力する第 1 PMOS トランジスタと、前記第 1 PMOS トランジスタのドレイン端に連結され、ゲートを接地して構成した能動負荷とを含んでなることを特徴とする、請求項 3 に記載の超低電圧降下型電圧レギュレーター。

【請求項 5】

前記第 2 PMOS 増幅部は、前記第 2 電流生成部の出力信号をゲートに受けて増幅した信号をドレイン端に出力する第 2 PMOS トランジスタと、前記第 2 PMOS トランジスタ

タのドレイン端に連結され、ゲートを接地して構成した能動負荷とを含んでなることを特徴とする、請求項 3 に記載の超低電圧降下型電圧レギュレーター。

【請求項 6】

前記差動増幅部は、

前記第 1 及び第 2 PMOS 増幅部の出力信号をそれぞれ受ける第 1 及び第 2 NMOS トランジスタで構成される差動増幅入力端と、

前記差動増幅入力端のソース端に連結して構成され、前記バイアス部からバイアス電圧を受けて静電流を発生する NMOS トランジスタで構成される電流ソースと、

前記差動増幅入力端の第 2 NMOS トランジスタのドレイン端に連結して構成され、前記バイアス部と電流ミラーで連結されてバイアスされる能動負荷と、

前記差動増幅入力端の第 1 NMOS トランジスタのドレイン端に連結され、前記バイアス部から電流ミラーによってバイアスされて基準電圧を出力する出力端とを含んでなることを特徴とする、請求項 3 に記載の超低電圧降下型電圧レギュレーター。

【請求項 7】

前記能動負荷は、二つの PMOS トランジスタをカスコードで連結して構成されることを特徴とする、請求項 7 に記載の超低電圧降下型電圧レギュレーター。

【請求項 8】

前記フィードバック抵抗は、トリミングができるように構成されることを特徴とする、請求項 1 に記載の超低電圧降下型電圧レギュレーター。

【請求項 9】

前記フィードバック抵抗は、複数の一定パターンに配列された金属配線と、前記金属配線を相互に連結して活性化するようにした導電性金属配線パターンとを備えて、トリミングが不要であるように構成されるトリミングフリーフィードバック抵抗で構成されることを特徴とする、請求項 1 に記載の超低電圧降下型電圧レギュレーター。

【請求項 10】

前記金属配線は、出力電圧範囲に対するすべての抵抗値を有するように配線して形成されることを特徴とする、請求項 9 に記載の超低電圧降下型電圧レギュレーター。

【請求項 11】

前記金属配線パターンは、必要な出力電圧によって前記金属配線の一定部分を選択して相互に連結するように、一定部分に形成されたコンタクトを含んでなることを特徴とする、請求項 9 に記載の超低電圧降下型電圧レギュレーター。

【請求項 12】

前記過熱防止回路は、

前記チップ駆動部からバイアス電圧を受けて一定電流を生成する電流生成部と；

前記電流生成部と連結されて一定電流を受け、温度変化を感知して、特定温度以上で動作する過熱感知部と；

前記電流生成部と連結されて構成された第 1 電流ミラーによって生成された出力電流と前記バイアス回路から入力される駆動電圧によって決定される過熱防止信号を出力する出力部と；を含んでなることを特徴とする、請求項 1 に記載の超低電圧降下型電圧レギュレーター。

【請求項 13】

前記過熱防止回路は、

前記チップ駆動部からバイアス電圧を受けて一定電流を生成する電流生成部と；

前記電流生成部と連結されて一定電流を受け、温度変化を感知して特定温度以上で動作する過熱感知部と；

前記電流生成部と連結されて構成された第 1 電流ミラーによって生成された出力電流と前記バイアス回路から入力される駆動電圧によって決定される過熱防止信号を出力する出力部と；

前記出力部の過熱防止信号を受け、前記過熱感知部に動作を制御するトリガーバイアス信号をフィードバックするとともに出力制御信号として出力するトリガー信号発生部と；

10

20

30

40

50

前記電流生成部と連結されて構成された第２電流ミラーによって出力電流を生成し、前記トリガー信号発生部からフィードバックされるトリガーバイアス信号を受け、前記出力電流を制御して増幅させる電流増幅部と；を含んでなることを特徴とする、請求項１に記載の超低電圧降下型電圧レギュレーター。

【請求項１４】

前記過熱感知部は、

前記電流生成部で生成した一定電流によって特定電圧が固定されるようにするバイアス抵抗と；

前記バイアス抵抗の両端子とベース及びエミッター端子をそれぞれ連結することにより、温度変化によって変わる駆動電圧を前記バイアス抵抗の両端電圧と同一に固定する過熱感知トランジスタと；を含んでなることを特徴とする、請求項１２又は１３に記載の超低電圧降下型電圧レギュレーター。

10

【請求項１５】

前記トリガー信号発生部は、シュミットトリガー回路でなることを特徴とする、請求項１３に記載の超低電圧降下型電圧レギュレーター。

【請求項１６】

前記トリガー信号発生部は、PMOSトランジスタ及びNMOSトランジスタで構成されるインバーターでなることを特徴とする、請求項１３に記載の超低電圧降下型電圧レギュレーター。

【請求項１７】

20

前記トリガー信号発生部は、出力制御信号を決定する出力制御用インバーターをさらに含んでなることを特徴とする、請求項１３に記載の超低電圧降下型電圧レギュレーター。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は電圧レギュレーターに係り、より詳しくは内部回路の動作電源を別に供給し、チップ動作のために動作電源を制御することにより、消耗待機電力を減少させるとともに、チップの大きさを最小化するように設計し、チップの過負荷又は過電圧に一層早く反応するようにし、安定的で確実に中止させるように設計し、低電圧出力でも超低電圧降下特性（Ultra Low Dropout、以下、‘ULDO’と言う）を有する超低電圧降下型電圧レギュレーターに関するものである。

30

【背景技術】

【０００２】

最近、各種電子機器の動作電圧が持続的に次第に低くなっている。その一例として、近年、０．９～１．０Vで動作するMCU及びMain Chip製品の登場を挙げることができる。

【０００３】

このような電子機器の動作電圧が低電圧化していくに従い、これを駆動するための電圧レギュレーターの出力電圧も持続的に減少しなければならない。すなわち、前記MCU及びMain Chipを駆動するために供給しなければならない電源電圧が低電圧化していくに従い、安定しながらも低いレギュレーターの出力電圧が必要である。

40

【０００４】

図１は従来の低電圧出力電圧レギュレーターのブロック図、図２は従来の低電圧出力電圧レギュレーターにおいて超低電圧降下特性（ULDO）を示す図である。

【０００５】

図１に示すように、従来の低電圧出力電圧レギュレーター１は、チップ駆動部１０、基準電圧発生部２０、エラー増幅端３０、過負荷保護部４０、ゲートドライブ端５０、パスエレメント６０、及び電圧分配回路７０で構成される。

【０００６】

前記チップ駆動部１０は、個々の機能ブロックに直接電源を供給するように動作信号を

50

出力する。

【0007】

前記基準電圧発生部20は、初期電圧信号を受けて連携回路部に分配して、電圧及び電流を出力範囲内の基準電圧に設定するものであって、入力電圧をトランジスタとトリミングフィードバック抵抗で構成された電圧分配回路70で分配して出力する分配電圧と比較する基準電圧を発生する。

【0008】

前記エラー増幅端30は、前記基準電圧発生部20の出力基準電圧と電圧分配回路70で分配された分配電圧を比較して、出力信号において誤差発生部分を増幅させる。

【0009】

前記過負荷保護部40は、多数のトランジスタ、ダイオード、抵抗を含み、前記基準電圧発生部20で発生した信号を出力電圧と比較し、普段には動作しないが、過負荷又は一定温度以上で動作して出力電圧を落とすためのサーマルダウン端41と、前記サーマルダウン端41の信号を安定化させて出力インターフェースに伝送するスイッチング制御端43と、過電流保護端42とから構成されている。

【0010】

前記パスエレメント60は選択したインターフェースに安定電圧のみを通過させるものであって、前記ゲートドライブ端50によって安定化されて一定レベルに合わせられる。

【0011】

しかし、このような従来の低電圧出力電圧レギュレーターは、前記チップ駆動部10で個々の機能ブロックに電源を供給するようになっていたため、チップの駆動が停止されているディセーブル(Disable)状態では、単にチップのロジックオフ(Logic Off)によって遮断されるので、待機電力が継続して消耗される問題点がある。

【0012】

また、従来の低電圧出力電圧レギュレーターの前記基準電圧発生部20は、低電圧の基準電圧を出力するに当たり、内部のフィードバックされる電圧が非常に低いから、差動増幅器入力端のトランジスタが低スレショルド電圧(V_t)を有するように、低電圧MOSトランジスタ(Low V_t MOSFET)のための別途の工程を追加するか、0.18 μm 以下のdeep sub-micronの製造工程が必要な問題点がある。

【0013】

また、従来の低電圧出力電圧レギュレーターの前記電圧分配回路70はトリミングパッドで構成される抵抗構造であるので、チップの大きさが増大して製造費用が高くなる問題点がある。

【0014】

また、従来の低電圧出力電圧レギュレーターの前記過負荷保護部40のサーマルダウン端41は、電源集積回路である電圧レギュレーターのチップが破壊されるか正常動作しにくいチップ温度に到達すれば、チップの動作を迅速に中止させるとともに、確かで安定的に中止させる必要があり、さらに温度が低下すれば、正常動作を開始する必要がある。

【0015】

一方、図2に示すように、従来の低電圧出力電圧レギュレーターは、超低電圧降下特性(ULDO)と無関係に回路が正常動作するための最小入力電圧($V_{IN, MIN}$)以上になって始めて、超低電圧降下特性(ULDO)が動作し始める。すなわち、出力電圧(V_{OUTPUT})が最小入力電圧($V_{IN, MIN}$)と超低電圧降下($V_{DROPOUT}$)の差より大きい場合、正常の超低電圧降下特性(ULDO)を有することになる。

【0016】

しかし、最近に低電圧化して行くMCU及びMain Chipの電源電圧のために低出力電圧が必要な場合に、すなわち最小入力電圧($V_{IN, MIN}$)より低い低電圧入力に対して低電圧出力(V_{O1} 、 V_{O2})に変換しようとする場合は、超低電圧降下($V_{DROPOUT}$)より大きい電圧降下が発生する問題点がある。

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0017】

したがって、本発明は前記のような問題点を解決するためになされたもので、回路に必要な電源と変換して伝達しようとする入力電圧を別に供給制御することにより、待機電力の消耗を最小化する超低電圧降下型電圧レギュレーターを提供することにその目的がある。

【0018】

また、本発明は、基準電圧発生部に使用される差動増幅器の入力端トランジスタを、低フィードバック電圧のために、別途の追加工程で低電圧動作MOSトランジスタによって具現するか、あるいはdeep sub-micronの製造工程を使用する必要なく、低電圧の出力電圧を有する基準電圧発生部を具現することにより、製造費用を減らす超低電圧降下型電圧レギュレーターを提供することにその他の目的がある。

【0019】

また、本発明は、トリミングパッドで構成される抵抗構造である電圧分配回路をトリミングパッドなく具現できるようにすることにより、電圧レギュレーターのチップ大きさをマイクロ化し、製造費用を減らす超低電圧降下型電圧レギュレーターを提供することにそのさらに他の目的がある。

【0020】

また、本発明は、レギュレーターのチップ過熱温度を感知してより早く反応するように過熱感知回路を構成し、システムの動作中止において反応動作の堅実性と安全性を確保するとともに費用を節減するように回路を簡単に構成した過熱防止回路を備えた超低電圧降下型電圧レギュレーターを提供することにさらに他の目的がある。

【0021】

また、本発明は、回路が正常動作するための最小入力電圧(V_{IN_MIN})より低い低電圧入力に対しても低電圧出力がなされるように超低電圧降下特性(ULDO)を有する超低電圧降下型電圧レギュレーターを提供することにそのさらに他の目的がある。

【課題を解決するための手段】

【0022】

このような目的を達成するために、本発明による超低電圧降下型電圧レギュレーターは、低電圧変換の電圧レギュレーターにおいて、チップの内部回路を駆動するために供給するバイアス電圧を制御するチップ駆動部と；前記チップ駆動部によって制御され、電圧及び電流を一定範囲内に設定するか発生させるための低電圧基準電圧発生部と；変換すべき電源を受け、安定電圧のみを通過させて出力させるパスエレメントと；前記パスエレメントによる出力電圧を分配してエラー増幅端にフィードバックするためのフィードバック抵抗と；前記チップ駆動部によって制御され、前記低電圧基準電圧発生部から出力される基準電圧と前記フィードバック抵抗によってフィードバックされる出力電圧を比較し、出力信号において誤差発生部分を差動増幅して出力を平滑させるエラー増幅端と；前記チップ駆動部によって制御され、過熱防止制御ロジックの制御信号によって前記エラー増幅端の出力信号と前記出力電圧を比較して前記パスエレメントを制御する信号を出力するゲートドライブ端と；前記チップ駆動部によって制御され、チップの過負荷又は過熱を感知して出力電圧をスイッチング制御する信号を出力する過熱防止回路と；前記チップ駆動部によって制御され、入力電源を受け、ロジックインタフェースを介して制限電流を出力するように制御する過電流制限器と；前記チップ駆動部によって制御され、前記過熱防止回路の出力信号と前記過電流制限器の出力信号を受けて前記ゲートドライブ端の出力信号を制御する過熱防止制御ロジックと；を含んでなる。

【0023】

本発明において、前記チップ駆動部は、チップの内部回路の駆動のためのバイアス電圧を供給制御する電源供給端と前記過熱防止制御ロジックに過負荷制御信号を供給するディセーブル端とを含んでなることができる。

【0024】

本発明において、前記低電圧基準電圧発生部は、前記チップ駆動部でバイアス電圧を受け、電流ミラーによってバイアス電圧を供給するバイアス部と；前記バイアス部と電流ミラーで連結されてバイアスされ、バイポーラトランジスタのベース－エミッター間の電圧に比例する第１電流を生成する第１電流生成部と；前記第１電流生成部から出力される出力電圧信号を受けて増幅して出力する第１PMOS増幅部と；前記バイアス部と電流ミラーで連結されてバイアスされ、熱電圧に比例する第２電流を生成する第２電流生成部と；前記第２電流生成部から出力される出力電圧信号を受けて増幅して出力する第２PMOS増幅部と；前記バイアス部と電流ミラーで連結されてバイアスされ、前記第１及び第２PMOS増幅部で増幅した信号をそれぞれ受け、温度及び電源電圧の変化に対して一定した基準電圧を出力する差動増幅部と；を含んでなることができる。

10

【0025】

前記第１PMOS増幅部は、前記第１電流生成部の出力信号をゲートに受けて増幅した信号をドレイン端に出力する第１PMOSトランジスタと、前記第１PMOSトランジスタのドレイン端に連結され、ゲートを接地して構成した能動負荷とを含んでなることができる。

【0026】

前記第２PMOS増幅部は、前記第２電流生成部の出力信号をゲートに受けて増幅した信号をドレイン端に出力する第２PMOSトランジスタと、前記第２PMOSトランジスタのドレイン端に連結され、ゲートを接地して構成した能動負荷とを含んでなることができる。

20

【0027】

前記差動増幅部は、前記第１及び第２PMOS増幅部の出力信号をそれぞれ受ける第１及び第２NMOSトランジスタで構成される差動増幅入力端と、前記差動増幅入力端のソース端に連結して構成され、前記バイアス部からバイアス電圧を受けて静電流を発生するNMOSトランジスタで構成される電流ソースと、前記差動増幅入力端の第２NMOSトランジスタのドレイン端に連結して構成され、前記バイアス部と電流ミラーで連結されてバイアスされる能動負荷と、前記差動増幅入力端の第１NMOSトランジスタのドレイン端に連結され、前記バイアス部から電流ミラーによってバイアスされて基準電圧を出力する出力端とを含んでなることができる。

【0028】

前記能動負荷は、二つのPMOSトランジスタをカスコードで連結して構成できる。

30

【0029】

前記フィードバック抵抗は、トリミングができるように構成できる。

【0030】

前記フィードバック抵抗は、複数の一定パターンに配列された金属配線と、前記金属配線を相互に連結して活性化するようにした導電性金属配線パターンとを備えて、トリミングが不要であるように構成されるトリミングフリーフィードバック抵抗で構成できる。

【0031】

前記金属配線は、出力電圧範囲に対するすべての抵抗値を有するように配線して形成できる。

40

【0032】

前記金属配線パターンは、必要な出力電圧によって前記金属配線の一定部分を選択して相互に連結するように、一定部分に形成されたコンタクトを含んでなることができる。

【0033】

本発明において、前記過熱防止回路は、前記チップ駆動部からバイアス電圧を受けて一定電流を生成する電流生成部と；前記電流生成部と連結されて一定電流を受け、温度変化を感知して、特定温度以上で動作する過熱感知部と；前記電流生成部と連結されて構成された第１電流ミラーによって生成された出力電流と前記バイアス回路から入力される駆動電圧によって決定される過熱防止信号を出力する出力部と；を含んでなることができる。

【0034】

50

本発明において、前記過熱防止回路は、前記チップ駆動部からバイアス電圧を受けて一定電流を生成する電流生成部と；前記電流生成部と連結されて一定電流を受け、温度変化を感知して特定温度以上で動作する過熱感知部と；前記電流生成部と連結されて構成された第1電流ミラーによって生成された出力電流と前記バイアス回路から入力される駆動電圧によって決定される過熱防止信号を出力する出力部と；前記出力部の過熱防止信号を受け、前記過熱感知部に動作を制御するトリガーバイアス信号をフィードバックするとともに出力制御信号として出力するトリガー信号発生部と；前記電流生成部と連結されて構成された第2電流ミラーによって出力電流を生成し、前記トリガー信号発生部からフィードバックされるトリガーバイアス信号を受け、前記出力電流を制御して増幅させる電流増幅部と；を含んでなることができる。

10

【0035】

前記過熱感知部は、前記電流生成部で生成した一定電流によって特定電圧が固定されるようにするバイアス抵抗と；前記バイアス抵抗の両端子とベース及びエミッター端子をそれぞれ連結することにより、温度変化によって変わる駆動電圧を前記バイアス抵抗の両端電圧と同一に固定する過熱感知トランジスタと；を含んでなることができる。

【0036】

前記トリガー信号発生部は、シュミットトリガー回路でなることができる。

【0037】

前記トリガー信号発生部は、PMOSトランジスタ及びNMOSトランジスタで構成されるインバーターでなることができる。

20

【0038】

前記トリガー信号発生部は、出力制御信号を決定する出力制御用インバーターをさらに含んでなることができる。

【発明の効果】

【0039】

前記のように構成された本発明による超低電圧降下型電圧レギュレーターは、内部回路に必要な駆動電源と変換すべき入力電源を分離して入力し、動作することにより、チップのディセーブル(Disable)の際に待機電力の消耗を最小化する効果がある。

【0040】

また、本発明は、基準電圧発生部に使用される差動増幅器の入力端トランジスタを、低フィードバック電圧のために、別途の追加工程で低電圧動作MOSトランジスタによって具現するか、あるいはdeep sub-micronの製造工程を使用する必要なしに、低電圧の出力電圧を有する基準電圧発生部を具現することにより、製造費用を減らすことができる効果がある。

30

【0041】

また、本発明は、トリミングパッドで構成される抵抗構造である電圧分配回路をトリミングパッドなしで具現することができるようにすることにより、電圧レギュレーターのチップ大きさを減らして製造費用を減らす効果がある。

【0042】

また、本発明は、レギュレーターのチップ過熱温度を感知するように簡単に構成した過熱感知回路を構成することにより、過負荷又は過熱の際にシステムの動作を中止させるに当たり、一層早い反応動作の堅実性と安全性を確保するとともに費用を節減する効果がある。

40

【0043】

また、本発明は、回路が正常に動作するための最小入力電圧(V_{IN_MIN})より低い低電圧入力に対しても低電圧出力がなされるように超低電圧降下特性(ULDO)を有する効果がある。

【発明を実施するための最良の形態】

【0044】

以下、本発明の好ましい実施例を添付図面に基づいて詳細に説明する。

50

【0045】

図3は本発明による超低電圧降下型電圧レギュレーターの概略的な構成ブロック図である。

【0046】

図示のように、本発明による超低電圧降下型電圧レギュレーター100は、チップ駆動部110、過熱防止回路200、過熱防止制御ロジック120、過電流制限器130、低電圧基準電圧発生部300、フィードバック抵抗400、エラー増幅端150、ゲートドライブ端160、及びパスエレメント170で構成される。

【0047】

前記チップ駆動部110、過熱防止回路200、低電圧基準電圧発生部300、及びフィードバック抵抗400を以下に図面に基づいて詳細に説明する。

10

【0048】

前記過電流制限器130は、前記チップ駆動部110によって制御され、変換すべき入力電源(V_{in})を受け、通常の回路構成でなるロジックインタフェースを介して、制限電流を出力するように制御する。

【0049】

前記過熱防止制御ロジック120は、前記チップ駆動部110によって制御され、前記過熱防止回路200の出力信号と前記過電流制限器130の出力信号を受けて出力電圧を制御するゲートドライブ端160に信号を出力する。

20

【0050】

前記エラー増幅端150は、前記チップ駆動部110によって制御され、前記低電圧基準電圧発生部300の出力基準電圧(V_{ref})と前記フィードバック抵抗400によって出力電圧をフィードバックして比較し、各出力信号において誤差発生部分を差動増幅して出力を平滑させる。

【0051】

前記ゲートドライブ端160は、前記チップ駆動部110によって制御され、前記過熱防止制御ロジック120の制御信号によって制御され、前記エラー増幅端150の出力信号を受けて前記入力電圧(V_{in})の出力を制御する。

【0052】

前記パスエレメント170は、変換すべき電源(V_{in})を受け、前記ゲートドライブ端の出力信号によって安定電圧のみを通過させるように制御されて電圧を出力(V_{out})する。

30

【0053】

図4は本発明による超低電圧降下型電圧レギュレーターに使用されるチップ駆動及び電源供給を行うチップ駆動部の一実施例を示す回路図である。

【0054】

図示のように、前記チップ駆動部110は、チップの内部回路の駆動のためのバイアス電圧(V_{bias})を供給制御する電源供給端(V_{EN_BUFF})と前記過熱防止制御ロジック120に過負荷制御信号を供給するディセーブル端(V_{DIS})を含んで構成する。

40

【0055】

詳述すれば、前記電源供給端(V_{EN_BUFF})は、バイアス電圧(V_{bias})を受け、パストランジスタの役目をするPMOSトランジスタ(M28)によって各内部回路を動作させるための電源に通過させるようにする。

【0056】

すなわち、前記チップ駆動部110は、入力されるチップイネーブル(Enable)信号(V_{EN})に応じて、同一信号である内部回路を駆動させるイネーブル信号(V_{EN_BUFF})によってバイアス電圧(V_{bias})を供給する。すなわち、バッファリングされた信号でありながら駆動電圧(V_{EN_BUFF})が出力される。

【0057】

50

しかし、前記チップ駆動部110に入力されるチップディセーブル(Disable)信号に応じては、前記パストランジスタの役目をするPMOSトランジスタ(M28)によって、内部回路動作のための電源自体をオフさせる。すなわち、前記チップ駆動部110は、入力されるチップディセーブル(Disable)信号に応じて、同一信号である内部回路の駆動を停止させるディセーブル信号(V_{EN_BUFF})によって、駆動電圧であるバイアス電圧(V_{bias})を遮断する。

【0058】

以上の状態は、例えば一定時間の後、携帯電話の液晶がオフされるときとか、LCDモニターが画面だけオフされた状態とか、あるいはMP3の場合、再生動作はするが液晶だけオフされるような待機状態で各システムの待機電力を非常に低く減らすように構成したものである。10

【0059】

また、前記ディセーブル端(V_{DIS})は、前記電源供給端(V_{EN_BUFF})と反対の出力信号を有することになる。

【0060】

すなわち、前記チップ駆動部110は、入力されるチップイネーブル(Enable)信号又はチップディセーブル(Disable)信号に応じて、それぞれ前記電源供給端(V_{EN_BUFF})と反対の信号を前記過熱防止制御ロジック120に出力して制御信号として使用することになる。20

【0061】

特に、前記ディセーブル端は、チップが過負荷又は過熱される場合、回路の駆動を停止させるために、前記電源供給端(V_{EN_BUFF})より前に位置し、より早く内部回路を停止させる機能をする。

【0062】

図5は本発明による超低電圧降下型電圧レギュレーターの超低電圧降下特性(ULDO)を示す図である。

【0063】

図示のように、本発明による超低電圧降下型電圧レギュレーターは、回路が正常動作するための最小入力電圧(V_{IN_MIN})以下の入力(V_{IN_PUT})に対し、出力される出力電圧(V_{OUT_PUT})が低い場合(V_1 、 V_2)にも超低電圧降下特性(ULDO)が動作する。30

【0064】

このような超低電圧降下特性(ULDO)は、回路に必要な電源を別に供給するように構成することにより、変換して伝達しなければならない入出力電力を分離する。したがって、出力電圧の大きさにかかわらず、すべての出力電圧に対して超低電圧降下特性(ULDO)を満足させることになる。

【0065】

図6は本発明による超低電圧降下型電圧レギュレーターの一実施例を示す回路ブロック図である。40

【0066】

図示のように、本発明による超低電圧降下型電圧レギュレーター100は、チップ駆動部110、バイアス発生器115、過熱防止回路200、過熱防止制御ロジック120、過電流制限器130、低電圧基準電圧発生部300、フィードバック抵抗400、エラー増幅端150、ゲートドライブ端160、及びパスエレメント170で構成される。

【0067】

各構成に対する機能を説明すれば次のようである。

【0068】

まず、入力される電圧(V_{in})は別に前記パスエレメント170に直ちに入力される 50

ように連結することにより、前記ゲートドライブ端 160 によって制御されて電圧を出力するように構成する。

【0069】

そして、本発明による超低電圧降下型電圧レギュレーター 100 の内部各回路を駆動するためのバイアス電圧 (V_{bias}) は、前記チップ駆動部 110 に入力されるように構成するとともに、チップ動作のためのイネーブル又はディセーブル信号も前記チップ駆動部 110 に入力されるように構成する。

【0070】

前記チップ駆動部 110 は、チップ動作のための制御信号 (V_{EN_BUFF}) とチップ内部の各回路を駆動するための駆動電圧 (V_{bias}) をバイアス発生器 115、過熱防止回路 200、過電流制限器 130、低電圧基準電圧発生部 300、エラー増幅端 150、及びゲートドライブ端 160 に供給するように構成する。

【0071】

また、前記チップ駆動部 110 は、チップのディセーブル信号 (V_{DIS}) を過熱防止制御ロジック 120 に出力するように構成する。

【0072】

前記低電圧基準電圧発生部 300 は、基準電圧 (V_{ref}) を出力して前記エラー増幅端 150 で比較するようにし、前記エラー増幅端 150 は、前記低電圧基準電圧発生部 300 の出力基準電圧 (V_{ref}) と前記フィードバック抵抗 400 からフィードバックされる出力電圧を比較して、誤差発生部分を差動増幅して出力を平滑させ、前記ゲートドライブ端 160 は、前記エラー増幅端 150 の出力信号と本発明による超低電圧降下型電圧レギュレーター 100 の出力電圧 (V_{out}) を比較して、前記パスエレメント 170 を制御する信号を出力するように構成する。

【0073】

前記フィードバック抵抗 400 の好ましい一実施例は、回路設計上で複数の抵抗の役目をするように配列された金属配線とトリミングパッド、及び前記トリミングパッドを電気的に相互に短絡させる複数のヒューズで構成され、出力電圧を分配してフィードバックする。この際、前記トリミングパッドは、前記金属配線の各抵抗に並列連結され、選択された抵抗を活性化させることにより、前記電圧分配割合を調節するように形成され、複数のヒューズは、トリミングパッド及び前記トリミングパッドのうち、隣り合うトリミングパッドを電気的に相互に短絡させるように構成することが好ましい。

【0074】

また、前記フィードバック抵抗 400 の好ましい他の一実施例は、回路設計上で複数の一定パターンに配列された金属配線と前記金属配線を相互に連結して活性化するようにした導電性金属配線パターンを備えて、トリミングが不要であるように構成することが好ましい。これについての詳細な説明は以下の図 8 で説明する。

【0075】

前記過電流制限器 130 は、前記チップ駆動部 110 によって制御され、変換すべき入力電源 (V_{in}) を受け、通常の回路構成でなるロジックインタフェースを介して、制限電流を出力するように構成し、前記過熱防止制御ロジック 120 は、前記チップ駆動部 110 によって制御され、前記過熱防止回路 200 の出力信号と前記過電流制限器 130 の出力信号を受けて、本発明による超低電圧降下型電圧レギュレーター 100 の出力電圧 (V_{out}) を制御するゲートドライブ端 160 に信号を出力して制御するように構成する。

【0076】

前記パスエレメント 170 は、変換すべき電源 (V_{in}) を受け、前記ゲートドライブ端 160 の出力信号によって安定電圧のみを通過させるように制御されるように構成する。

【0077】

図 7 は本発明による超低電圧降下型電圧レギュレーターに使用される低電圧基準電圧発

10

20

30

40

50

生部の一実施例を示す回路図である。

【0078】

図示のように、本発明による超低電圧降下型電圧レギュレーターに使用される低電圧基準電圧発生部300は、バイアス部310、第1電流生成部321、第1PMOS増幅部331、第2電流生成部322、第2PMOS増幅部332、及び差動増幅部340で構成される。

【0079】

前記バイアス部310は、PMOSトランジスタ(Mp11、Mp13)を使用する電流ミラーとNMOSトランジスタ(Mn4、Mn5)を使用する電流ミラーで構成される。

10

【0080】

この際、前記PMOSトランジスタ(Mp11、Mp13)で構成される電流ミラーは、第1電流生成部321、第2電流生成部322、及び差動増幅部340の出力端341をバイアスし、前記NMOSトランジスタ(Mn4、Mn5)で構成される電流ミラーは、前記差動増幅部340の電流ソース(Mn3)をバイアスする。

【0081】

前記第1電流生成部321は、抵抗 R_2 とバイポーラトランジスタ(Q_1)及び前記バイアス部310と電流ミラーを成すPMOSトランジスタ(Mp15)で構成され、前記バイアス部310によって、電圧 V_A をPMOSトランジスタ(Mp15)のゲートに受け、抵抗 R_2 とバイポーラトランジスタ(Q_1)でベース-エミッター電圧に比例する電流を生成する。

20

【0082】

前記第2電流生成部322は、抵抗 R_1 と抵抗 R_0 及びトランジスタ(Q_0)及び前記バイアス部310と電流ミラーを成すPMOSトランジスタ(Mp10)で構成され、前記第2電流生成部322は、前記バイアス部310によって、電圧 V_A をPMOSトランジスタ(Mp10)のゲートに受け、抵抗 R_1 と抵抗 R_0 及びトランジスタ(Q_0)で熱電圧に比例する電流を生成する。

【0083】

以上において、電流生成に対する動作は従来の低電圧基準電圧発生器と類似している。

【0084】

前記第1PMOS増幅部331は、PMOSトランジスタ(Mp8)とゲート端を接地して能動負荷で構成されるPMOSトランジスタ(Mp6)で構成され、前記第2PMOS増幅部332は、PMOSトランジスタ(Mp7)とゲート端を接地して能動負荷で構成されるPMOSトランジスタ(Mp5)で構成される。

30

【0085】

前記差動増幅部340は、NMOSトランジスタ(Mn1、Mn2)で構成される差動増幅入力端と、前記差動増幅入力端のNMOSトランジスタ(Mn1、Mn2)を駆動するために、前記差動増幅入力端のソース端に前記バイアス部310からのバイアス電圧を受けて静電流を発生するNMOSトランジスタ(Mn3)で構成される電流ソースと、前記差動増幅入力端のNMOSトランジスタ(Mn1、以下、'第2NMOSトランジスタ'と言う)のドレイン端にPMOSトランジスタ(Mp1、Mp2)をカスコード(cascode)で連結して、前記バイアス部310からバイアス電圧を受ける能動負荷と、及び前記差動増幅入力端のNMOSトランジスタ(Mn2、以下、'第1NMOSトランジスタ'と言う)のドレイン端とPMOSトランジスタ(Mp3、Mp4)の間に連結して、前記バイアス部310から電流ミラー(Mp19)によってバイアスされ、基準電圧(V_{ref})を出力する出力端341とから構成される。

40

【0086】

ここで、前記第1電流生成部321及び第2電流生成部322で生成した電流による電圧は非常に低いため、前記差動増幅入力端の第1及び第2NMOSトランジスタ(Mn1、Mn2)を駆動することができない。したがって、前記差動増幅入力端の第1及び第2

50

NMOSトランジスタ (M_{n1} 、 M_{n2}) を駆動するためのゲート電圧 (V_1 、 V_2) を高めるために、低入力電圧の場合に駆動するPMOSトランジスタ (M_{p7} 、 M_{p8}) を利用して前記第1PMOS増幅部331及び第2PMOS増幅部332を構成することになる。

【0087】

また、前記差動増幅入力端の第2NMOSトランジスタ (M_{n1}) のドレイン端に位置する能動負荷であるPMOSトランジスタ (M_{p1} 、 M_{p2}) をカスコード (cascode) で連結して構成する。

【0088】

これは、実際の回路具現において、ショートチャンネル (short channel) 構成による同一サイズ割合 (W/L 、Aspect Ratio) で、電源電圧によってチャンネル長変調 (Channel Length Modulation) 効果が大きくなって電流が増加することにより電流安定度が低くなることを解決するためのものである。

【0089】

図8a～図8eは本発明による超低電圧降下型電圧レギュレーターに使用されるフィードバック抵抗の好ましい一実施例であって、トリミングが不要なフィードバック抵抗 (以下、‘トリミングフリーフィードバック抵抗’ という) の構成を示す図である。

【0090】

図示のように、本発明による超低電圧降下型電圧レギュレーターに使用されるトリミングフリーフィードバック抵抗400は、回路具現上で複数の一定パターンに配列されるように構成した金属配線402と前記金属配線402を相互に連結して電氣的に活性化するようにした導電性金属配線パターン404で構成する。

【0091】

すなわち、図8aは前記出力電圧を分配してフィードバックするフィードバック抵抗400をトリミングが不要なトリミングフリーフィードバック抵抗400で構成することを示す簡単な例であって、前記トリミングフリーフィードバック抵抗400の構成の一実施例として第1～第9抵抗 ($R_1 \sim R_9$) を配列したものである。

【0092】

前記第1～第9抵抗 ($R_1 \sim R_9$) は、前記金属配線パターン404の形状によって前記第1～第4抵抗 ($R_1 \sim R_4$) の一部又は全部が活性化することができる。

【0093】

また、前記第1～第9抵抗 ($R_1 \sim R_9$) だけで記載したが、実際の素子上では、一般的に電圧レギュレーターの出力電圧の範囲 (一例として、5V) 内のすべての抵抗値を有するように、これより多数の抵抗で構成することができることは明らかである。

【0094】

図8aにおいて、金属配線402で配列された抵抗のうち、活性化した抵抗405は、前記第1抵抗 (R_1) と、前記並列連結された第4～第6抵抗 ($R_4 \sim R_6$) と、第8抵抗 (R_8) の和、すなわち、 $R_T = R_1 + (R_4 \parallel R_5 \parallel R_6) + R_8$ と同一である。

【0095】

この際、金属配線パターン404は、パスエレメント170のドレイン端と第1抵抗 (R_1) を連結し、前記第1抵抗 (R_1) と前記第4～第6抵抗 ($R_4 \sim R_6$) を連結し、前記第4～第6抵抗 ($R_4 \sim R_6$) と前記第8抵抗 (R_8) を連結し、前記第8抵抗 (R_8) を接地に連結されたフィードバック抵抗 (図示せず) と電氣的に連結するように形成することが好ましい。

【0096】

図8b～図8eは本発明による超低電圧降下型電圧レギュレーターに使用されるフィードバック抵抗400の実施例であって、金属配線パターン404を利用して金属配線402を選択的に連結した実施例を示す図である。

【0097】

図示のように、本発明による超低電圧降下型電圧レギュレーターに使用されるトリミングフリーフィードバック抵抗400は、トリミング工程が不要なもので、規則的に配列された多数の金属配線402と、超低電圧降下型電圧レギュレーター100の出力電圧に合う抵抗を構成するために、前記金属配線402を選択して連結する金属配線パターン404とによって決定される。

【0098】

そして、実際の回路具現においては、前記金属配線402とパスエレメント170はコンタクト403によって連結されるように構成することが好ましい。

【0099】

図9は本発明による超低電圧降下型電圧レギュレーターに使用される過熱防止回路の一実施例を示す回路図である。

【0100】

図示のように、本発明による超低電圧降下型電圧レギュレーター100に使用される過熱防止回路200は、バイアス回路210、電流生成部220、過熱感知部230、出力部240、トリガー信号発生部250、電流増幅部260、及び出力制御用インバーター251を含んで構成されるものであって、以下に過熱防止回路を成す各構成素子間の動作機能を詳細に説明する。

【0101】

まず、バイアス回路210はバイアス電圧を、PMOSトランジスタ(MP23)を介して受け、電流生成部220のNMOSトランジスタ(M45、M47)と出力部240のNMOSトランジスタ(M53、M52)にそれぞれ駆動電圧(V_A 、 V_B)を供給する。

【0102】

したがって、前記電流生成部220のNMOSトランジスタ(M45、M47)によってPMOSトランジスタ(M43)のドレインでは一定電流(I_1)が発生し、前記過熱感知部230のバイアス抵抗231に固定電圧を有することになる。この際、固定しようとする電圧の大きさは、バイアス回路210から供給する駆動電圧(V_A 、 V_B)に調整することができるのは明らかである。

【0103】

定常状態では、前記過熱感知部230のバイアス抵抗231の両端とエミッター及びベース端子が連結されて、駆動電圧(V_{BE})の固定された過熱感知トランジスタ232は動作しなく、前記電流生成部220のPMOSトランジスタ(M43)と連結されて第1電流ミラーを成すPMOSトランジスタ(M42)のドレイン端で生成された出力電流(I_2)と前記バイアス回路210から入力される駆動電圧(V_A 、 V_B)によって決定され、NMOSトランジスタ(M53)のドレイン端にかかる電圧(V_{out})、すなわち、出力部240の出力信号はローレベルの電圧(V_{out})である過熱防止信号を前記トリガー信号発生部250に出力する。

【0104】

前記ローレベルの過熱防止信号(V_{out})は、一般的なPMOSトランジスタ(M55、M56、M58、M59、M60)とNMOSトランジスタ(M66、M67、M68、M69、M70)で構成されるシュミットトリガー回路で構成されるトリガー信号発生部250でハイレベルのトリガーバイアス信号(T_{out})になり、前記電流増幅部260のPMOSトランジスタ(M49)にフィードバックされ、前記フィードバックされたトリガーバイアス信号(T_{out})は、前記電流生成部220のPMOSトランジスタ(M43)と連結されて第2電流ミラーを成すPMOSトランジスタ(M48)のドレイン端で生成された出力電流(I_3)を制御することになる。すなわち、遮断する。

【0105】

また、前記ローレベルの過熱防止信号(V_{out})は、前記トリガー信号発生部250を介してハイレベルのトリガーバイアス信号(T_{out})のような信号を出力制御信号(

10

20

30

40

50

T_{out})にして出力することになり、この出力制御信号 (T_{out})は電圧レギュレータが正常動作する。

【0106】

この際、前記出力制御信号 (T_{out})は、電圧レギュレータに使用されるパワートランジスタの種類と過熱防止制御ロジックの動作形態によって変わることができるので、過熱防止回路は、前記出力制御信号 (T_{out})を決定するようにPMOSトランジスタ (M57)とNMOSトランジスタ (M71)を使用して構成した出力制御用インバータ251をさらに含んで構成することにより、前記出力制御信号 (T_{out})を出力する。

【0107】

10

ついで、温度が上昇して過熱した状態では、前記過熱感知部220の駆動電圧 (V_{BE})が固定された過熱感知トランジスタ232が動作して電流 (I_{CE})が流れるようにする。これは、PMOSトランジスタ (M43)のドレインに流れる電流 (I_1)が前記電流 (I_{CE})の分だけ増加したものになる。

【0108】

これも、前記電流生成部220のPMOSトランジスタ (M43)に連結されて第1電流ミラーを成すPMOSトランジスタ (M42)のドレイン端で生成された出力電流 (I_2)が増加する。

【0109】

また、駆動電圧 (V_A 、 V_B)が一定であるから、前記出力部240のNMOSトランジスタ (M52、M53)に対する抵抗が一定に維持されるので、オームの法則によれば、前記第1電流ミラーを成すPMOSトランジスタ (M42)のドレイン端に生成された出力電流 (I_2)の増加によって前記出力部240のNMOSトランジスタ (M45)ドレイン端にかかる電圧 (V_{out})が増加する結果をもたらす。

20

【0110】

すなわち、出力部240の出力信号がハイレベルの電圧 (V)になって、前記トリガー信号発生部250に過熱防止信号として出力する。

【0111】

前記ハイレベルの過熱防止信号 (V_{out})は、一般的なPMOSトランジスタ (M55、M56、M58、M59、M60)とNMOSトランジスタ (M66、M67、M68、M69、M70)で構成されるシュミットトリガー回路で構成されるトリガー信号発生部250でローレベルのトリガーバイアス信号 (T_{out})になって前記電流増幅部260のPMOSトランジスタ (M49)にフィードバックされ、前記フィードバックされたトリガーバイアス信号 (T_{out})は、前記電流生成部220のPMOSトランジスタ (M43)に連結されて第2電流ミラーを成すPMOSトランジスタ (M48)のドレイン端で生成された出力電流 (I_3)を制御して流れるようにする。

30

【0112】

このようなPMOSトランジスタ (M48)のドレイン端で生成された出力電流 (I_3)は、過熱感知部230に流れる電流 (I_1)と合わせられて入力されることにより、もっと多い電流が流入されるようにして、電圧レギュレータを停止 (shut down)させるに当たり、過熱感知トランジスタ232の動作が一層早くてはっきりと動作する機能をする。

40

【0113】

また、前記ハイレベルの過熱防止信号 (V_{out})は、前記トリガー信号発生部250を介してローレベルのトリガーバイアス信号 (T_{out})のような信号を出力制御信号 (T_{out})にして出力することになり、この出力制御信号 (T_{out})は、電圧レギュレータが停止 (shut down)されるようにして、過熱を防止する。

【0114】

この際、前記出力制御信号 (T_{out})は電圧レギュレータに使用されるパワートランジスタの種類と過熱防止制御ロジックの動作形態によって変わらなければならないので

50

、前記出力制御信号（ T_{out} ）を決定するPMOSトランジスタ（M57）とNMOSトランジスタ（M71）でなる出力制御用インバーター251を介して出力される。

【0115】

以上説明した本発明は、発明が属する技術分野の通常の知識を持った者によって、本発明の技術的思想を逸脱しない範囲内で多様に置換、変形及び変更が可能であるので、前述した実施例及び添付図面に限定されるものではない。

【産業上の利用可能性】

【0116】

本発明は、内部回路の動作電源を別に供給し、チップ動作のために動作電源を制御することで、消耗待機電力を減少させるとともに、チップの大きさを最小化するように設計し、チップの過負荷又は過電圧に一層早く反応するようにし、安定的で確かに中止させるように設計し、低電圧出力でも超低電圧降下特性を有する超低電圧降下型電圧レギュレーターに適用可能である。

【図面の簡単な説明】

【0117】

【図1】従来の低電圧出力電圧レギュレーターのブロック図である。

【図2】従来の低電圧出力電圧レギュレーターにおいて超低電圧降下特性（ULDO）を示す図である。

【図3】本発明による超低電圧降下型電圧レギュレーターの概略的な構成ブロック図である。

【図4】本発明による超低電圧降下型電圧レギュレーターに使用されるチップ駆動及び電源供給をするチップ駆動部の一実施例を示す回路図である。

【図5】本発明による超低電圧降下型電圧レギュレーターの超低電圧降下特性（ULDO）を示す図である。

【図6】本発明による超低電圧降下型電圧レギュレーターの一実施例を示す回路ブロック図である。

【図7】本発明による超低電圧降下型電圧レギュレーターに使用される低電圧基準電圧発生部の一実施例を示す回路図である。

【図8A】本発明による超低電圧降下型電圧レギュレーターに使用されるフィードバック抵抗の好ましい一実施例であって、トリミングが不要なフィードバック抵抗の構成を示す図である。

【図8B】本発明による超低電圧降下型電圧レギュレーターに使用されるフィードバック抵抗の好ましい一実施例であって、トリミングが不要なフィードバック抵抗の構成を示す図である。

【図8C】本発明による超低電圧降下型電圧レギュレーターに使用されるフィードバック抵抗の好ましい一実施例であって、トリミングが不要なフィードバック抵抗の構成を示す図である。

【図8D】本発明による超低電圧降下型電圧レギュレーターに使用されるフィードバック抵抗の好ましい一実施例であって、トリミングが不要なフィードバック抵抗の構成を示す図である。

【図8E】本発明による超低電圧降下型電圧レギュレーターに使用されるフィードバック抵抗の好ましい一実施例であって、トリミングが不要なフィードバック抵抗の構成を示す図である。

【図9】本発明による超低電圧降下型電圧レギュレーターに使用される過熱防止回路の一実施例を示す回路図である。

【符号の説明】

【0118】

- 100 電圧レギュレーター
- 110 チップ駆動部
- 120 過熱防止制御ロジック

10

20

30

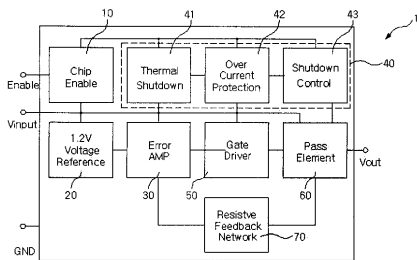
40

50

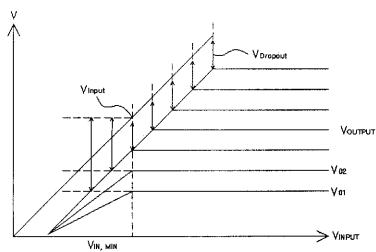
- 1 3 0 過電流制限器
- 1 5 0 エラー増幅端
- 1 6 0 ゲートドライブ端
- 1 7 0 パスエレメント
- 2 0 0 過熱防止回路
- 2 3 0 過熱感知部
- 2 5 0 トリガー信号発生部
- 2 6 0 電流増幅部
- 3 0 0 低電圧基準電圧発生部
- 3 3 1 第1 PMOS 増幅部
- 3 3 2 第2 PMOS 増幅部
- 4 0 0 フィードバック抵抗、トリミングフリーフィードバック抵抗
- 4 0 2 金属配線
- 4 0 4 金属配線パターン

10

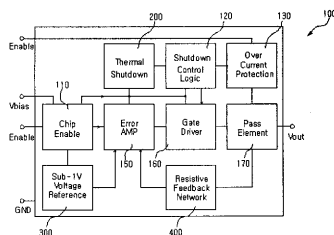
【図 1】



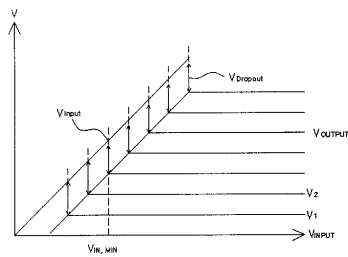
【図 2】



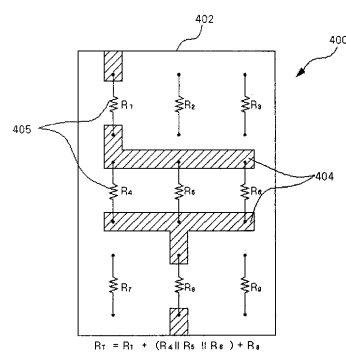
【図 3】



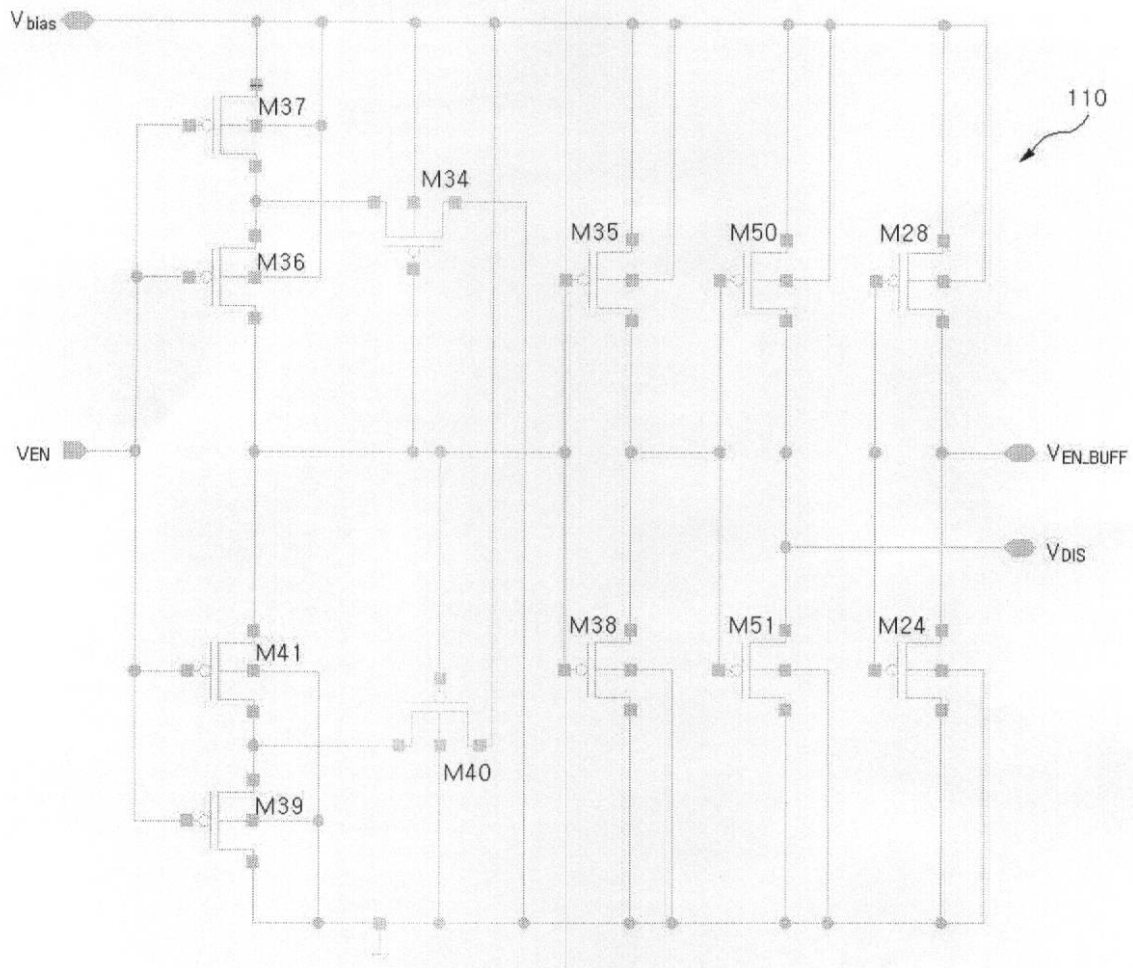
【図 5】



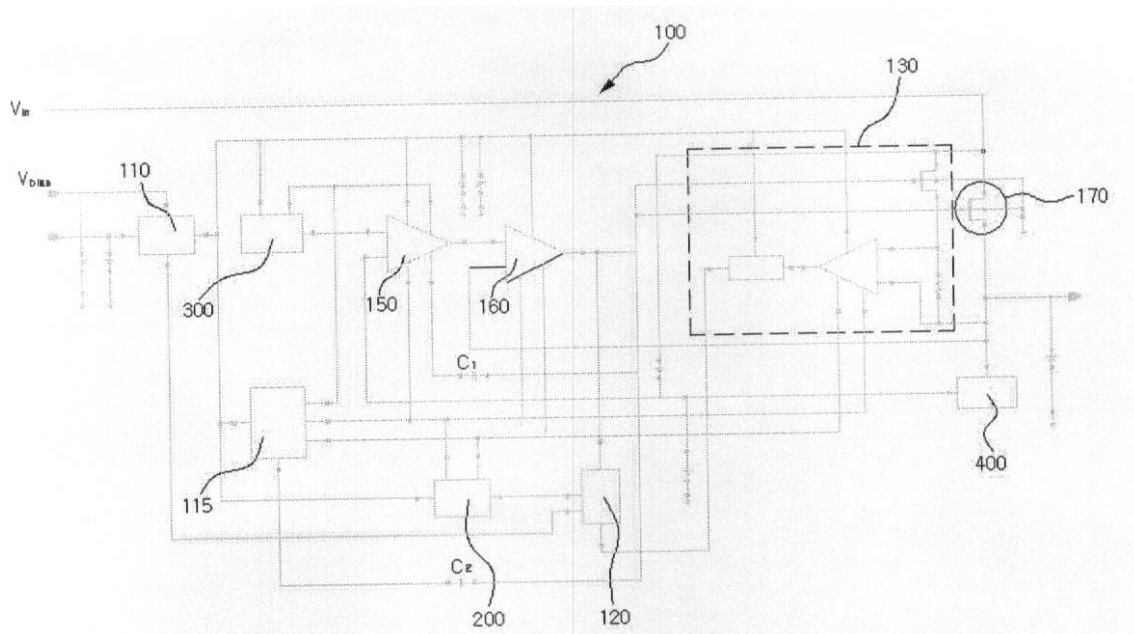
【図 8 A】



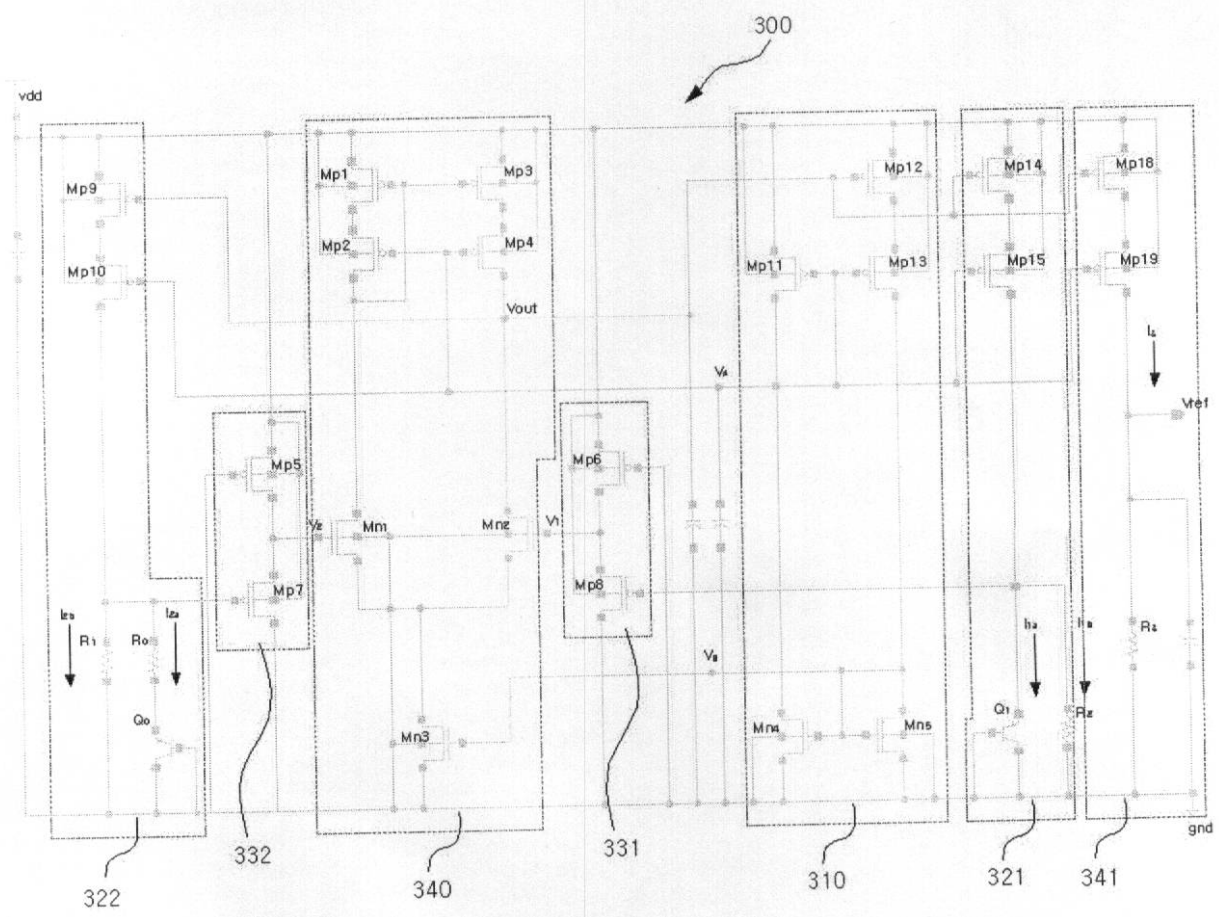
【図 4】



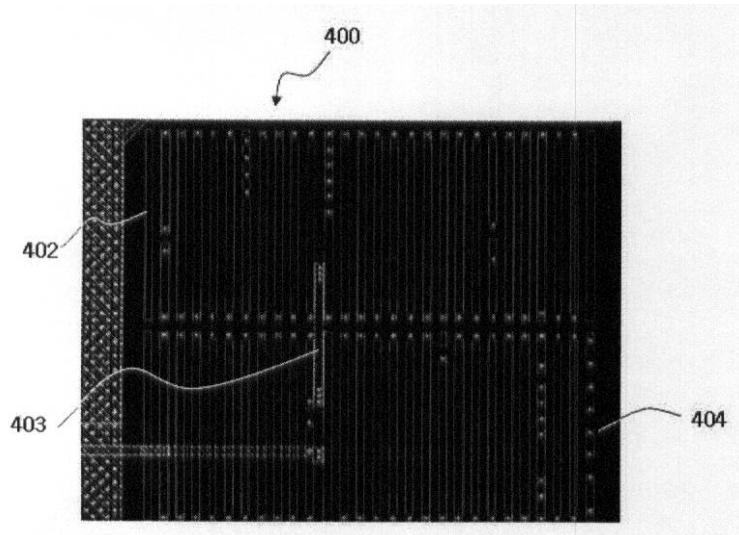
【図 6】



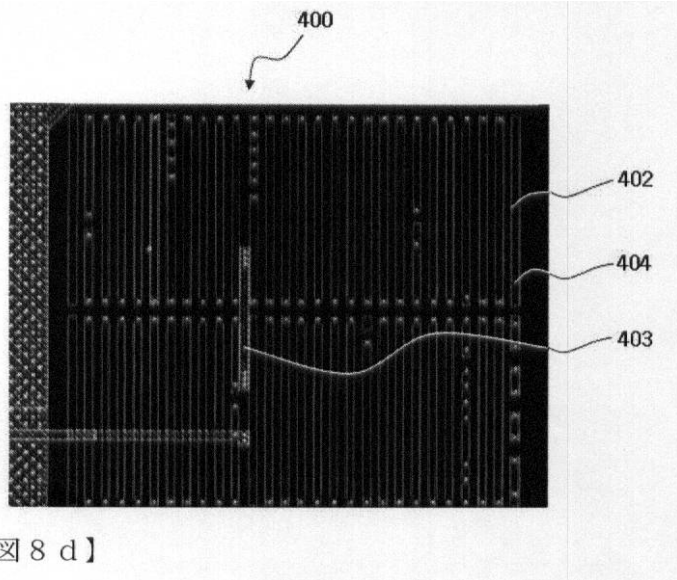
【図 7】



【図 8 B】

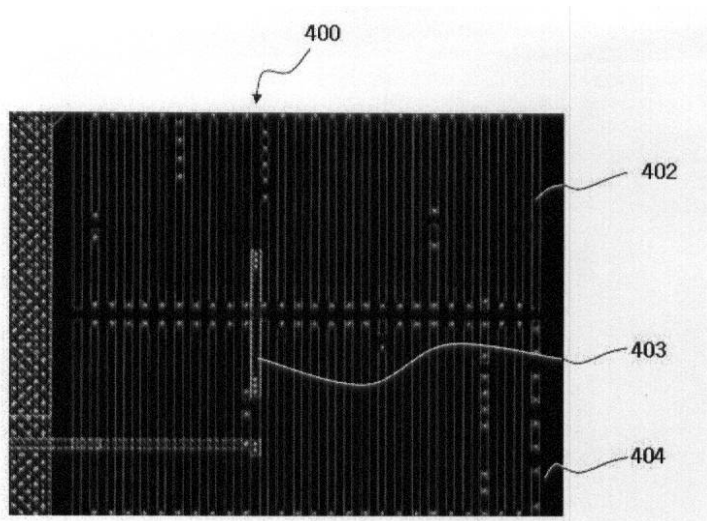


【図 8 C】

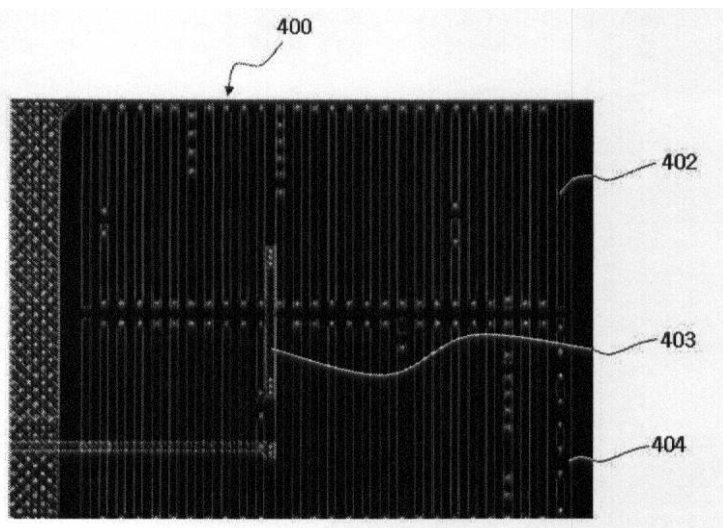


【図 8 d】

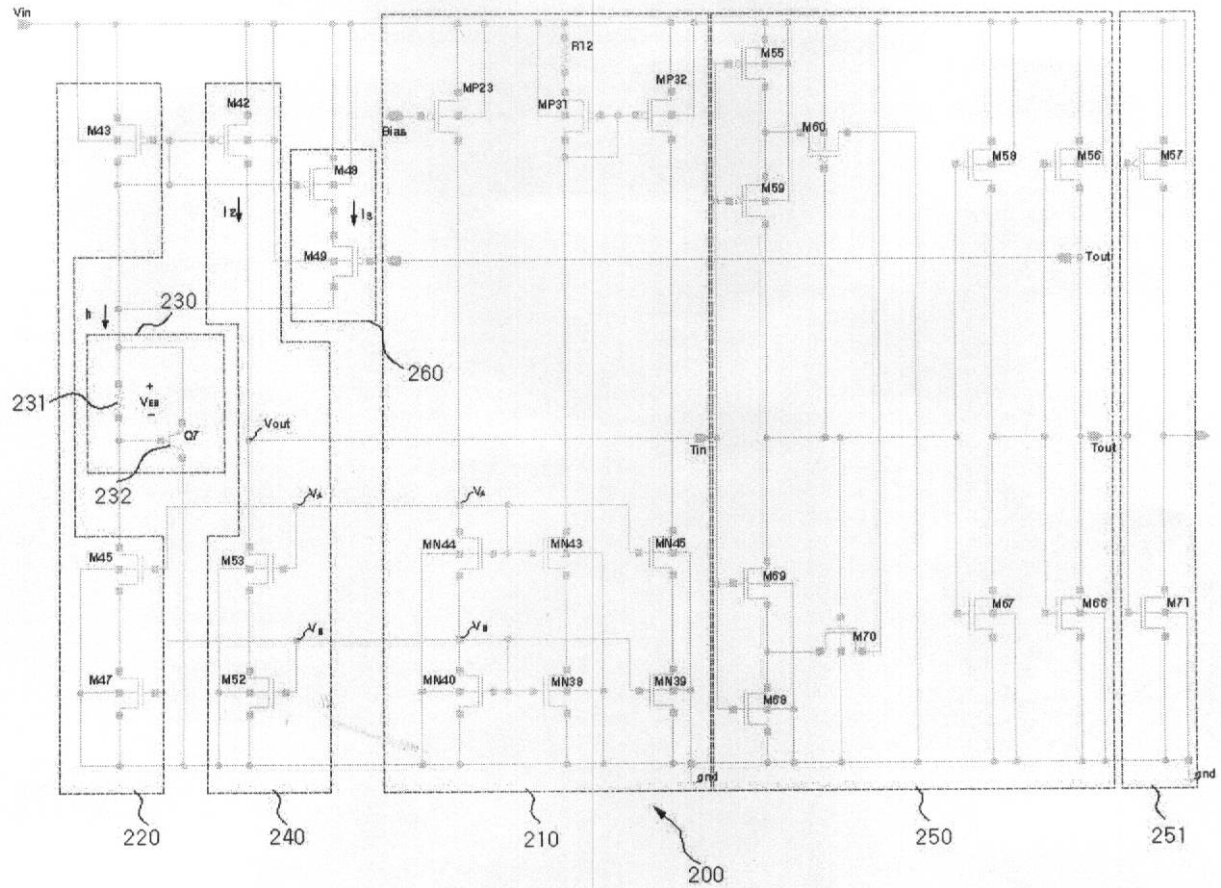
【図 8 D】



【図 8 E】



【 図 9 】



フロントページの続き

(72)発明者 張 起碩

大韓民国大田廣域市西區屯山洞 1 4 5 7 現代アイーテル 1 5 1 2 號

Fターム(参考) 5H430 BB01 BB05 BB09 BB11 EE06 FF02 FF13 GG01 HH03 LA07
LA10 LA15 LA21