



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I397815B1

(45) 公告日：中華民國 102 (2013) 年 06 月 01 日

(21) 申請案號：098104988

(22) 申請日：中華民國 98 (2009) 年 02 月 17 日

(51) Int. Cl. : G06F12/02 (2006.01)

G11C8/18 (2006.01)

(30) 優先權：2008/02/29 日本

2008-051285

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72) 發明人：長富靖 NAGADOMI, YASUSHI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200601043A

TW 200745848A

US 7313732B2

WO 2004034252A2

審查人員：林民安

申請專利範圍項數：18 項 圖式數：15 共 0 頁

(54) 名稱

記憶體系統

MEMORY SYSTEM

(57) 摘要

本發明係提供一記憶體系統，其可儲存小於一區塊大小之資料及大於該區塊大小之資料而不劣化寫入效率，並且可依據該資料動態地改變一平行度。依據本發明之一實施例之記憶體系統包含一 DRAM 11；一 NAND 記憶體 12；及具有一 NAND 控制器控制暫存器 150 之一控制器，該 NAND 控制器控制暫存器 150 指定平行操作元件指定資訊及相對於一 NAND 介面 140 之一資料位址，上述平行操作元件指定資訊指示在資料存取時所使用之該 NAND 記憶體 12 內的平行操作元件 120A 至 120D，該 NAND 介面 140 係平行連接至個別平行操作元件 120A 至 120D 而用於存取基於該指定平行操作元件指定資訊及該位址而選擇之一或複數個平行操作元件 120A 至 120D 的位址；以及一 CPU 131，其依據存取之資料之類型來設定該 NAND 控制器控制暫存器 150 內之平行操作元件指定資訊。

To provide a memory system that can store data smaller than a block size and data larger than the block size without deteriorating writing efficiency, and can dynamically change a parallelism according to the data. The memory system according to an embodiment of the present invention comprises a DRAM 11, a NAND memory 12, and a controller having a NAND-controller control register 150 that specifies parallel-operating element specifying information indicating parallel operating elements 120A to 120D in the NAND memory 12 to be used at the time of data access and an address of data with respect to a NAND interface 140, the NAND interface 140 connected in parallel to the respective parallel operating elements 120A to 120D for accessing the address of one or a plurality of parallel operating elements 120A to 120D selected based on the specified parallel-operating element specifying information and the address, and a CPU 131 that sets the parallel-operating element specifying information in the NAND-controller control register 150 according to the type of data to be accessed.

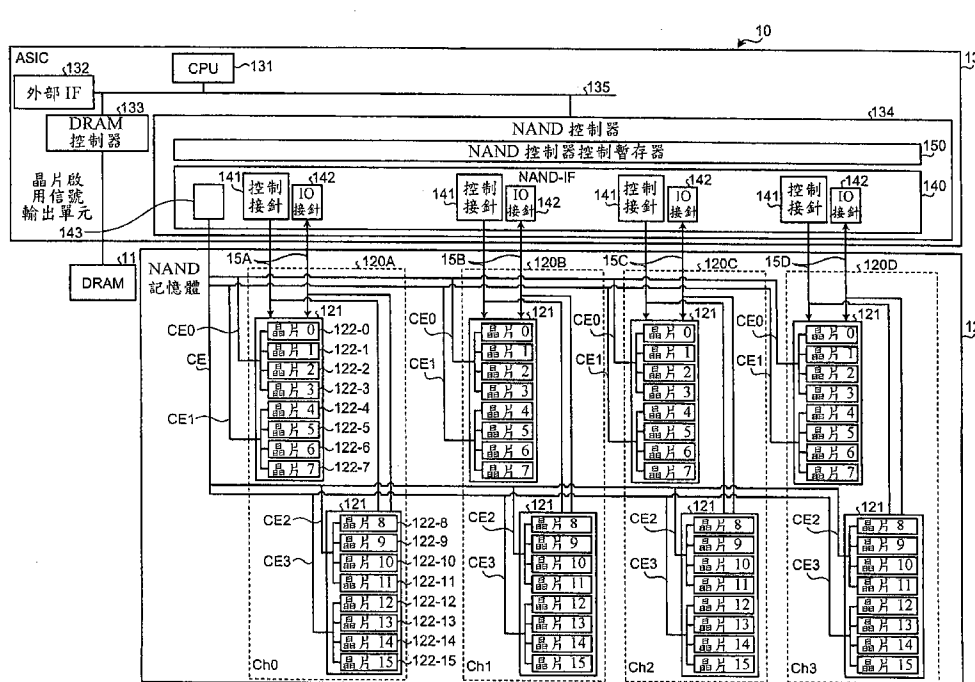


圖 1

- 10 . . . 記憶體系統
- 11 . . . DRAM
- 12 . . . NAND 記憶體
- 13 . . . 驅動控制電路
- 15A 至 15D . . . 通道
- 120A . . . 平行操作元件
- 120B . . . 平行操作元件
- 120C . . . 平行操作元件
- 120D . . . 平行操作元件
- 121 . . . 封裝
- 122-0 至 122-15 . . . 晶片
- 131 . . . 中央處理單元(CPU)
- 132 . . . 外部介面
- 133 . . . DRAM 控制器
- 134 . . . NAND 控制器
- 135 . . . 內部匯流排
- 140 . . . NAND 介面
- 141 . . . 控制接針
- 142 . . . 輸入/輸出接針
- 143 . . . 晶片啟用信號輸出單元
- 150 . . . NAND 控制器控制暫存器
- CE0 . . . 晶片啟用信號線

CE1 . . . 晶片啟用
信號線

CE2 . . . 晶片啟用
信號線

CE3 . . . 晶片啟用
信號線

Ch0 . . . 通道

Ch1 . . . 通道

Ch2 . . . 通道

Ch3 . . . 通道

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98104988

※ 申請日：98.2.17

※IPC 分類：

一、發明名稱：(中文/英文)

G06F 12/02 (2006.01)

記憶體系統

G11C 8/18 (2006.01)

MEMORY SYSTEM

二、中文發明摘要：

本發明係提供一記憶體系統，其可儲存小於一區塊大小之資料及大於該區塊大小之資料而不劣化寫入效率，並且可依據該資料動態地改變一平行度。依據本發明之一實施例之記憶體系統包含一DRAM 11；一NAND記憶體12；及具有一NAND控制器控制暫存器150之一控制器，該NAND控制器控制暫存器150指定平行操作元件指定資訊及相對於一NAND介面140之一資料位址，上述平行操作元件指定資訊指示在資料存取時所使用之該NAND記憶體12內的平行操作元件120A至120D，該NAND介面140係平行連接至個別平行操作元件120A至120D而用於存取基於該指定平行操作元件指定資訊及該位址而選擇之一或複數個平行操作元件120A至120D的位址；以及一CPU 131，其依據存取之資料之類型來設定該NAND控制器控制暫存器150內之平行操作元件指定資訊。

三、英文發明摘要：

To provide a memory system that can store data smaller than a block size and data larger than the block size without deteriorating writing efficiency, and can dynamically change a parallelism according to the data. The memory system according to an embodiment of the present invention comprises a DRAM 11, a NAND memory 12, and a controller having a NAND-controller control register 150 that specifies parallel-operating element specifying information indicating parallel operating elements 120A to 120D in the NAND memory 12 to be used at the time of data access and an address of data with respect to a NAND interface 140, the NAND interface 140 connected in parallel to the respective parallel operating elements 120A to 120D for accessing the address of one or a plurality of parallel operating elements 120A to 120D selected based on the specified parallel-operating element specifying information and the address, and a CPU 131 that sets the parallel-operating element specifying information in the NAND-controller control register 150 according to the type of data to be accessed.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	記憶體系統
11	DRAM
12	NAND記憶體
13	驅動控制電路
15A至15D	通道
120A	平行操作元件
120B	平行操作元件
120C	平行操作元件
120D	平行操作元件
121	封裝
122-0至122-15	晶片
131	中央處理單元(CPU)
132	外部介面
133	DRAM控制器
134	NAND控制器
135	內部匯流排
140	NAND介面
141	控制接針
142	輸入/輸出接針
143	晶片啟用信號輸出單元
150	NAND控制器控制暫存器

CE0	晶片啟用信號線
CE1	晶片啟用信號線
CE2	晶片啟用信號線
CE3	晶片啟用信號線
Ch0	通道
Ch1	通道
Ch2	通道
Ch3	通道

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種藉由使用一非揮發性半導體記憶體組態的記憶體系統。

【先前技術】

最近，NAND型快閃記憶體作為一類型之非揮發性半導體記憶體已吸引注意。NAND型快閃記憶體之寫入/抹除操作比NOR型快閃記憶體之寫入/抹除操作更快。另外，由於半導體裝置之製造技術的發展，半導體元件之小型化已進步，並且每單位面積之記憶體容量已增加。使用NAND型快閃記憶體之大容量記憶體系統已商業化。

一般在NAND型快閃記憶體內，收集複數個頁面以形成一區塊。寫入/讀取程序係以頁面單位實行，並且抹除程序係以區塊單位實行(例如，參見專利文件1)。

另外，隨著資訊技術之最近發展，例如超過數百萬位元組之大小的許多大容量檔案(例如影像檔案、音樂檔案及視訊檔案)係儲存於次要儲存裝置內，例如個人電腦。在應用使用NAND型快閃記憶體(例如，其具有4千位元組之頁面大小)之記憶體系統作為次要儲存裝置的情形中，以及當寫入大幅大於頁面大小(其係NAND型快閃記憶體內之寫入單位)之檔案時，存在一問題，即必須針對每一頁面(4千位元組)實行寫入，並且因此寫入檔案需要很長時間。另一方面，若增加每頁面寫入大小以改良大容量檔案之寫入效率，則在寫入小於頁面大小之檔案時於頁面內產生未

使用區域。

另外，NAND型快閃記憶體內之資料的重寫程序需要以下程序：將資料保存於記憶體內一次，例如動態隨機存取記憶體(DRAM)；更新待重寫至記憶體上之頁面；將構成包括已更新頁面之區塊之資料寫入於已自其抹除資料並且不同於目前儲存資料的區塊之一區塊內；以及抹除原始區塊。因此，在寫入與區塊大小相比具有小容量並且具有高重寫頻率之檔案時，在頁面內產生未使用區域並且無用抹除數目增加。相應地，寫入效率(其係抹除資料數量對寫入資料數量之比率)降低，從而劣化構成區塊之單元。

日本專利申請特許公開案第2007-279402號

本發明之一目的係提供一記憶體系統，其可儲存小於區塊大小之資料以及大於區塊大小之資料而不劣化寫入效率。

【發明內容】

依據本發明之具體實施例之一記憶體系統包含：一揮發性第一儲存單元；一非揮發性第二儲存單元，其儲存經由該第一儲存單元從一主機裝置傳輸之資料，其中一記憶體區域包括複數個平行操作元件；以及一控制器，其實行在該第一儲存單元與該第二儲存單元間或該第二儲存單元內之資料傳送，其中該控制器包括：一介面指定單元，其相對於一介面單元，指定平行操作元件指定資訊及存取該資料之一位址，該平行操作元件指定資訊指示用於存取該資料之該第二儲存單元內的該平行操作元件；該介面單元，

其係平行連接至該第二儲存單元內之個別平行操作元件，其用於存取基於由該介面指定單元所指定之該平行操作元件指定資訊及該位址而選擇的該第二儲存單元內之一或複數個平行操作元件的位址；以及一控制單元，其在資料存取時，依據存取之該資料的類型，將用於該資料存取之該平行操作元件指定資訊設定至該介面指定單元。

依據本發明之具體實施例之一記憶體系統包含：一揮發性第一儲存單元；一非揮發性第二儲存單元，其儲存經由該第一儲存單元從一主機裝置所傳輸之資料，其中一記憶體區域包括複數個平行操作元件；及一控制器，其包括：一介面指定單元，其相對於一介面單元，指定用於存取資料之一位址；該介面單元係平行連接至該第二儲存單元內之個別平行操作元件，用於基於藉由該介面指定單元指定之該位址存取該資料；及一控制單元，其在資料存取時，將該第二儲存單元內之一目的地之位址設定至該介面指定單元，且其控制在該第一儲存單元與該第二儲存單元間或在該第二儲存單元內之資料傳送，其中該控制單元依據在該資料存取時存取之該資料的類型而決定用於該介面單元與該第二儲存單元間之該資料存取的該平行操作元件，並且相對於該介面指定單元，設定用於所使用之該平行操作元件之一有效位址及用於不使用之該平行操作元件之一無效位址。

【實施方式】

下面將參考附圖來詳細解釋依據本發明之一記憶體系統

之示範性具體實施例。本發明並不限於具體實施例。

依據本發明之第一具體實施例的記憶體系統包括非揮發性半導體記憶體並且係用作主機裝置(例如個人電腦)之次要儲存裝置(固態驅動器(SSD))。記憶體系統具有用於儲存已針對其從主機裝置發出寫入請求的資料及讀取已針對其從主機裝置發出讀取請求的資料之一功能，以輸出資料至主機裝置。圖1係依據第一具體實施例之記憶體系統之組態之一範例的方塊圖。記憶體系統10包括作為第一儲存單元之DRAM 11、作為第二儲存單元之NAND型快閃記憶體(下文係「NAND記憶體」)12及驅動控制電路(圖式中表示為「ASIC」)13。

DRAM 11係用作用於資料傳送或用於記錄管理資訊之儲存單元。明確而言，用於資料傳送之儲存單元係用於在將資料寫入於NAND記憶體12內前暫時儲存已針對其從主機裝置發出寫入請求的資料，或用於從NAND記憶體讀取已針對其從主機裝置發出讀取請求的資料並且暫時儲存資料。記錄管理資訊之儲存單元係用於儲存管理資訊，其用於管理待儲存於DRAM 11及NAND記憶體12內之資料的儲存位置。

NAND記憶體12係用作用於儲存資料之儲存單元。明確而言，NAND記憶體12儲存來自主機裝置之資料或儲存針對備份藉由DRAM 11管理之管理資訊。圖1描述NAND記憶體12包括四個平行操作元件120A至120D之情形。平行操作元件120A至120D之每一者包括兩個封裝121，其中將

具有預定大小之記憶體容量的八個晶片122置於一者內。一平行操作元件內之兩個封裝121共用NAND控制器134之控制接針141及輸入/輸出接針142，並且係經由匯流排平行連接至驅動控制電路13。連接至個別平行操作元件120A至120D之匯流排在傳送資料時用作通道15A至15D。在以下解釋中，待連接至個別平行操作元件120A至120D之個別匯流排的寬度假定係8個位元。

驅動控制電路13控制DRAM 11及NAND記憶體12。在第一具體實施例中，驅動控制電路13具有此一組態，即實行各種類型之處理的中央處理單元(CPU)131、在外部裝置(例如主機裝置)與驅動控制電路13間傳送資料的外部介面(圖式中表示為外部IF)132、控制DRAM 11之DRAM控制器133以及控制NAND記憶體12之NAND控制器134係經由內部匯流排135彼此連接。

NAND控制器134包括NAND介面(圖式中表示為NAND-IF)140，其在NAND記憶體12與NAND控制器34間傳送資料，以及NAND控制器控制暫存器150，其控制NAND控制器134之操作。NAND介面140具有用於構成NAND記憶體12之平行操作元件120A至120D之每一者的控制接針141及輸入及輸出(IO)接針142，並且係經由通道15A至15D連接至平行操作元件120A至120D。NAND介面140具有晶片啟用信號輸出單元143，並且係連接至個別平行操作元件120A至120D。在圖1內所示之範例中，提供連接至個別平行操作元件120A至120D之晶片122-0至122-3的晶片啟用信

號線 CE0、連接至晶片 122-4 至 122-7 之晶片啟用信號線 CE1、連接至晶片 122-8 至 122-11 之晶片啟用信號線 CE2 以及連接至晶片 122-12 至 122-15 之晶片啟用信號線 CE3。

此處解釋 NAND 記憶體 12 之組態。NAND 記憶體 12 係藉由在基板上配置複數個區塊加以組態，其係資料抹除之單位。圖 2 係包括於 NAND 記憶體內之一區塊之一組態範例的電路圖。在圖 2 中，圖式上之右及左方向係指定為 X 方向，並且圖式上垂直於 X 方向之方向係指定為 Y 方向。

NAND 記憶體 12 之每一區塊 BLK 包括 $(m+1)$ 個 NAND 字串 NS (m 係等於或大於 0 之整數)，其係沿 X 方向循序配置。個別 NAND 字串 NS 包括 $(n+1)$ (n 係等於或大於 0 之整數) 個記憶體單元電晶體 MT0 至 MTn 及配置於 $(n+1)$ 個記憶體單元電晶體 MT0 至 MTn 之一線的相反端上之選擇電晶體 ST1 及 ST2。

個別記憶體單元電晶體 MT0 至 MTn 包括具有形成於半導體基板上之層壓閘極結構的場效電晶體。層壓閘極結構包括一電荷累積層 (浮動閘極電極)，其係採用置於其間的閘極介電膜形成於半導體基板上；以及一控制閘極電極，其係採用置於其間的閘極間介電膜形成於電荷累積層上。記憶體單元電晶體 MT0 至 MTn 分別係多層級記憶體，其中臨限電壓依據累積於浮動閘極電極內之電子的數目改變，並且可依據臨限電壓之差異儲存等於或大於 2 個位元之資料。在以下所說明之具體實施例中，解釋記憶體單元電晶體 MT 係多層級記憶體之情形作為一範例；然而，記憶體單元電晶體 MT 可具有用於儲存 1 位元之結構 (二進制)。

將字線 WL_0 至 WL_n 分別連接至構成 NAND 字串 NS 之記憶體單元電晶體 MT_0 至 MT_n 的控制閘極電極，並且藉由相同字線 WL_i ($i=0$ 至 n) 將個別 NAND 字串 NS 內之記憶體單元電晶體 MT_i ($i=0$ 至 n) 共同彼此連接。即，在區塊 BLK 內之相同線上的記憶體單元電晶體 MT_i 之控制閘極電極連接至相同字線 WL_i 。連接至相同字線 WL_i 之 $(m+1)$ 個記憶體單元電晶體 MT_i 係作為一頁面處理，並且頁面變成於 NAND 記憶體 12 內之資料之寫入及讀取的最小單位。

將個別位元線 BL_0 至 BL_m 連接至一區塊 BLK 內的 $(m+1)$ 個選擇電晶體 ST_1 之每一者的汲極，並且將選擇閘極線 SGD 共同連接至其閘極。將選擇電晶體 ST_1 之源極連接至記憶體單元電晶體 MT_0 之汲極。同樣，將源極線 SL 共同連接至一區塊 BLK 內之 $(m+1)$ 個選擇電晶體 ST_2 的每一者之源極，並且將選擇閘極線 SGS 共同連接至其閘極。將選擇電晶體 ST_2 之汲極連接至記憶體單元電晶體 MT_n 之源極。

儘管未顯示，一區塊 BLK 內之位元線 BL_j ($j=0$ 至 m) 共同連接至其他區塊 BLK 之位元線 BL_j 中的選擇電晶體 ST_1 之汲極。即，複數個區塊 BLK 內之相同線上的 NAND 字串 NS 係藉由相同位元線 BL_j 連接。

在 NAND 記憶體 12 內，寫入及讀取之最小單位係包括連接至相同字線 WL_i 之記憶體單元電晶體 MT_i 的頁面，並且抹除之最小單位係包括預定數目之頁面的區塊(實體區塊)。複數個區塊一起構成一平面，並且複數個平面構成平行操作元件 120A 至 120D 之一。平行操作元件 120A 至

120D構成一NAND記憶體12。在圖1內所示之範例中，顯示平行操作元件之數目(即，通道之數目)為四且平面之數目為2的情形。晶片122構成平行操作元件120A至120D；然而，平面及區塊係一起存在於一晶片122內。

構成NAND記憶體12之個別平行操作元件120A至120D在寫入及讀取時可在正常模式及雙倍速模式之任何模式中操作。在正常模式中，針對平行操作元件120A至120D之一內的每一區塊實行資料之寫入及讀取。例如，在針對用於第一平面之緩衝器內的一頁面累積資料後，資料至對應於一平行操作元件內之第一平面的區塊之寫入係在相對於指示區塊之頁面單位內實行。同樣，在針對用於第二平面之緩衝器內的一頁面累積資料後，資料至對應於第二平面的區塊之寫入係在相對於指示區塊之頁面單位內實行。資料之讀取亦係針對一頁面實行。

雙倍速模式係用於藉由使用平行操作元件120A至120D之一者內之兩個平面內之個別區塊，對兩個區塊同時實行資料的寫入及讀取。例如，當用於兩個區塊之資料的寫入係相對於一平行操作元件而實行時，用於第一區塊之一頁面的資料係累積於第一平面之緩衝器內，而用於第二區塊之一頁面的資料係累積於第二平面之緩衝器內。接著將累積於第一及第二平面之緩衝器內的資料件分別寫入第一平面之第一區塊及第二平面之第二區塊內(執行一程式)。依此方式，可在一程式時間內寫入用於兩個頁面之資料。資料之讀取可以相同方式實行。

由於平行操作元件 120A 至 120D 係經由通道平行地分別連接至驅動控制電路 13，可平行地存取平行操作元件 120A 至 120D，或者可僅將資料傳送至一通道以存取平行操作元件。

在第一具體實施例中，於圖 1 之情形中，將資料之寫入/讀取速度及通道之平行度組合以提供兩個類型之存取模式。

(1) 8 位元正常模式

在此模式中，僅操作連接至驅動控制電路 13 之四個通道之一通道，以相對於一平行操作元件之區塊，在 8 個位元之單位內實行寫入及讀取。資料之寫入/讀取大小的單位係頁面大小，且抹除大小之單位係一實體區塊大小。

(2) 32 位元雙倍速模式

在此模式中，平行操作連接至驅動控制電路 13 之四個通道，並且藉由使用雙倍速模式，使用個別平行操作元件之兩個平面來實行讀取及寫入。資料之寫入/讀取大小的單位係「頁面大小×4 個通道×2」，且抹除大小之單位係 8 實體區塊大小。

除兩個類型之存取模式外，資料對 NAND 記憶體 12 之寫入及讀取可藉由在將資料寫入至 NAND 記憶體 12 時指定位址來實行。圖 3 係一依據第一具體實施例之 NAND 控制器控制暫存器的組態範例。NAND 控制器控制暫存器 150 包括平行度指定暫存器 151、通道指定暫存器 152 及位址指定暫存器 153。

平行度指定暫存器 151 設定用於每次實行寫入及讀取之通道數目，即平行度。在此情形中，可設定一個通道及四個通道之任一者。當設定一個通道時，讀取及寫入之速度必須變成正常模式之速度，而當設定四個通道時，讀取及寫入之速度變成雙倍速模式之速度。即，當藉由平行度指定暫存器 151 設定一個通道時，存取模式係 8 位元正常模式，而當設定四個通道時，存取模式係 32 位元雙倍速模式。

通道指定暫存器 152 將通道設定為在存取時間使用，而不同時使用所有通道。在此範例中，當藉由平行度指定暫存器 151 設定一個通道時，從通道 15A 至 15D 設定實行寫入/讀取程序或抹除程序的一個通道。當藉由平行度指定暫存器 151 設定四個通道 15A 至 15D 時，通道指定暫存器 152 指示「未指定」。

位址指定暫存器 153 設定實行寫入/讀取程序或抹除程序之平行操作元件 120A 至 120D 上的位址。

接下來解釋待設定於 NAND 控制器控制暫存器 150 內之 CPU 131 的功能。圖 4 係 CPU 之功能組態之一範例的方塊圖。CPU 131 包括資料傳送處理器 1311，其在 DRAM 11 與 NAND 記憶體 12 間實行資料傳送；管理資訊管理單元 1312，其採用待儲存於 DRAM 11 及 NAND 記憶體 12 內之資料的變化改變或儲存管理資訊；管理資訊復原單元 1313，其基於儲存於 NAND 記憶體 12 內之管理資訊在通電時復原最新管理資訊；以及處理條件設定單元 1314，其相對於

NAND 記憶體 12 實行對處理條件設定單元 1314 的存取條件之設定。

處理條件設定單元 1314 依據待寫入於 NAND 記憶體 12 內之資料的類型或待從 NAND 記憶體 12 讀取之資料的類型實行相對於 NAND 控制器控制暫存器 150 之設定。在以下解釋之範例中，可將處理條件設定單元 1314 設定成在從主機裝置指示對其存取之資料的情形中，程序係在 32 位元雙倍速模式中實行，以及當寫入或讀取在記憶體系統 10 內產生之資料時，程序係在 8 位元正常模式中實行。

存在管理資訊儲存資訊，其係用於管理待儲存於 NAND 記憶體 12 內之資料之儲存位置的管理資訊之備份，作為當在 8 位元正常模式中實行程序時於記憶體系統 10 內產生的資料。管理資訊係藉由 CPU 131 內之管理資訊管理單元 1312 在 DRAM 11 上管理。管理資訊管理單元 1312 儲存一快照，其係管理資訊在特定時間點處的複本；以及一日誌，其係當變化發生於管理資訊內時，管理資訊在變化前及後之差異資訊，作為 NAND 記憶體 12 內之管理資訊儲存資訊。通常，當正在操作記憶體系統 10 時，頻繁發出用於將 DRAM 11 上之管理資訊保存於 NAND 記憶體 12 內的命令(清空快照命令)，以及將日誌(其係管理資訊之更新)寫入於 NAND 記憶體 12 內。在斷電時，將 DRAM 11 上之管理資訊作為快照寫入於 NAND 記憶體 12 內。

接下來解釋記憶體系統 10 內之資料傳送操作。圖 5 係記憶體系統內之資料傳送程序的一範例。在此範例中，解釋

在 DRAM 11 與 NAND 記憶體 12 間實行資料傳送之情形。CPU 131 內之處理條件設定單元 1314 獲得在 DRAM 11 與 NAND 記憶體 12 間傳送之資料的類型及待 NAND 記憶體 12 上存取之位址(晶片 122)。

處理條件設定單元 1314 決定資料之類型以相對於平行度指定暫存器 151 設定 NAND 控制器控制暫存器 150 內之平行度(「1」或「4」)。即，處理條件設定單元 1314 在從主機裝置請求資料之情形中將平行度設定至「4」，並且在產生於記憶體系統 10 內之資料的寫入或讀取之情形中將平行度設定至「1」。處理條件設定單元 1314 基於資料之目的地位址將待藉由 NAND 記憶體 12 使用之通道(當平行度為「1」時係通道之任一者，而當平行度為「4」時係「未指定」)設定至通道指定暫存器 152，並且將目的地位址設定至位址指定暫存器 153(步驟 S11)。當藉由處理條件設定單元 1314 對 NAND 控制器控制暫存器 150 之設定完成時，藉由資料傳送處理器 1311 開始 DRAM 11 與 NAND 記憶體 12 間的資料傳送。

之後，NAND 控制器控制暫存器 150 將平行度指定暫存器 151 之值及通道指定暫存器 152 之值傳送至 NAND 介面 140(步驟 S12)。NAND 介面 140 控制藉由平行度指定暫存器 151 及通道指定暫存器 152 指定之通道。NAND 介面 140 接著實行用於存取位於藉由位址指定暫存器 153 指定之位址的資料之控制(步驟 S13)。相應地，控制在 DRAM 11 與 NAND 記憶體 12 間傳送之資料的傳送。

在步驟 S12 及 S13 處藉由 NAND 控制器 134 實行之資料存取控制程序係針對 8 位元正常模式之情形及 32 位元雙倍速模式之情形循序解釋。圖 6(a) 及 6(b) 描述在 8 位元正常模式之情形中資料存取控制的處理狀態，其中圖 6(a) 描述 NAND 控制器與 NAND 記憶體間之資料存取控制狀態的概要，而圖 6(b) 描述信號至構成 NAND 記憶體之個別晶片的輸入狀態。此處解釋一範例，其中將「1」設定為平行度（即，設定 8 位元正常模式），將「Ch1」（平行操作元件 120B）指定為通道，以及將「晶片 122-10」指定為位址。然而，在實務中，代替晶片，將晶片 122（平行操作元件 120A 至 120D）內之位址指定為位址。

如圖 6(a) 內所示，NAND 介面 140 控制一控制接針 141A 及一輸入/輸出接針 142A，使得僅在從 NAND 控制器控制暫存器 150 接收平行度指定暫存器 151 之值及通道指定暫存器 152 之值後將信號傳輸至「Ch1」。另外，如圖 6(b) 內所示，NAND 介面 140 內之晶片啟用信號輸出單元 143 僅經由晶片啟用信號線 CE2 供應晶片啟用信號至藉由位址指定暫存器 153 指定之晶片 122-10 內的位址。因此，在正常模式內而非平行模式內於 DRAM 11 與 NAND 記憶體 12 內之平行操作元件 120B 之晶片 122-10 內的預定位址間實行資料傳送。

圖 7(a) 及 7(b) 描述在 32 位元雙倍速模式之情形中資料存取控制的處理狀態，其中圖 7(a) 描述 NAND 控制器與 NAND 記憶體間之資料存取控制狀態的概要，而圖 7(b) 描述信號

至構成 NAND 記憶體之個別晶片的輸入狀態。此處解釋一範例，其中將「4」設定為平行度(即，設定32位元雙倍速模式)，將「未指定」指定為通道，以及將「晶片122-5」指定為位址。

如圖 7(a)內所示，NAND 介面 140 控制所有控制接針 141 及所有輸入/輸出接針 142，使得在從 NAND 控制器控制暫存器 150 接收平行度指定暫存器 151 之值及通道指定暫存器 152 之值後將信號傳輸至所有平行操作元件 120A 至 120D。此時，NAND 介面 140 控制個別平行操作元件 120A 至 120D，以便在雙倍速模式中實行資料寫入及讀取。另外，如圖 7(b)內所示，NAND 介面 140 內之晶片啟用信號輸出單元 143 僅經由晶片啟用信號線 CE1 供應晶片啟用信號至藉由位址指定暫存器 153 指定之晶片 122-5 內的位址。因此，在雙倍速模式內於 DRAM 11 與 NAND 記憶體 12 內之所有平行操作元件 120A 至 120D 之晶片 122-5 內的預定位址間四者平行地實行資料傳送。

當結束藉由透過 NAND 控制器控制暫存器 150 指定之條件指定的資料傳送時，結束資料傳送程序。

在以上解釋中，藉由不僅包括通道之平行度亦包括資料傳送速度的平行度指定暫存器 151 控制 NAND 記憶體 12 內之個別通道。然而，平行度指定暫存器 151 可僅指定通道之平行度，並且可分離地提供用於指定傳送速度之傳送速度指定暫存器以在正常模式與雙倍速模式間轉換。依據此一組態，可藉由分離地指定平行度及資料傳送速度使平行度

及資料傳送速度之組合更廣泛。在以上解釋中，可僅選擇「1」或「4」之平行度；然而，平行度可在最大通道數目之範圍內加以選擇。

另外，以上已解釋一範例，其中處理條件設定單元1314設定處理條件使得待從主機裝置存取之資料係在32位元雙倍速模式中存取，以及產生於NAND記憶體12內之資料係在8位元正常模式中存取。然而，在具有數十十億位元組之記憶體容量的NAND記憶體12之情形中，管理資訊之大小增加，並且作為管理資訊之備份之快照具有大約「區塊大小 $\times 2 \times 4$ 個通道」之大小。另一方面，由於日誌係差異資訊，日誌一般具有大約頁面大小之大小。因此，處理條件設定單元1314可設定處理條件使得相對於待從主機裝置存取之資料及管理資訊儲存資訊內之快照實行寫入及讀取時，該等資訊件係在32位元雙倍速模式中存取，而當實行管理資訊儲存資訊內之日誌的寫入及讀取時，資訊係在8位元正常模式中存取。相同原理適用於以下所說明之具體實施例。

依據第一具體實施例，通道15A至15D之平行度及對NAND控制器134內之NAND記憶體12的資料存取時間之傳送速度係依據資料之類型藉由平行度指定暫存器151指定，並且藉由通道指定暫存器152指定當未使用所有通道15A至15D時待使用的通道。結果，當實行小於預定大小之資料的寫入時，例如產生於記憶體系統10內之資料之日誌，一選定通道係在8位元正常模式中使用，以致能按頁

面單位寫入至平行操作元件120A至120D之一選定區塊內，從而致能增加寫入效率。另外，在需要重寫之資料之情形中，平行度減小，從而致能避免未針對其實行重寫的實體區塊之無用抹除。另一方面，當寫入、讀取或重寫等於或大於預定大小之資料時，例如從主機裝置指示之資料或快照，設定傳送速度以加倍正常模式之速度，並且藉由增加平行度(例如四者平行)，與8位元正常模式相比可在雙倍速度下寫入或讀取四倍數量之資料。因此，可依據待存取之資料的大小實行有效寫入/讀取程序，並且可藉由避免重寫時之無用抹除延伸記憶體系統10之服務壽命。

在第一具體實施例中，藉由NAND控制器控制暫存器150內之平行度指定暫存器151指定通道之平行度，並且依據指定平行度藉由通道指定暫存器152指定待使用之通道。在本發明之第二具體實施例中，解釋在藉由資料傳送處理器實行資料傳送時藉由設計位址設定方法減小待設定於NAND控制器控制暫存器150內的條件數目之方法。

圖8係依據第二具體實施例之位址分配方法的範例。在第一具體實施例中，說明將實體位址獨立地分配給構成NAND記憶體12之平行操作元件120A至120D之每一者並且實體位址之範圍係從0至5000的情形作為一範例。此時，CPU 131內之資料傳送處理器1311具有一功能，其用於指定0至5000(其係有效位址範圍)中之一值作為僅用於連接至平行操作元件120A至120D中待存取之平行操作元件的通道之位址，以及指定有效位址範圍外部之一數值(例如

5001)作為用於連接至平行操作元件120A至120D中不存取之平行操作元件的通道之位址。

藉由透過資料傳送處理器1311指定位址，指定通道之平行度及在實行資料傳送時待使用之通道。結果，NAND控制器控制暫存器150不需要平行度指定暫存器151及通道指定暫存器152，而僅需要位址指定暫存器153。另外，處理條件設定單元1314僅需要在位址指定暫存器153內指定待藉由資料傳送處理器1311存取之位址。

圖9(a)及9(b)係依據第二具體實施例之定址方法的範例。在此範例中，資料傳送處理器1311僅可選擇「1」或「4」作為平行度，並且平行度包括資料傳送速度之資訊。即，當實行將平行度指定為「1」之定址時，吾人認為選擇8位元正常模式，而當實行將平行度指定為「4」之定址時，吾人認為選擇32位元雙倍速模式。在以下解釋中，假定用於指定通道的通道之識別符分別係Ch0、Ch1、Ch2及Ch3。

在圖9(a)中，對指定至通道Ch0、Ch1及Ch3無效的通道位址(5001)係在藉由資料傳送處理器1311進行資料存取時間指定於位址指定資訊內，並且指定對指定至通道Ch2有效的位址。因此，吾人認為指定平行度「1」並且指定「Ch2」作為通道。結果，NAND控制器134決定其係資料存取程序，其中平行度係指示僅使用通道Ch2之「1」，並且資料存取速度係正常模式，以實行程序。此時，處理條件設定單元1314在位址指定暫存器153內設定已指定位

址。因此，當採用平行度「1」實执行程序時，設定僅對待使用之通道有效的位址範圍內之位址，並且將有效位址範圍外部之位址指定至位址指定資訊內之其他通道。

在圖9(b)中，由於藉由資料傳送處理器1311將有效位址設定至位址指定資訊內之所有通道Ch0至Ch3，指定平行度「4」，並且指定「未指定」作為通道。結果，NAND控制器134決定其係資料存取程序，其中平行度係指示使用所有通道Ch0至Ch3以及雙倍速模式中的資料存取速度之「4」，以實执行程序。此時，處理條件設定單元1314在位址指定暫存器153內設定已指定位址。

在以上解釋中，資料傳送速度係包括於由資料傳送處理器1311進行之位址設定中之平行度的指定內。然而，組態可係使得由資料傳送處理器1311在位址設定中指定不包括資料傳送速度的純平行度，且資料傳送速度係透過在NAND控制器控制暫存器150內分離地提供傳送速度指定暫存器，藉由處理條件設定單元1314來設定。

依據第二具體實施例，當針對待藉由資料傳送處理器1311存取之資料，將位址設定於存取指定資訊內時，將無效位址範圍內之值設定至平行操作元件120A至120D中未存取之平行操作元件。因此，不需要在NAND控制器控制暫存器150內提供用於指定平行度之平行度指定暫存器151，從而致能簡化記憶體系統10之裝置組態。

在第二具體實施例中，將從0至5000之範圍內的位址分別分配給每一平行操作元件，並且將有效位址範圍外部之

位址值指定至待連接至未實行資料傳送程序之平行操作元件的通道，以藉此設定平行度，且因此未提供平行度指定暫存器及通道指定暫存器。在本發明之第三具體實施例中，解釋藉由另一位址指定方法設定平行度且未提供平行度指定暫存器及通道指定暫存器的情形。

圖10係依據第三具體實施例之NAND記憶體內之位址分配方法的範例。在第二具體實施例中，如圖8內所示，將位址分配給構成NAND記憶體12之平行操作元件120A至120D之每一者。然而，在第三具體實施例中，如圖10內所示，從平行操作元件120A、120B、120C及120D之頭部依序分配位址0、1、2、3，並且之後依此順序分配位址以分配作為整個NAND記憶體12之一位址。即，當假定 n 係等於或大於0之整數時，以十進制記號說明位址，位址0、4、8、...、 $2n$ 、...係分配給平行操作元件120A(Ch0)，位址1、5、9、...、 $2n+1$ 、...係分配給平行操作元件120B(Ch1)，位址2、6、10、...、 $2n+2$ 、...係分配給平行操作元件120C(Ch2)，位址3、7、11、...、 $2n+3$ 、...係分配給平行操作元件120D(Ch3)。

藉由依此方式分配位址，在十進制記號中，當藉由將位址除以4獲得之餘數係「4」時，指示平行操作元件120A(Ch0)，當餘數係「1」時，指示平行操作元件120B(Ch1)，當餘數係「2」時，指示平行操作元件120C(Ch2)，而當餘數係「3」時，指示平行操作元件120D(Ch3)。即，二進制記號內之位址之最後兩個數位係

Ch0內之「00」、Ch1內之「01」、Ch2內之「10」及Ch3內之「11」。因此，該等數字可用作用於識別通道之通道識別資訊(對應於申請專利範圍內之平行操作元件識別資訊)。可依據通道識別資訊之存在設定通道使用之存在及平行度。

即，資料傳送處理器1311實行定址，使得平行操作元件120A至120D中待存取之平行操作元件的資料內包括通道之通道識別資訊，而平行操作元件120A至120D中不存取之平行操作元件的資料內不包括通道之通道識別資訊。明確而言，資料傳送處理器1311將識別通道(平行操作元件)之值(通道識別資訊)指派至平行操作元件120A至120D中待存取之平行操作元件之資料位址之最後兩個數位，並且將除識別通道(平行操作元件)之值(通道識別資訊)外的一值指派至平行操作元件120A至120D中不存取之平行操作元件之位址的最後兩個數位。

圖11(a)及11(b)係依據第三具體實施例之位址指定方法的範例。在此範例中，假定資料傳送處理器1311僅可選擇平行度「1」及「4」之任一者，並且平行度包括資料傳送速度。即，當實行定址以便將平行度指定為「1」時，吾人認為選擇8位元正常模式，而當實行定址以便將平行度指定為「4」時，吾人認為選擇32位元雙倍速模式。

在圖11(a)中，在藉由資料傳送處理器1311進行之存取指定資訊內，將無效位址指定為通道Ch0、Ch1及Ch3之位址。即，在待指定至通道Ch0、Ch1及Ch3之個別位址中，

於十進制記號中，藉由將位址除以4獲得之餘數最初應分別係0、1及3；然而在此情形中，餘數對於所有該等通道係2。另一方面，僅將有效位址指定至通道Ch2。即，藉由將十進制記號的通道Ch2之位址除以4獲得的餘數係2。結果，NAND控制器134決定其係資料存取程序，其中平行度係指示僅使用通道Ch2以及正常模式中之資料存取速度之「1」，以實行程序。因此，在採用平行度「1」實行之程序之情形中，僅將位址設定至待使用之通道，以便包括設定至通道之通道識別資訊(即，設定最初待存取之位址)，並且將不包括通道識別資訊之位址設定至其他平行操作元件。

在圖11(b)中，藉由資料傳送處理器1311將有效位址指定至位址指定資訊內之所有通道Ch0至Ch3。即，指定至所有通道Ch0至Ch3之位址包括個別通道Ch0至Ch3內之有效通道識別資訊。更明確而言，藉由將十進制記號的通道Ch0、Ch1、Ch2及Ch3之個別位址除以4獲得的餘數分別係0、1、2及3。結果，NAND控制器134決定其係資料存取程序，其中平行度係指示使用所有通道Ch0至Ch3以及雙倍速度模式中的資料存取速度之「4」，以實行程序。

在以上解釋中，資料傳送速度係包括於藉由資料傳送處理器1311進行之位址設定中的平行度之指定內。然而，組態可係使得藉由資料傳送處理器1311在位址設定中指定不包括資料傳送速度之純平行度，並且資料傳送速度係透過在NAND控制器控制暫存器150內分離地提供傳送速度指定

暫存器藉由處理條件設定單元1314來設定。

依據第三具體實施例，當資料傳送處理器1311設定位址時，採用不包括其通道識別資訊之無效位址設定不存取之平行操作元件。因此，不需要在NAND控制器控制暫存器150內提供用於指定平行度之平行度指定暫存器151及用於指定待使用之通道之通道指定暫存器152，從而致能簡化記憶體系統10之裝置組態。

在本發明之第四具體實施例中，解釋在NAND記憶體內定義用於儲存具有低平行度之資料的專有區域之情形。

圖12係依據NAND記憶體內之平行度之區域分段的範例。如圖12內所示，提供用於儲存低平行度資料之低平行度儲存區域1210及用於儲存高平行度資料之高平行度儲存區域1220。即，實行定址以便劃分低平行度儲存區域1210。低平行度儲存區域1210係在從位址0至200之範圍內，並且高平行度儲存區域1220係在從位址201至XXX之範圍內。假定變成低平行度儲存區域1210與高平行度儲存區域1220間之邊界的位址係經預定。作為低平行度儲存區域1210之特定範例，例如，可提及用於儲存管理資訊儲存資訊之區域，更明確而言係用於將日誌儲存於管理資訊儲存資訊內之區域。作為高平行度儲存區域1220之特定範例，可提及用於儲存針對其從主機裝置指示儲存的資料之區域及用於將快照儲存於管理資訊儲存資訊內之區域。

此範例指示將平行度設定至「1」或「4」之情形，並且假定平行度包括資料傳送速度。即，在8位元正常模式中

以一速度存取具有平行度「1」之低平行度儲存區域1210，並且在32位元正常模式中以一速度存取具有平行度「4」之高平行度儲存區域1220。

因此，藉由依據平行度內之差異分段待存取之區域，可在NAND控制器134側上解碼位址並且可辨識傳送平行度。即，當目的地位址係0至200時，區域係低平行度儲存區域1210，且因此NAND介面140在具有平行度「1」之8位元正常模式中存取低平行度儲存區域1210，以及當目的地位址係201至XXX時，區域係高平行度儲存區域1220，且因此NAND介面130在具有平行度「4」之32位元雙倍速模式中存取高平行度儲存區域1220。

接下來解釋具有此一組態的記憶體系統10內之資料傳送程序的一操作。圖13係依據第四具體實施例之記憶體系統內的資料傳送程序之範例。在此範例中，解釋在DRAM 11與NAND記憶體12間實行資料傳送之情形。CPU 131內之處理條件設定單元1314獲得待在DRAM 11與NAND記憶體12間傳送之資料的類型及位址。

處理條件設定單元1314接著基於資料之類型及位址相對於通道指定暫存器152設定對應於目的地位址之平行操作元件120A至120D，並且相對於NAND控制器控制暫存器150內的位址指定暫存器153設定目的地位址(步驟S31)。當藉由處理條件設定單元1314對NAND控制器控制暫存器150之設定完成時，藉由處理條件設定單元1314開始DRAM 11與NAND記憶體12間的資料傳送程序。

NAND控制器134內之NAND介面140基於藉由NAND控制器控制暫存器150內的通道指定暫存器152指定之通道及藉由位址指定暫存器153指定之位址決定用於存取資料之平行度，以控制待使用之平行操作元件120A至120D(步驟S32)。即，當位址係從0至200時，由於目的地位於低平行度儲存區域1210內，在8位元正常模式中實行存取，而當位址係從201至XXX時，由於目的地位於高平行度儲存區域1220內，在32位元雙倍速度中實行存取。相應地，控制在DRAM 11與NAND記憶體12間傳送之資料的傳送。當資料存取完成時，結束資料傳送程序。

在步驟S32，NAND介面140決定平行度以控制對NAND記憶體12內之個別通道的存取，然而，NAND控制器控制暫存器150可將通道指定暫存器152內之通道集及位址指定暫存器153內之目的地位址集的值傳輸至NAND介面140，以便NAND控制器控制暫存器150側控制通道(步驟S32')。

在以上解釋中，資料傳送速度係包括於平行度之指定中。然而，組態可係使得指定不包括資料傳送速度之純平行度，並且資料傳送速度係透過在NAND控制器控制暫存器150內分離地提供傳送速度指定暫存器藉由處理條件設定單元1314來設定。

依據第四具體實施例，由於NAND記憶體12係依據待存取之資料的平行度之差異分段成區域，可依據目的地位址設定平行度，並且不需要在NAND控制器控制暫存器150內提供用於指定平行度之平行度指定暫存器151，從而致能

簡化記憶體系統10之裝置組態。

在第四具體實施例中，說明在NAND記憶體內提供低平行度儲存區域及高平行度儲存區域之情形。然而，在本發明之第五具體實施例中，解釋NAND記憶體內的低平行度儲存區域之大小及高平行度儲存區域之大小係可變的此一組態。

圖14示意性地描述依據第五具體實施例之NAND控制器控制暫存器的一組態範例。除通道指定暫存器152及位址指定暫存器153外，NAND控制器控制暫存器150包括低平行度儲存區域指定暫存器154，其可改變用於儲存具有低平行度之資料的低平行度儲存區域1210之位址區域。低平行度儲存區域指定暫存器154係藉由CPU 131內之處理條件設定單元1314設定，並且可改變低平行度儲存區域1210之大小。

圖15(a)及15(b)係改變低平行度儲存區域之大小的範例。在圖15(a)中，低平行度儲存區域指定暫存器154將低平行度儲存區域1210設定至從位址0至位址200之範圍。另一方面，在圖15(b)中，低平行度儲存區域指定暫存器154將低平行度儲存區域1210設定至從位址0至位址300之範圍。依此方式，可藉由透過處理條件設定單元1314任意設定低平行度儲存區域指定暫存器154之值改變低平行度儲存區域1210之大小。

在以上解釋中，顯示提供改變低平行度儲存區域1210之位址範圍的低平行度儲存區域指定暫存器154之情形，然

而，本發明並不限於其。例如，可提供平行度儲存區域設定暫存器，其改變用於儲存任意平行度 s (s 係自然數)之資料的儲存區域之大小。由於第五具體實施例內之資料傳送程序與第四具體實施例內者相同，故將省略其解釋。

依據第五具體實施例，由於提供平行度儲存區域設定暫存器，其改變用於儲存具有特定平行度之資料的平行度儲存區域內的位址範圍，可任意設定用於儲存具有特定平行度之資料所需的區域。

在以上解釋中，已解釋其中記憶體系統使用NAND記憶體作為第二儲存單元的範例，然而，本發明並不限於其。NAND記憶體可包括能夠記錄等於或大於2個位元之多值資料的記憶體單元電晶體，而不包括能夠記錄二進制值之記憶體單元電晶體。可將以上具體實施例應用於記憶體系統使用另一非揮發性半導體記憶體作為第二儲存單元的情形。在以上解釋中，NAND記憶體12內之資料之寫入及讀取的單位係頁面大小之單位，並且抹除單位及管理單位係區塊大小之單位，然而，本發明並不限於其，並且可分別使用任意單位。

在以上解釋中，已解釋其中第一儲存單元係DRAM 11(其係揮發性記憶體)並且第二儲存單元係NAND記憶體12(其係非揮發性記憶體)的記憶體系統之範例，然而，本發明並不限於其。例如，可將以上具體實施例應用於一記憶體系統，其中第一儲存單元係非揮發性記憶體並且第二儲存單元亦係非揮發性記憶體。在此情形中，不需要儲存

管理資訊儲存資訊(例如快照，其係藉由第一儲存單元(非揮發性記憶體)管理之管理資訊的備份)及第二儲存單元(NAND記憶體)內之日誌的程序。然而，可依據資料大小改變平行度及資料傳送速度。

依據本發明，可儲存小於區塊大小之資料及大於區塊大小之資料而不劣化寫入效率。

熟習此項技術人士可易於發現額外的優點及修改。因此，本發明的廣泛態樣並不限定於本文所述的特定細節及其代表的具體實施例。因此，可進行各種修改而不脫離如藉由隨附申請專利範圍及其等效物所定義的一般發明概念之精神或範疇。

【圖式簡單說明】

圖1係依據本發明之第一具體實施例的記憶體系統之組態之一範例的方塊圖；

圖2係包括於NAND記憶體內之一區塊之一組態範例的電路圖；

圖3係依據第一具體實施例之NAND控制器控制暫存器的一組態範例；

圖4係CPU之功能組態之一範例的方塊圖；

圖5係記憶體系統內之資料傳送程序的一範例；

圖6(a)及6(b)描述在8位元正常模式之情形中的資料存取控制之處理狀態；

圖7(a)及7(b)描述在32位元雙倍速模式之情形中的資料存取控制之處理狀態；

圖 8 係依據本發明之第二具體實施例之位址分配方法之範例；

圖 9(a) 及 9(b) 係依據第二具體實施例之定址方法的範例；

圖 10 係依據本發明之第三具體實施例的 NAND 記憶體內之位址分配方法之範例；

圖 11(a) 及 11(b) 係依據第三具體實施例之位址指定方法的範例；

圖 12 係依據 NAND 記憶體內之平行度之區域分段的範例；

圖 13 係依據本發明之第四具體實施例的記憶體系統內之資料傳送程序之範例；

圖 14 示意性地描述依據本發明之第五具體實施例的 NAND 控制器控制暫存器之一組態範例；以及

圖 15(a) 及 15(b) 係改變低平行度儲存區域之大小的範例。

【主要元件符號說明】

10	記憶體系統
11	DRAM
12	NAND 記憶體 / NAND 型快閃記憶體
13	驅動控制電路
15A 至 15D	通道
120A	平行操作元件
120B	平行操作元件

120C	平行操作元件
120D	平行操作元件
121	封裝
122-0至122-15	晶片
131	中央處理單元(CPU)
132	外部介面
133	DRAM控制器
134	NAND控制器
135	內部匯流排
140	NAND介面
141	控制接針
141A	控制接針
142	輸入/輸出接針
142A	輸入/輸出接針
143	晶片啟用信號輸出單元
150	NAND控制器控制暫存器
151	平行度指定暫存器
152	通道指定暫存器
153	位址指定暫存器
154	低平行度儲存區域指定暫存器
1210	低平行度儲存區域
1220	高平行度儲存區域
1311	資料傳送處理器
1312	管理資訊管理單元

1313	管理資訊復原單元
1314	處理條件設定單元
BL0至BLm	位元線
BLK	區塊
CE0	晶片啟用信號線
CE1	晶片啟用信號線
CE2	晶片啟用信號線
CE3	晶片啟用信號線
Ch0	通道
Ch1	通道
Ch2	通道
Ch3	通道
MT0至MTn	記憶體單元電晶體
NS	NAND字串
SGD	選擇閘極線
SGS	選擇閘極線
SL	源極線
ST1	選擇電晶體
ST2	選擇電晶體
WL0至WLn	字線

七、申請專利範圍：

1. 一種記憶體系統，其包含：

一揮發性第一儲存單元；

一非揮發性第二儲存單元，其儲存經由該第一儲存單元從一主機裝置所傳輸之資料，其中一記憶體區域包括複數個平行操作元件；以及

一控制器，其實行在該第一儲存單元與該第二儲存單元間或在該第二儲存單元內之資料傳送，其中

該控制器包括：

一介面指定單元，其相對於一介面單元，指定平行操作元件指定資訊及存取之該資料之一位址，該平行操作元件指定資訊指示用於存取該資料之該第二儲存單元內之該平行操作元件；

該介面單元，其係平行連接至該第二儲存單元內之該等個別平行操作元件，用於存取基於由該介面指定單元所指定之該平行操作元件指定資訊及該位址而選擇之該第二儲存單元內之一或複數個平行操作元件之該位址；及

一控制單元，其在資料存取時，依據存取之該資料的類型，將用於該資料存取之該平行操作元件指定資訊設定至該介面指定單元。

2. 如請求項1之記憶體系統，其中

該平行操作元件具有複數個平面，且經構成使得一正常模式及一雙倍速模式可被切換，在該正常模式中於存

取該等平行操作元件時，同時使用之平面數目為1，而在該雙倍速模式中，該平面數目係複數；

該介面指定單元進一步包括用於指定該第二儲存單元內之該等平行操作元件內之資料之一模式之功能；且

該控制單元進一步包括用於在該資料存取時依據該資料之該類型而指定相對於該介面指定單元之該資料之該模式的功能。

3. 如請求項1之記憶體系統，其中該控制器進一步包括一資料傳送處理器，其經由該第一儲存單元在該主機裝置與該第二儲存單元間實行資料存取；且

當藉由該資料傳送處理器存取之該資料係由該主機裝置指示存取的資料時，該控制單元設定該介面指定單元以使用所有該等平行操作元件。

4. 如請求項1之記憶體系統，其中當存取產生於該記憶體系統內之資料時，該控制單元設定該介面指定單元，以僅使用一個平行操作元件。

5. 如請求項4之記憶體系統，其中在該記憶體系統內產生之該資料係由該控制器管理的管理資訊而包括儲存於該第二儲存單元內之該資料之一儲存位置。

6. 如請求項1之記憶體系統，其中該第一儲存單元儲存包括儲存於該第二儲存單元內之該資料之一儲存位置的管理資訊，

該第二儲存單元具有一管理資訊儲存區域，用於儲存包括一快照之管理資訊儲存資訊及一日誌，上述快照係

位於一特定時間點之該管理資訊之一複本，上述日誌係當一變化發生於該管理資訊內時，在該變化前及後之該管理資訊的差異資訊；且

當該日誌儲存於該管理資訊儲存區域內時，該控制單元設定該介面指定單元，以在一正常模式中僅使用一個平行操作元件，並且當該快照儲存於該管理資訊儲存區域內時，該控制單元設定該介面指定單元，以在一雙倍速模式中使用所有該等平行操作元件。

7. 如請求項1之記憶體系統，其中該第一儲存單元係一動態隨機存取記憶體(DRAM)，且該第二儲存單元係一NAND型快閃記憶體。

8. 一種記憶體系統，其包含：

一揮發性第一儲存單元；

一非揮發性第二儲存單元，其儲存經由該第一儲存單元從一主機裝置所傳輸之資料，其中一記憶體區域包括複數個平行操作元件；及

一控制器，其包括：一介面指定單元，其相對於一介面單元，指定用於存取該資料之一位址；該介面單元，其係平行連接至該第二儲存單元內之該等個別平行操作元件，用於基於藉由該介面指定單元所指定之該位址存取該資料；及一控制單元，其在該資料存取時，將該第二儲存單元內之一目的地之位址設定至該介面指定單元，且其控制在該第一儲存單元與該第二儲存單元間或在該第二儲存單元內之資料傳送，其中

該控制單元依據在該資料存取時存取之該資料之該類型而決定用於該介面單元與該第二儲存單元間之該資料存取之該平行操作元件，且相對於該介面指定單元，設定用於所使用之該平行操作元件之一有效位址及用於不使用之該平行操作元件之一無效位址。

9. 如請求項8之記憶體系統，其中在該第二儲存單元內，針對該等平行操作元件之每一者分配一位址。
10. 如請求項8之記憶體系統，其中當將一位址整體分配給該第二儲存單元以便包括能夠識別該第二儲存單元內之每一平行操作元件的平行操作元件識別資訊時，該控制單元相對於該介面指定單元設定該有效位址，其包括用於使用於該資料存取之該平行操作元件之該平行操作元件識別資訊，並且設定該無效位址，其不包括用於不使用之該平行操作元件之該平行操作元件識別資訊。
11. 如請求項8之記憶體系統，其中該第二儲存單元內之該等個別平行操作元件藉由一平行度具有一資料儲存區域，其中依據在該資料存取時所使用之平行操作元件的數目而設定所存取之一記憶體區域，

該控制單元在該資料存取時依據該資料之該類型而藉由一平行度選擇該資料儲存區域，並且藉由一平行度將該資料儲存區域內之該位址設定至該介面指定單元；且

該介面單元基於設定至該介面指定單元之該位址而決定該等平行操作元件之該數目，以實行在該第二儲存單元與該介面單元間之該資料存取。

12. 如請求項11之記憶體系統，其中該介面指定單元進一步包括一功能，其用於藉由針對該第二儲存單元內之該等個別平行操作元件提供之一平行度而指定該資料儲存區域之一範圍。

13. 如請求項8之記憶體系統，其中

該平行操作元件具有複數個平面，並且經構成使得一正常模式及一雙倍速模式可被切換，在該正常模式中，於存取該等平行操作元件時，同時使用之平面數目為1，而在該雙倍速模式中，該平面數目係複數，

該介面指定單元進一步包括一功能，其用於指定該第二儲存單元內之該等平行操作元件內之資料之一模式；且

該控制單元進一步包括一功能，其用於在該資料存取時依據該資料之該類型，指定相對於該介面指定單元之該資料之該模式。

14. 如請求項8之記憶體系統，其中該控制器進一步包括一資料傳送處理器，其經由該第一儲存單元於該主機裝置與該第二儲存單元間實行資料存取，以及

當藉由該資料傳送處理器存取之該資料係由該主機裝置指示存取的資料時，該控制單元設定該介面指定單元以使用所有該等平行操作元件。

15. 如請求項8之記憶體系統，其中當存取在該記憶體系統內產生之資料時，該控制單元設定該介面指定單元，以僅使用一個平行操作元件。

16. 如請求項 15 之記憶體系統，其中在該記憶體系統內產生之該資料係由該控制器管理之管理資訊而包括儲存於該第二儲存單元內之該資料之一儲存位置。

17. 如請求項 8 之記憶體系統，其中該第一儲存單元儲存包括儲存於該第二儲存單元內之該資料之一儲存位置的管理資訊，

該第二儲存單元具有一管理資訊儲存區域，用於儲存包括一快照之管理資訊儲存資訊及一日誌，上述快照係位於一特定時間點之該管理資訊之一複本，上述日誌係當一變化發生於該管理資訊內時，在該變化前及後之該管理資訊的差異資訊；且

當該日誌儲存於該管理資訊儲存區域內時，該控制單元設定該介面指定單元，以在一正常模式中僅使用一平行操作元件，並且當該快照儲存於該管理資訊儲存區域內時，該控制單元設定該介面指定單元，以在一雙倍速模式中使用所有該等平行操作元件。

18. 如請求項 8 之記憶體系統，其中該第一儲存單元係一動態隨機存取記憶體 (DRAM)，且該第二儲存單元係一 NAND 型快閃記憶體。

八、圖式：

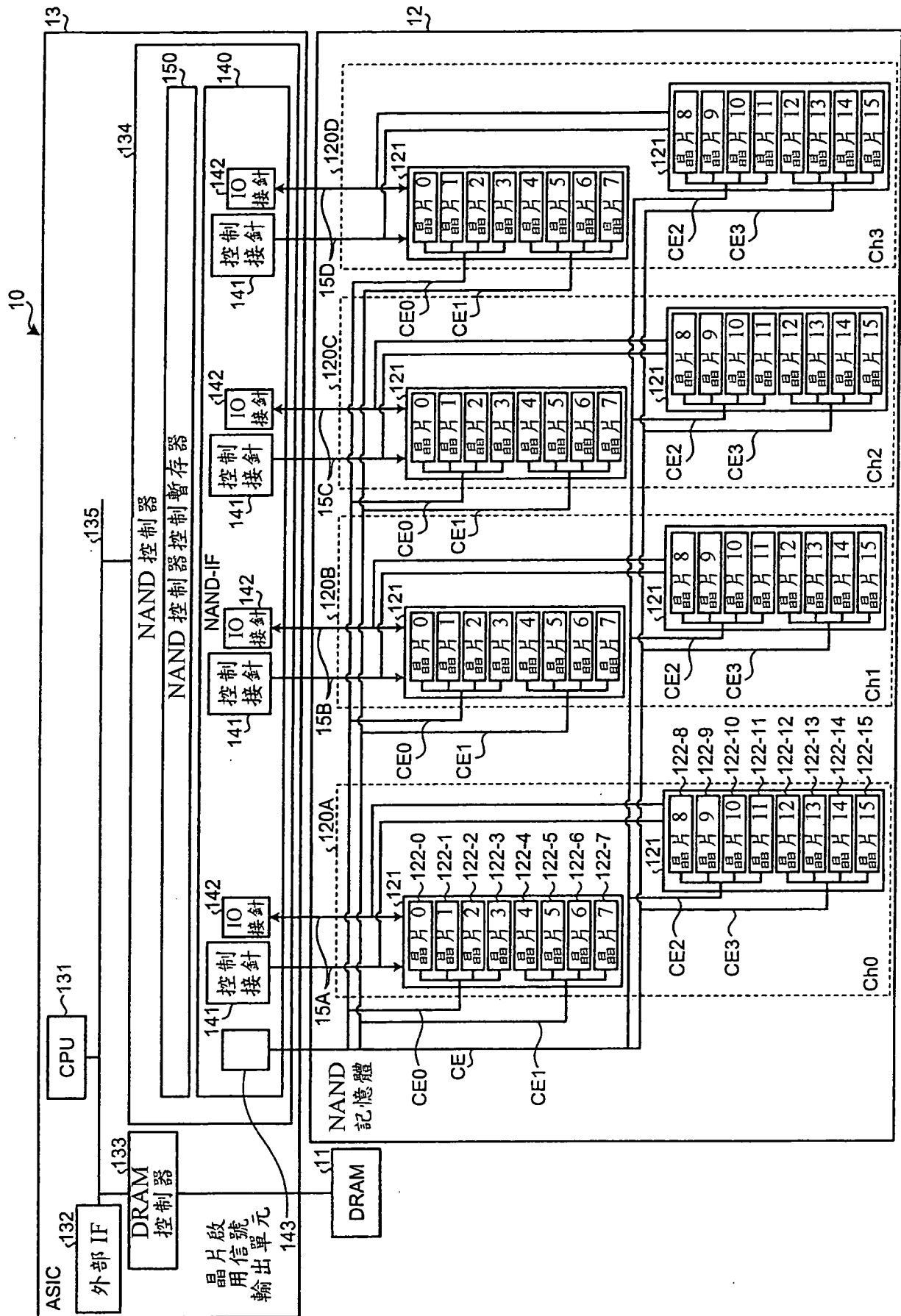


圖 1

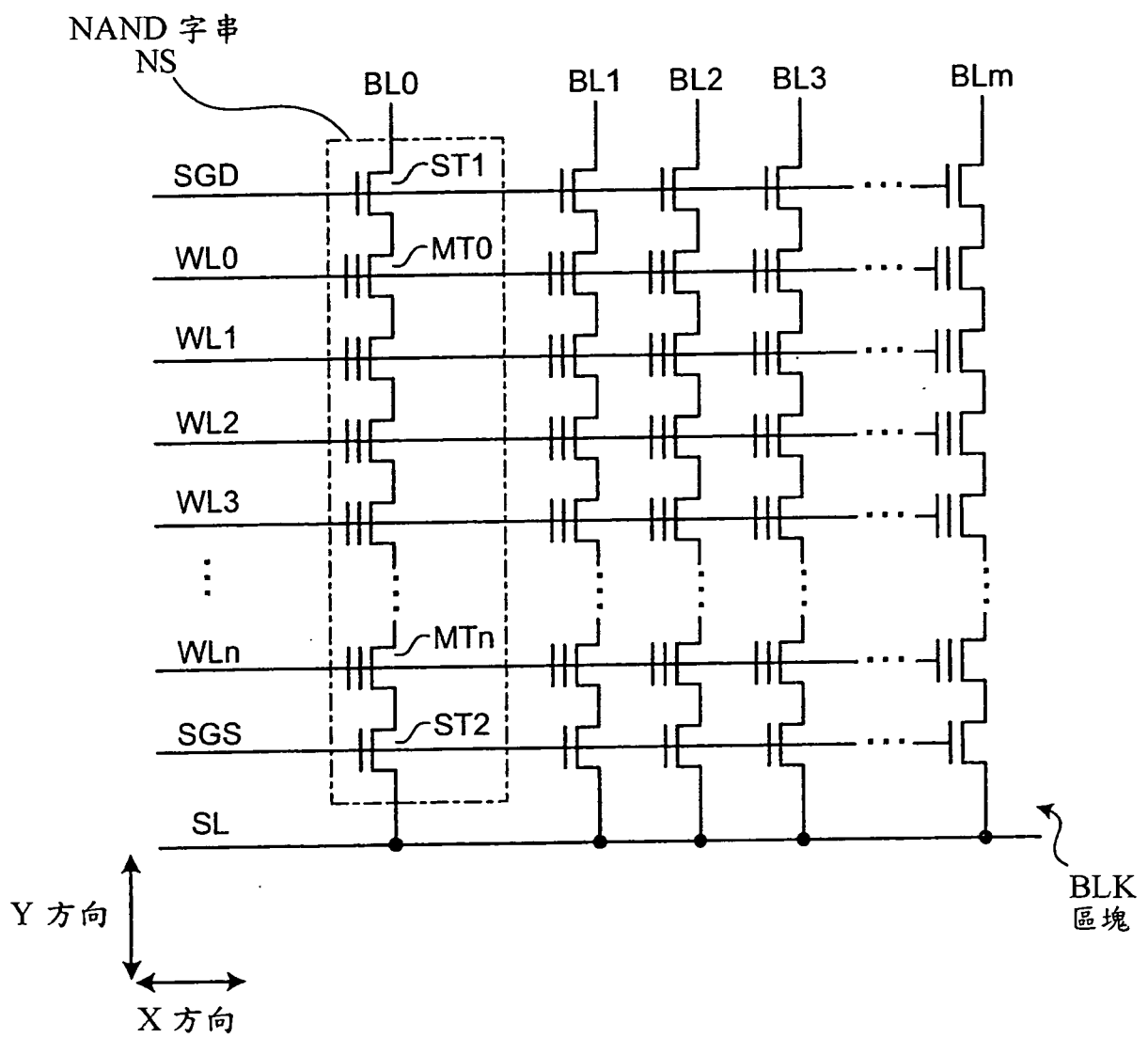


圖 2

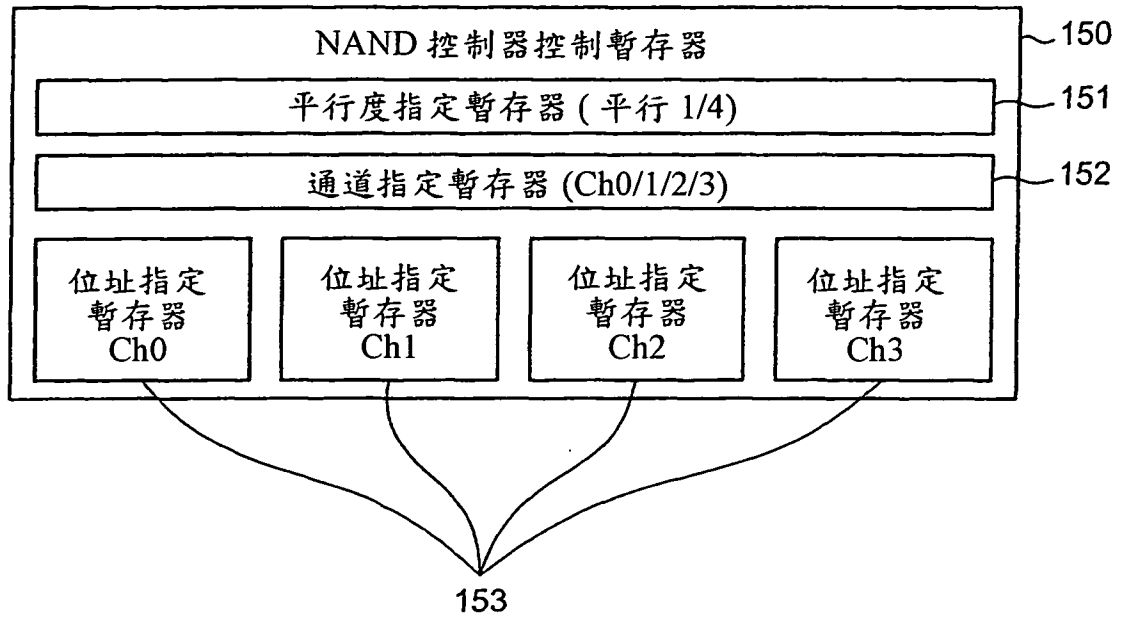


圖 3

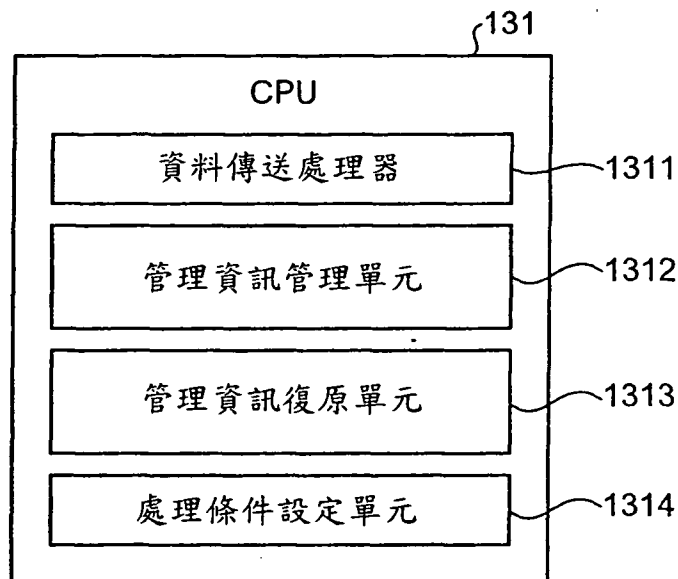


圖 4

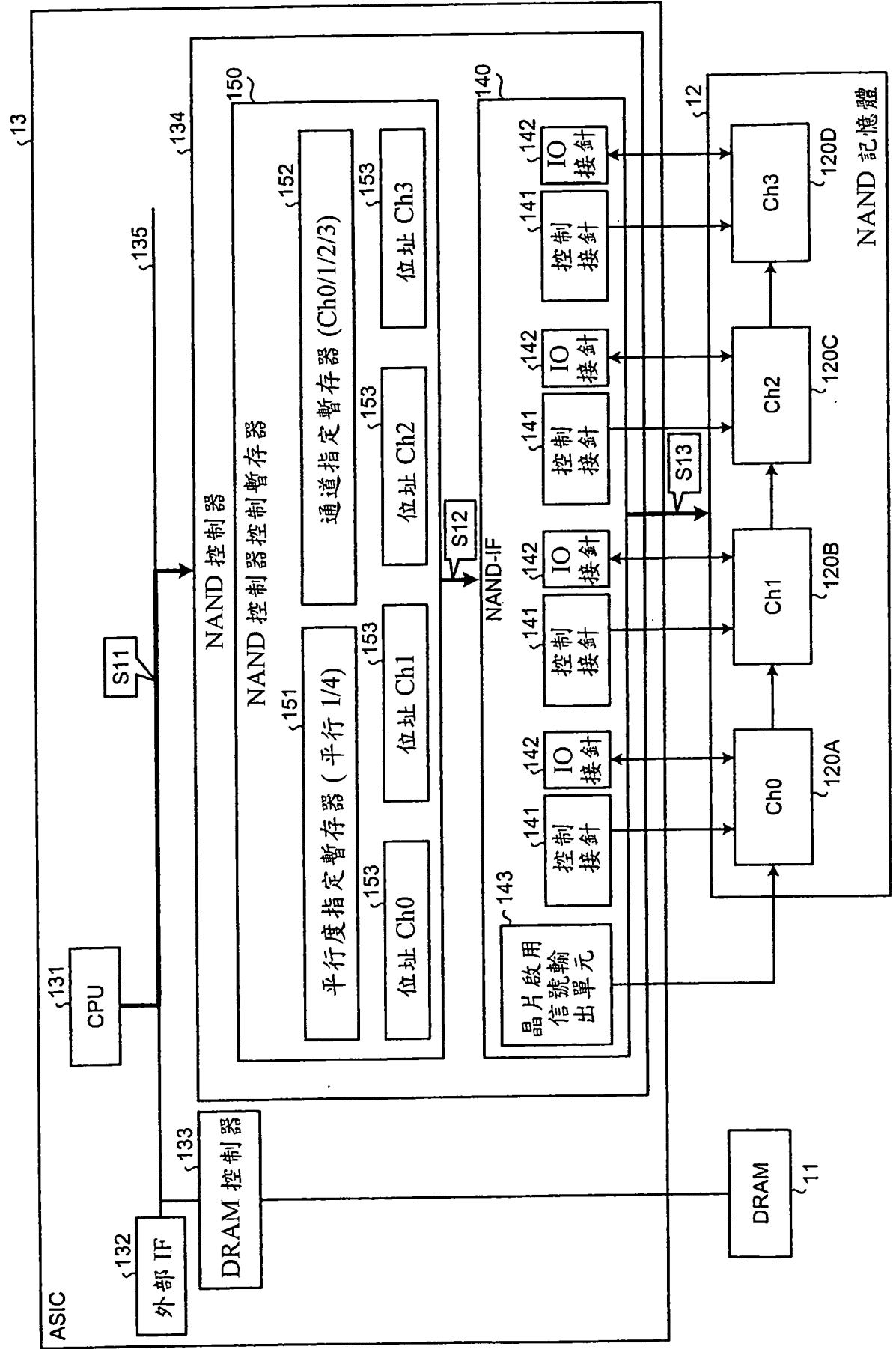


圖 5

當選擇平行度 1/Ch 1/晶片 10 時

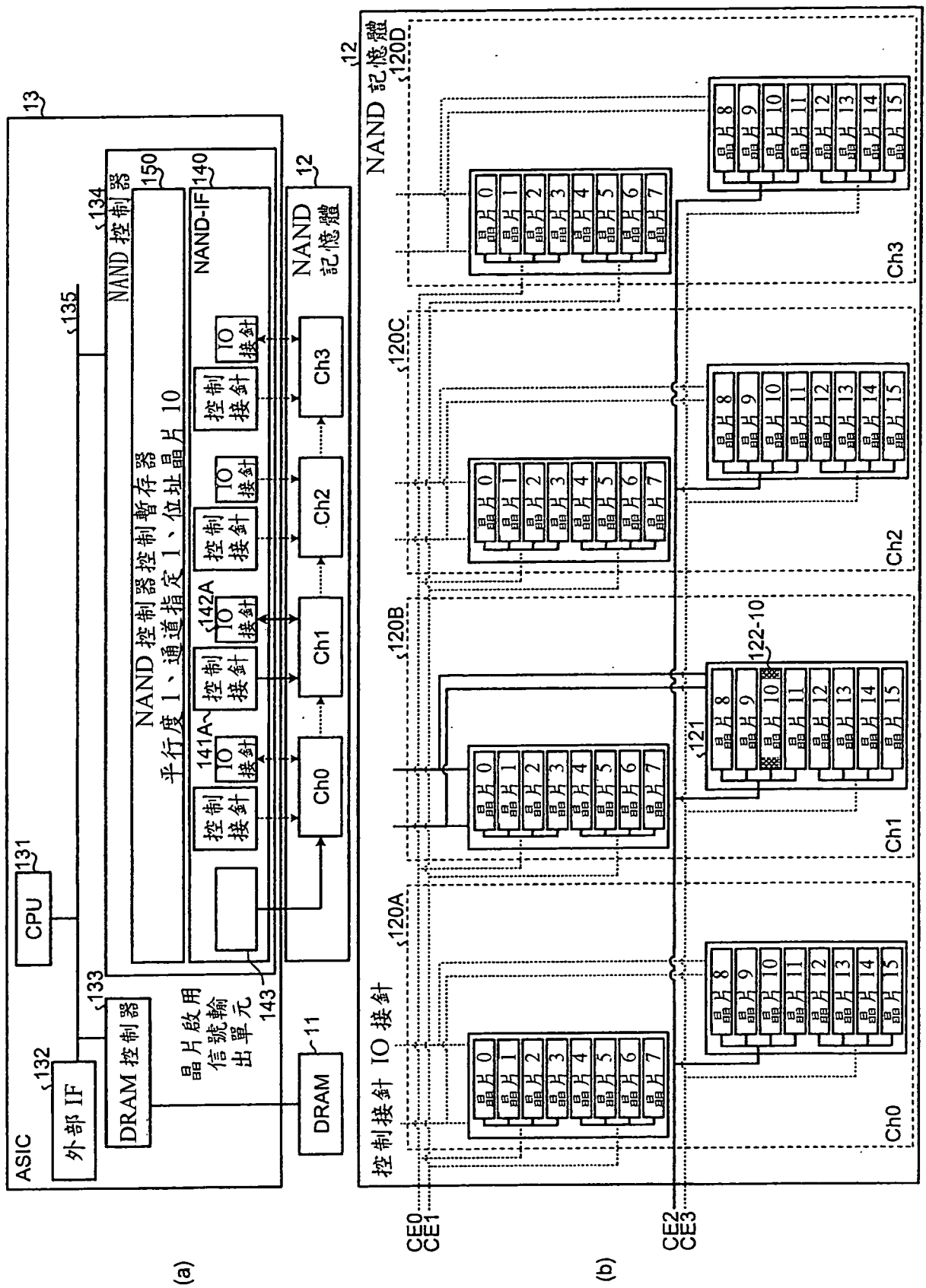


圖 6

當選擇平行度 4/晶片 5 時

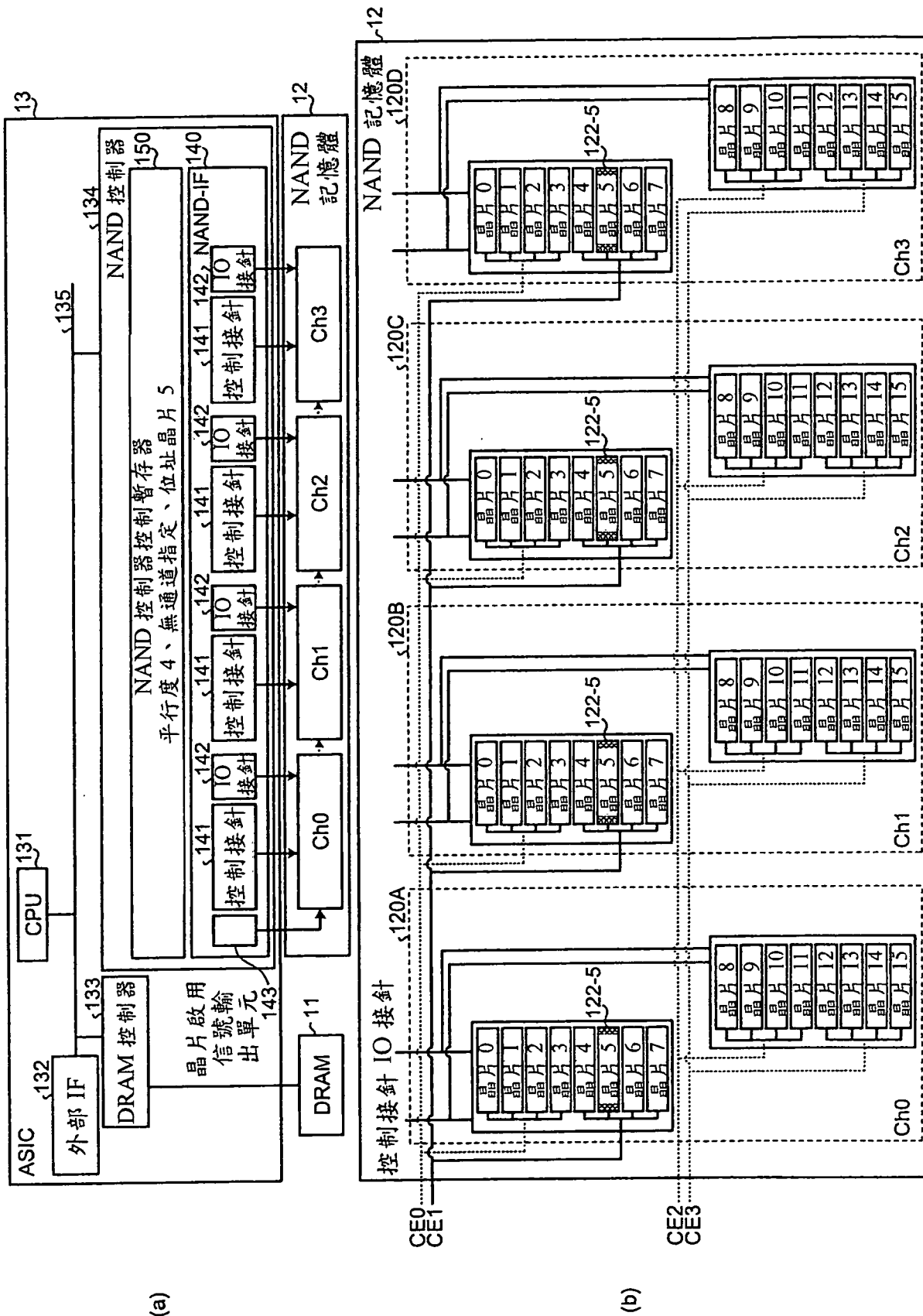


圖 7

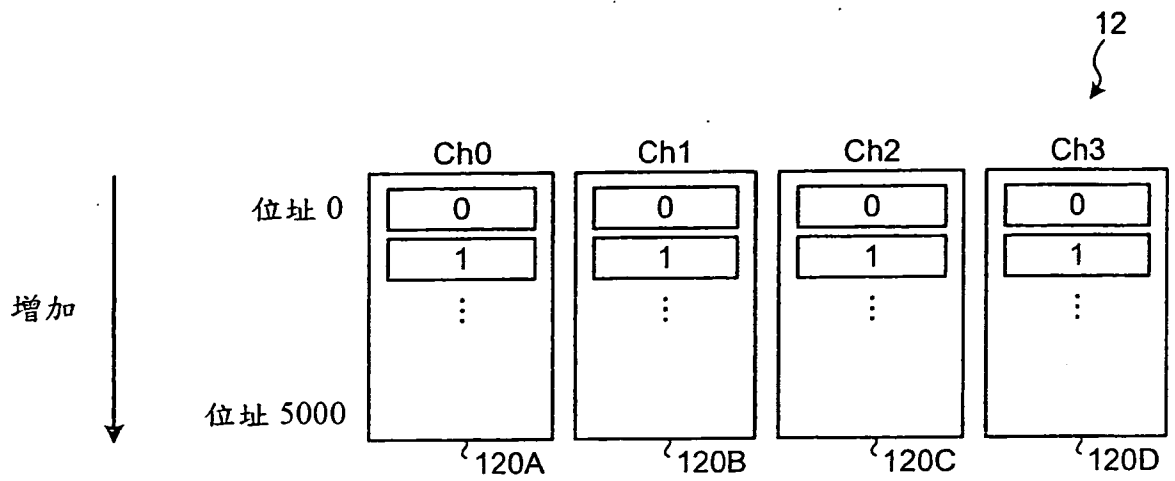


圖 8

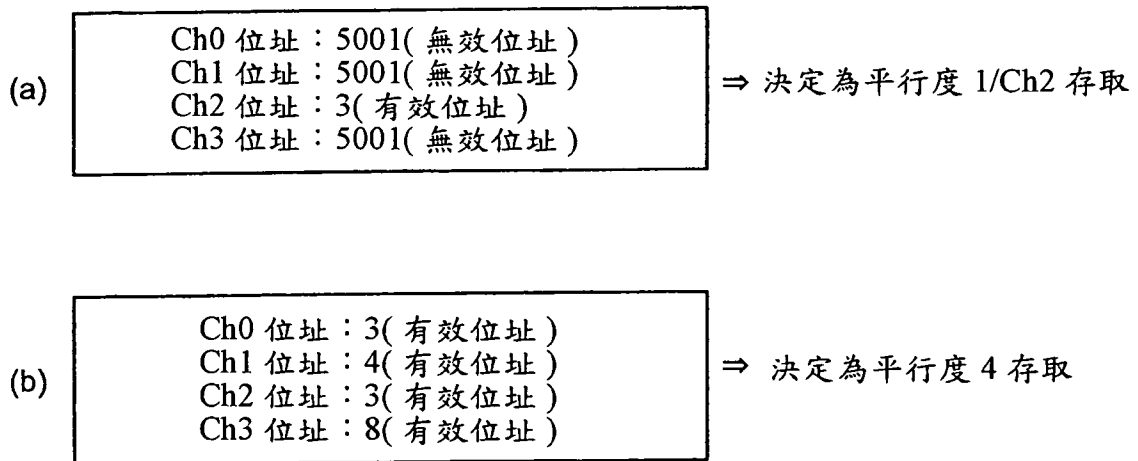


圖 9

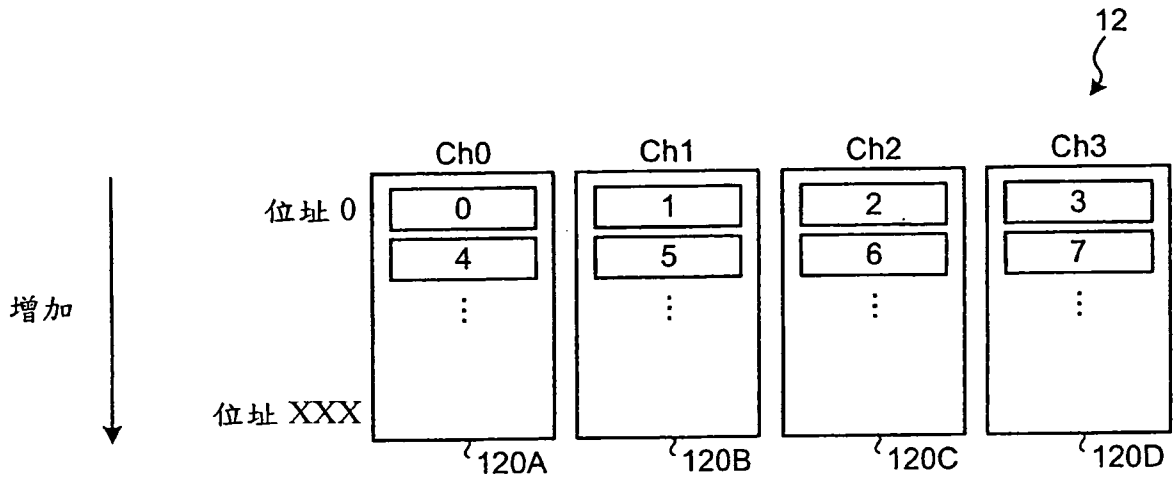


圖 10

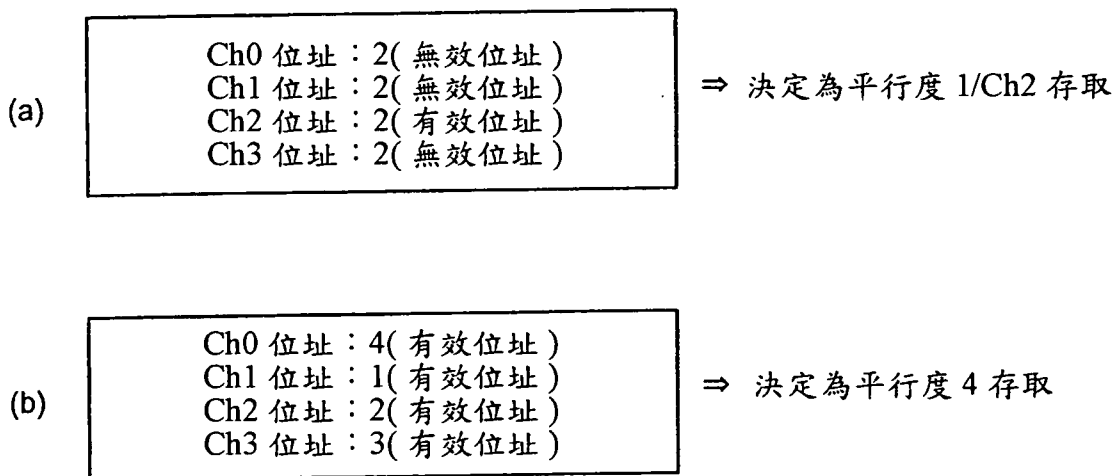


圖 11

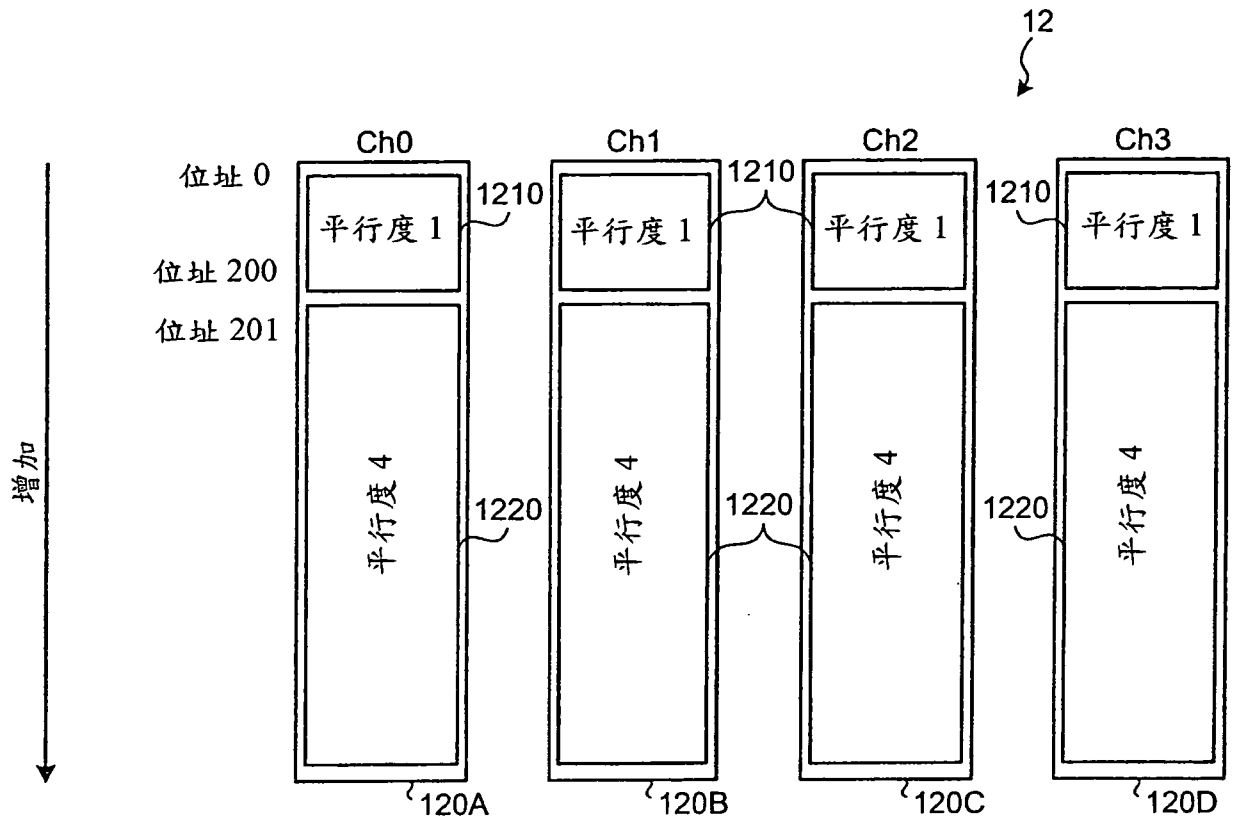


圖 12

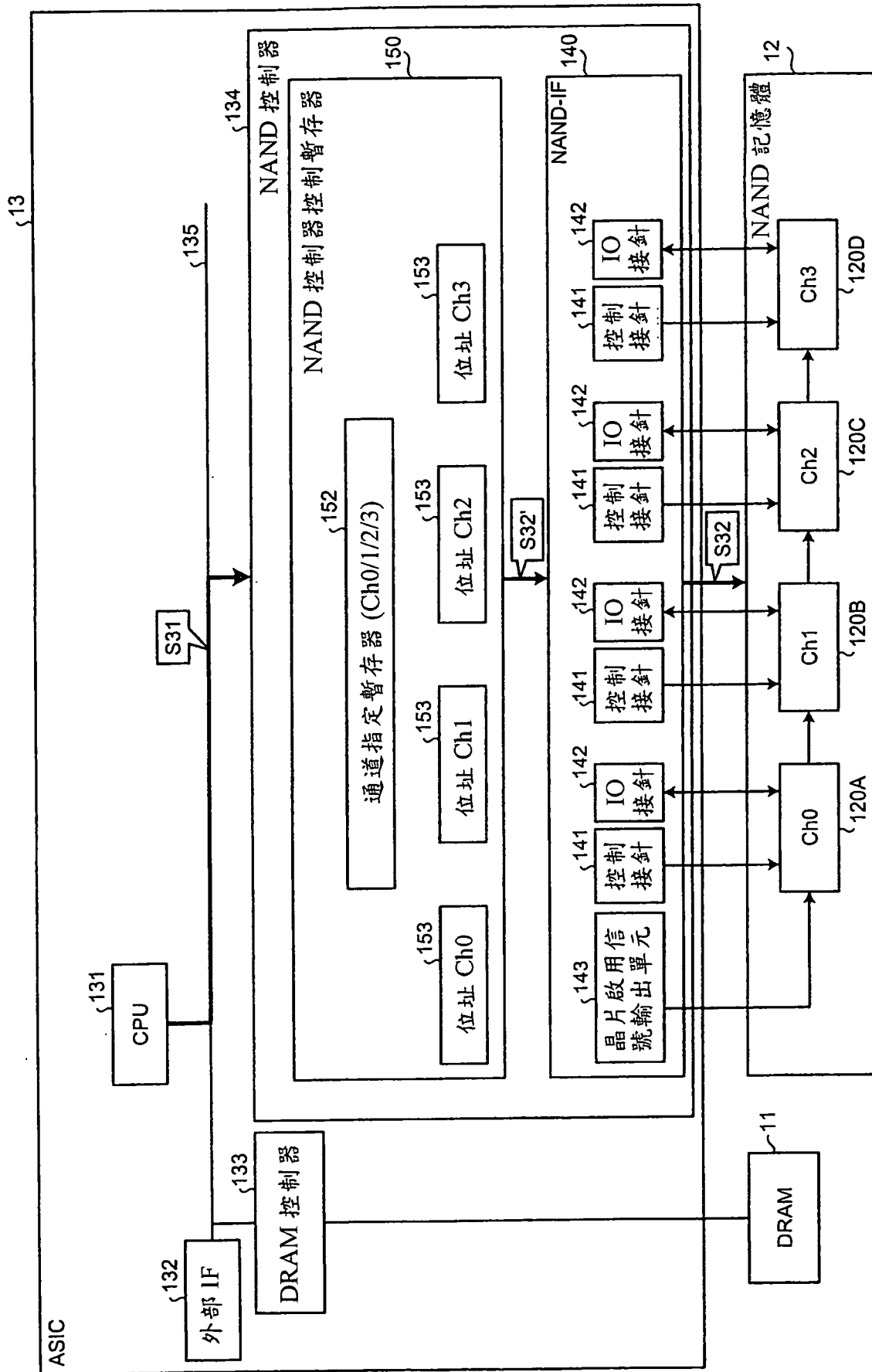


圖 13

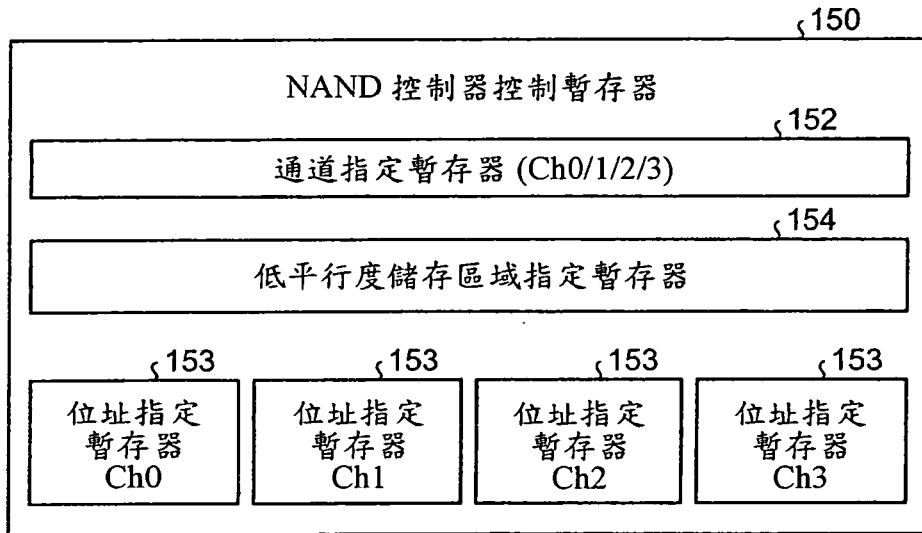


圖 14

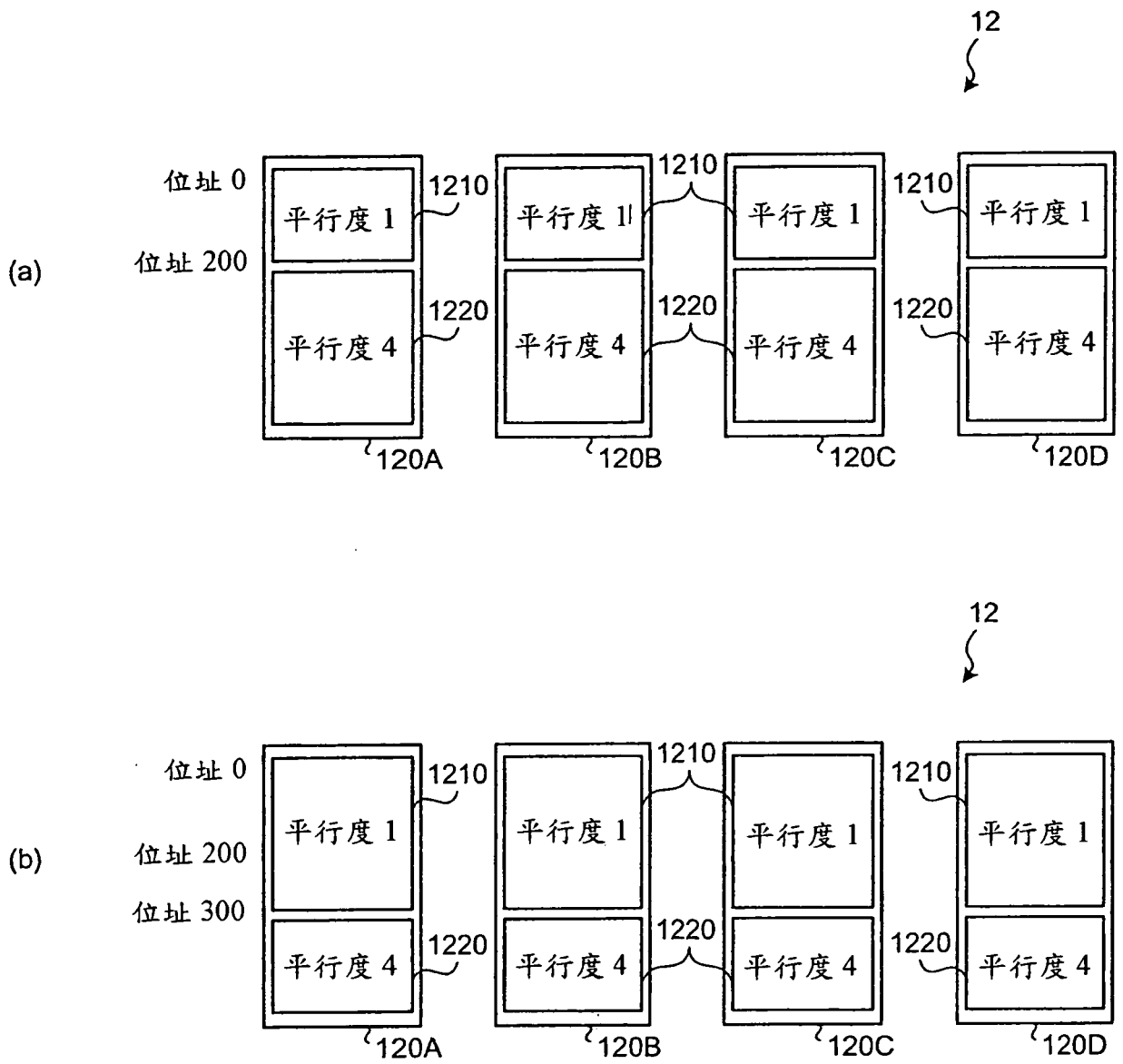


圖 15