

[19] 中华人民共和国国家知识产权局



# [12] 发明专利说明书

专利号 ZL 200610082588.5

[51] Int. Cl.

H04B 1/00 (2006.01)

H01P 3/08 (2006.01)

H05K 1/02 (2006.01)

H05K 3/46 (2006.01)

[45] 授权公告日 2009年7月8日

[11] 授权公告号 CN 100512023C

[22] 申请日 2006.5.18

[21] 申请号 200610082588.5

[73] 专利权人 英业达股份有限公司

地址 台湾省台北市

[72] 发明人 陈彦豪

[56] 参考文献

US6392160B1 2002.5.21

CN1356863A 2002.7.3

CN1339941A 2002.3.13

审查员 刘 潜

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程 伟

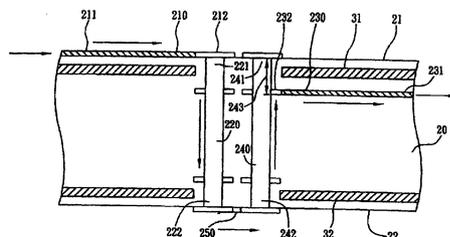
权利要求书2页 说明书5页 附图4页

## [54] 发明名称

具导电性连通柱平行串接的高速信号传输线路

## [57] 摘要

本发明公开一种具导电性连通柱平行串接的高速信号传输线路，应用于一多层式电路板，例如高速数字电路板，在该高速数字电路板上形成一高速信号传输线路，本发明的高速信号传输线路结构至少包括一第一导电路径、一第一导电性连通柱 220、一第二导电路径 230、一第二导电性连通柱 240 以及一底层连接线路 250。本发明的具导电性连通柱平行串接的高速信号传输线路采用一对平行串接的导电性连通柱连接上层和下层的导电路径，使得导电性连通柱的多余部分形成的开路残段可较现有技术更短，以此降低共振效应对传输信号质量造成的不良影响。



1. 一种具导电性连通柱平行串接的高速信号传输线路，应用在一多层式电路板，且该多层式电路板至少具有一顶部层和一底部层，其中该顶部层的内部形成有一顶层接地面，在该多层式电路板上形成一信号传输线路；其特征在于，该具导电性连通柱平行串接的高速信号传输线路至少包括：

一第一导电路径，形成于该多层式电路板的顶层接地面上，且其具有一第一端点和一第二端点；

一第一导电性连通柱，具有一顶端和一底端，且其顶端是在该多层式电路板的顶部层上连接到该第一导电路径的第二端点，其底端则连通到该多层式电路板的底部层；

一第二导电路径，形成于该多层式电路板的顶层接地面上，且其具有一第三端点和一第四端点；

一第二导电性连通柱，具有一顶端和一底端，且其顶端是在该多层式电路板的顶部层上连接到该第二导电路径的第四端点，其底端则是连通到该多层式电路板的底部层；以及

一连接线路，将该第一导电性连通柱的底端连接到该第二导电性连通柱的底端。

2. 如权利要求 1 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该连接线路是形成于该多层式电路板的底部层上。

3. 如权利要求 1 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该第一导电路径是形成于该多层式电路板的顶层接地面的上方。

4. 如权利要求 1 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该第二导电路径是形成于该多层式电路板的顶层接地面的下方。

5. 如权利要求 1 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该多层式电路板为一高速数字电路板。

6. 如权利要求 5 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该高速数字电路板为一无线网络用的高速数字电

路板。

7. 如权利要求 5 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该高速数字电路板为一移动电话用的高速数字电路板。

8. 如权利要求 5 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该高速数字电路板为一全球定位系统用的高速数字电路板。

9. 如权利要求 5 所述的具导电性连通柱平行串接的高速信号传输线路，其特征在于，该高速数字电路板为一数字电视用的高速数字电路板。

## 具导电性连通柱平行串接的高速信号传输线路

### 技术领域

本发明是关于一种高速信号线路布局技术，特别是关于一种具导电性连通柱平行串接的高速信号传输线路，它可应用在一多层式电路板，例如高速数字电路板，在该高速数字电路板上形成一种具导电性连通柱串接的高速信号传输线路，对该高速数字电路板上传输的高频数字信号提供一可防止共振效应的信号传输功能。

### 背景技术

目前由于无线网络、移动电话、全球定位系统(Global Positioning System, GPS)以及数字电视等无线通讯技术的快速发展及需求，高速数字电路的设计及制造已成为通讯业一项极为热门的电子技术。基本上大部分高速数字电路均使用微带线(microstrip line)或带线(strip line)作为信号传输线，由这种传输线传递高频的数字信号，特别是 1GHz 以上的数字信号(在本说明书中，所谓“高频数字信号”是定义为 1GHz 以上的数字信号)。

在结构上高速数字电路的制造通常是采用一种多层式的电路板。在此多层式的电路板中，不同板层之间的信号传输通常采用一种导电性的连通柱(via)连接不同板层上的微线路。图 1 即显示一种常用的多层式电路板 10 中的高速信号传输线路结构。如图所示，该常用高速信号传输线路结构应用在一多层式电路板 10，且该多层式电路板 10 须至少具有一顶部层 21 和一底部层 22，其中该顶部层 21 的内部形成有一顶层接地面 31，该底部层 22 的内部则形成有一底层接地面 32 (图 1 所示仅示范性地显示上下二个板层 21、22；在具体实施上，该二个板层 21、22 尚包括一个或多个板层)。该常用的高速信号传输线路结构包括：(a)一第一导电线路 110；(b)一第二导电线路 120；以及(c)一连通柱 130。第一导电线路 110 形成于该多层式电路板 10 的顶层接地面 31 的朝外方向；且其具有一第一端点 111 和一第二端点 112，其中该第一

端点 111 是用于连接到一第一电子元件(附图未标出)。第二导电路径 120 则是形成于该多层式电路板 10 的顶层接地面 31 的朝内方向;且其具有一第一端点 121 和一第二端点 122,其中该第一端点 121 是用于连接到一第二电子元件(附图未标出)。

由于上述第一导电路径 110 是位于顶层接地面 31 的上方、第二导电路径 120 位于顶层接地面 31 的下方;因此若要将二者连接,目前的作法即形成一连通柱 130 贯穿该多层式电路板 10,由连通柱 130 将第一导电路径 110 的第二端点 112 连接到第二导电路径 120 的第二端点 122,即可将第一导电路径 110 电性连接到第二导电路径 120,形成一连续的信号传输线路(所形成的信号传输路径即如图 1 一连串的箭头所示)。

然而上述连通柱 130 在实际应用时,由于其中仅有顶端的一小段 131 (以下称为“顶端传输部”)被实际用来作为传输信号,其下方的一长段 132 则形成一开路残段(open stub)。在高频数字信号的传输上,此底端开路残段 132 会导致一共振效应,影响传输信号的质量。

上述问题的一种解决方法是采用反钻方式(back drill)除去连通柱 130 下方的底端开路残段 132,也就是从多层式电路板 10 的底部层 22,用一钻头(附图未标出)钻除掉该底端开路残段 132。然而此作法在实际应用上存有多项缺点,这包括需要额外的反钻设备及工时、增加了制造成本以及反钻过程易导致该多层式电路板 10 中不同板层之间的对位误差。

### 发明内容

为克服上述现有技术的缺点,本发明的主要目的在于提供一种具导电性连通柱平行串接的高速信号传输线路,不采用反钻方式,降低上述导电性连通柱导致的共振效应。

为达上述目的及其它目的,本发明提供一种具导电性连通柱平行串接的高速信号传输线路结构。本发明的具导电性连通柱平行串接式高速信号传输线路至少包括:一第一导电路径,形成于该多层式电路板的顶层接地面上,且其具有一第一端点和一第二端点;一第一导电性连通柱,具有一顶端和一底端,且其顶端是在该多层式电路板的顶

部层上连接到该第一导电路路的第二端点，其底端则连通到该多层式电路板的底部层；一第二导电路路，形成于该多层式电路板的顶层接地面上，且其具有一第三端点和一第四端点；一第二导电性连通柱，具有一顶端和一底端，且其顶端是在该多层式电路板的顶部层上连接到该第二导电路路的第四端点，其底端则是连通到该多层式电路板的底部层；以及一连接线路，将该第一导电性连通柱的底端连接到该第二导电性连通柱的底端。

本发明的具导电性连通柱平行串接的高速信号传输线路应用在一多层式电路板，例如高速数字电路板，在该高速数字电路板上形成一具导电性连通柱串接的高速信号传输线路，对该高速数字电路板上传输的高频数字信号提供一可防止共振效应的信号传输功能。

由上可知，本发明的具导电性连通柱平行串接的高速信号传输线路采用一对平行串接的导电性连通柱连接上层和下层的导电路路，使得导电性连通柱的多余部分形成的开路残段可较现有技术更短，以此降低共振效应对传输信号质量造成的不良影响。

### 附图说明

图 1 为现有超高速信号传输线路的结构示意图；

图 2 为本发明的具导电性连通柱平行串接的高速信号传输线路的结构示意图；

图 3 为本发明的具导电性连通柱平行串接的高速信号传输线路与现有技术中的反射损失和介入损失相对于频率的特性曲线图；以及

图 4 为本发明应用在传输高频数字信号时，与现有技术相比信号上升时间特性眼图。

### 具体实施方式

#### 实施例

以下配合图 2 至图 4，详细说明本发明的具导电性连通柱平行串接的高速信号传输线路。

图 2 即本发明的具导电性连通柱平行串接的高速信号传输线路的结构示意图。如图所示，本发明的高速信号传输线路是应用在一多层

式电路板 20，例如无线网络、移动电话、全球定位系统(Global Positioning System, GPS)或数字电视用的高速数字电路板，且该多层式电路板 20 具有一顶部层 21 和一底部层 22，其中该顶部层 21 的内部形成有一顶层接地面 31，该底部层 22 上则形成有一底层接地面 32 (图 2 所示仅示范性地显示上下二个板层 21、22；在具体实施上，这二个板层 21、22 尚包括一个或多个板层)。

如图 2 所示，本发明的高速信号传输线路至少包括：(A)一第一导电线路 210；(B)一第一导电性连通柱 220；(C)一第二导电线路 230；(D)一第二导电性连通柱 240；以及(E)一底层连接线路 250。

第一导电线路 210 形成于该多层式电路板 20 顶层接地面 31 的朝外方向(即顶层接地面 31 的上方)；且其具有一第一端点 211 和一第二端点 212，其中该第一端点 211 是用于连接到一第一电子元件(未标出)，第二端点 212 则是用于连接到该第一导电性连通柱 220。

第一导电性连通柱 220 为一导电性的连通柱，具有一顶端 221 和一底端 222；且其顶端 221 是在该多层式电路板 20 的顶部层 21 上连接到上述第一导电线路 210 的第二端点 212，其底端 222 则是连通到该多层式电路板 20 的底部层 22。

第二导电线路 230 是形成于该多层式电路板 20 的顶层接地面 31 的朝内方向(即顶层接地面 31 的下方)；且其具有一第三端点 231 和一第四端点 232，其中该第三端点 231 是用于连接到一第二电子元件(未标出)，第四端点 232 则是用于连接到该第二导电性连通柱 240。

第二导电性连通柱 240 为一导电性的连通柱，具有一顶端 241 和一底端 242；且其顶端 241 是在该多层式电路板 20 的顶部层 21 上连接到上述第二导电线路 230 的第四端点 232，其底端 242 则是连通到该多层式电路板 20 的底部层 22。

底层连接线路 250 是一导电性的线路，它是形成于该多层式电路板 20 的底部层 22 上，用于将上述第一导电性连通柱 220 的底端 222 电性连接到该第二导电性连通柱 240 的底端 242。

如上所述，第一导电线路 210、第一导电性连通柱 220、底层连接线路 250、第二导电性连通柱 240 和第二导电线路 230 即依序连接，第一导电线路 210 的第一端点 211 到第二导电线路 230 的第三端点 231

之间形成一连续的信号传输线路(所形成的信号传输路径即如图 2 中一连串的箭头所示)。

在此信号传输线路中,第二导电性连通柱 240 的上方位于顶部层 21 和第二导电路径 230 之间的一小段部分仍会形成一开路残段(open stub)243。然而与图 1 所示的现有技术相比,该第二导电性连通柱 240 上的开路残段 243 的长度显然远小于图 1 所示现有技术形成的开路残段 132。

根据电磁学基本原理,若一开路残段的长度为  $l$ , 传输信号的相速度为  $V_p$ , 则该开路残段造成的共振频率  $f_{res}$  即为:

$$f_{res} = \frac{V_p}{4l}$$

由上述公式即可得知,开路残段的长度愈短,使得共振频率增大。

图 3 显示本发明的具导电性连通柱平行串接的高速信号传输线路与现有技术关于的反射损失(reflection loss)和介入损失(insertion loss)相对于频率的特性曲线图。由此图 3 可知,在 1GHz -7GHz 的频率范围内,本发明的反射损失 S11 和介入损失 S21 均有显著的改善,优于现有技术;其中反射损失 S11 与现有技术相比约降低 10-15dB,介入损失 S21 在 5.6GHz 的频率点上约降低了 12dB。

图 4 为一眼图(eye diagram),显示本发明应用在传输 PCI-E II (PCI Express II, 其中 PCI = Peripheral Component Interconnect)信号的情况下,与现有技术相比信号上升时间(rise time)的特性。由此眼图可看出,现有技术由于受到共振频率的影响,具有较为迟延的上升时间;但采用本发明后即可获得明显的改善,使得上升时间较为快速。

总而言之,本发明提供了一种具导电性连通柱平行串接的高速信号传输线路,应用在一多层式电路板,在该多层式电路板上形成一高速信号传输线路;本发明采用了一对平行串接的导电性连通柱连接上层和下层的导电路径,使得导电性连通柱多余部分形成的开路残段,比现有更加缩短,降低了共振效应对传输信号质量造成的不良影响。本发明因此较现有技术具有更佳的进步性及实用性。

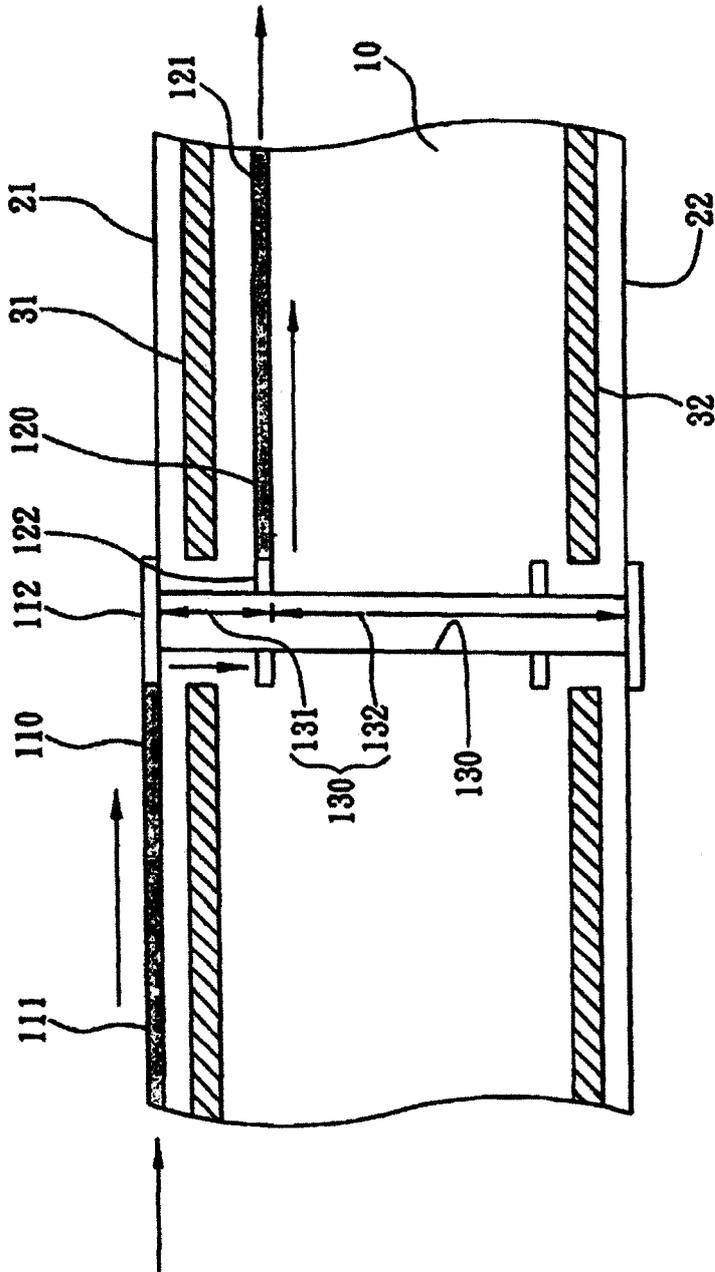


图 1

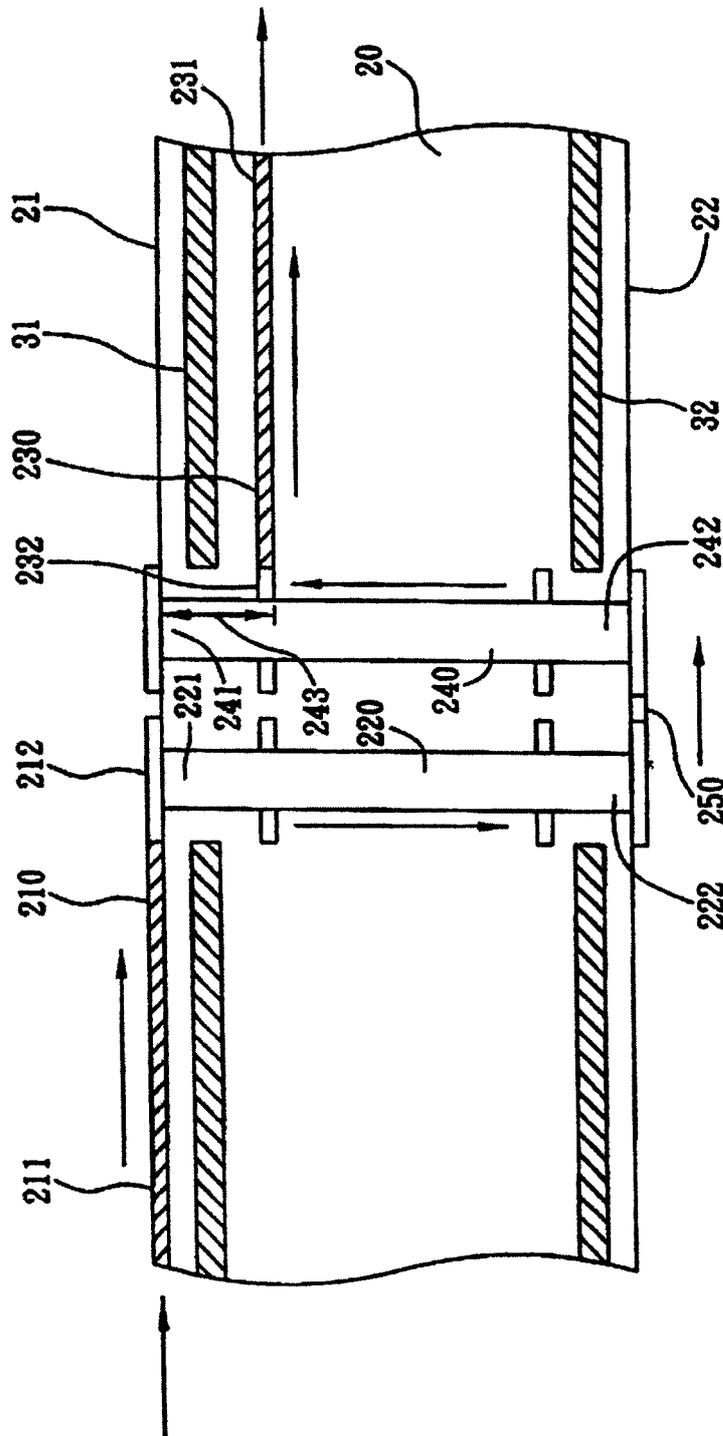


图 2

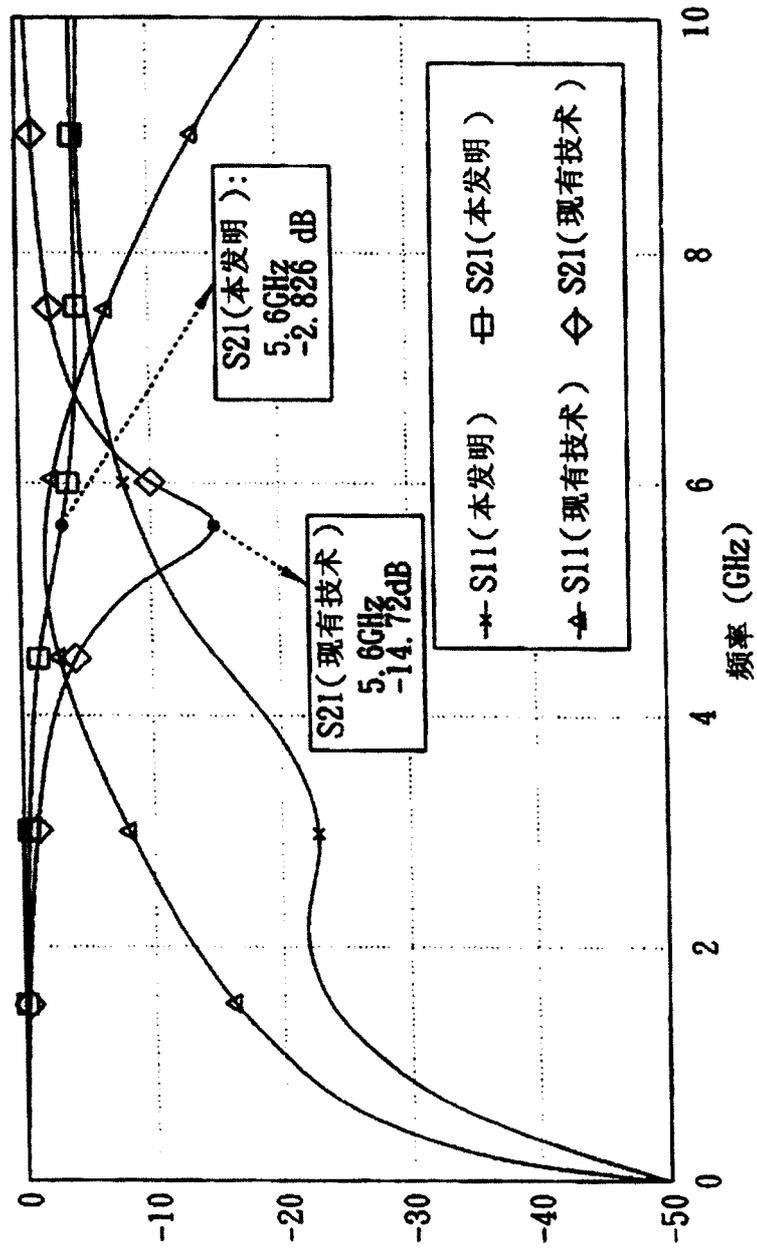


图 3

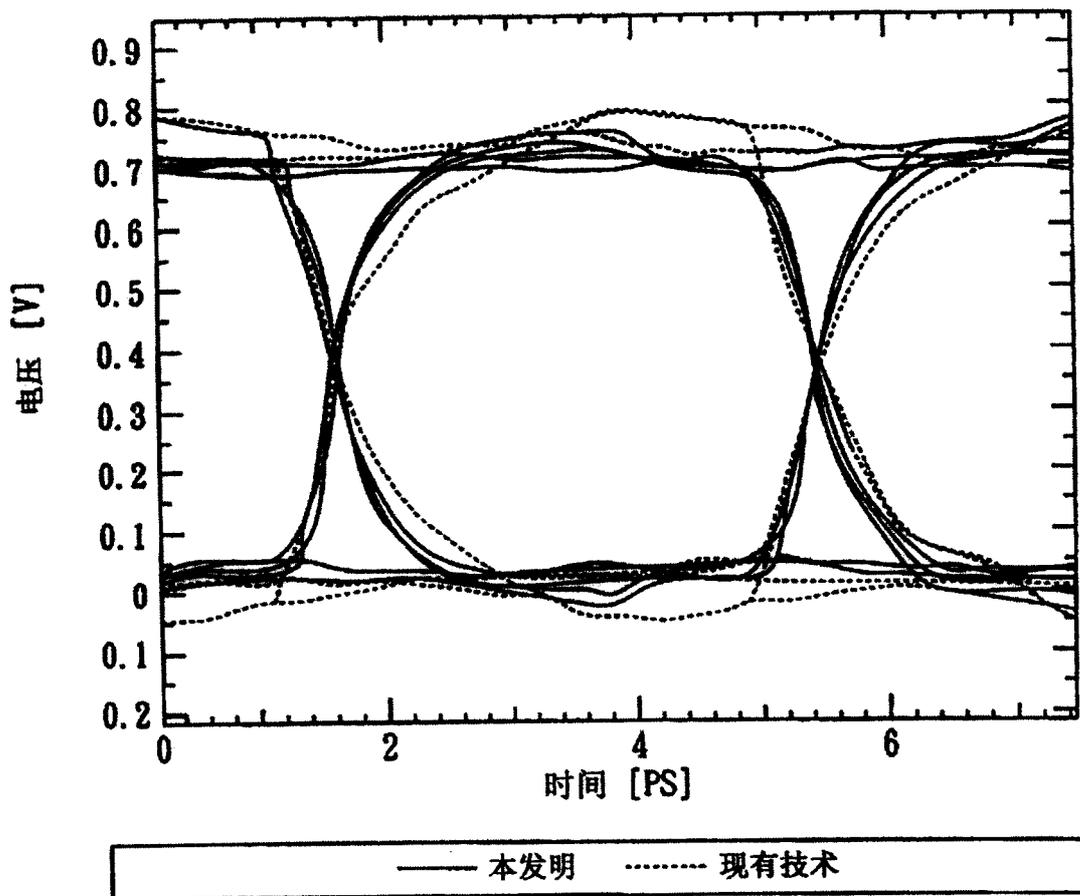


图 4