



(12) 发明专利

(10) 授权公告号 CN 114512099 B

(45) 授权公告日 2023. 08. 08

(21) 申请号 202111458203.1

(22) 申请日 2021.12.02

(65) 同一申请的已公布的文献号
申请公布号 CN 114512099 A

(43) 申请公布日 2022.05.17

(30) 优先权数据
2020-213259 2020.12.23 JP

(73) 专利权人 武汉天马微电子有限公司
地址 430205 湖北省武汉市东湖新技术开发
区流芳园横路8号

(72) 发明人 河内玄士朗

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291
专利代理师 黄志华 何月华

(51) Int.Cl.

G09G 3/3233 (2016.01)

G09G 3/3266 (2016.01)

(56) 对比文件

CN 101051440 A, 2007.10.10

US 2006/0038754 A1, 2006.02.23

US 2005/0264496 A1, 2005.12.01

CN 101630475 A, 2010.01.20

审查员 陈煌琼

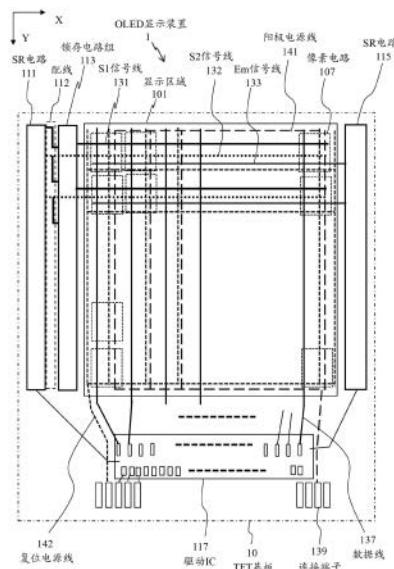
权利要求书4页 说明书15页 附图19页

(54) 发明名称

显示装置

(57) 摘要

本发明涉及显示装置。每个锁存电路被配置为向与锁存电路相关联的像素电路行输出第一种信号的脉冲。移位寄存器单元被配置为依次输出第二种信号的脉冲。移位寄存器单元被配置为接收来自第一移位寄存器单元的第二种信号的脉冲和来自在第一移位寄存器单元的后级的第二移位寄存器单元的第二种信号的脉冲。来自每个锁存电路的第一种信号的脉冲响应于来自第一移位寄存器单元的第二种信号的脉冲而从第一电位电平变化至第二电位电平,并响应于来自第二移位寄存器单元的第二种信号的脉冲而由第二电位电平变化至第一电位电平。



1. 一种显示装置,包括:

显示区域,所述显示区域包括多个像素电路行;

移位寄存器,所述移位寄存器包括串联的多个移位寄存器单元;以及

多个锁存电路,所述多个锁存电路被配置为根据从所述移位寄存器输入的信号向所述多个像素电路行输出信号脉冲,

其中,所述多个锁存电路中的每一个锁存电路被配置为向与所述锁存电路相关联的像素电路行输出第一种信号的脉冲,

其中,所述多个移位寄存器单元被配置为依次输出第二种信号的脉冲,

其中,所述多个锁存电路中的每一个锁存电路被配置为接收来自第一移位寄存器单元的所述第二种信号的脉冲和来自在所述第一移位寄存器单元的后级的第二移位寄存器单元的所述第二种信号的脉冲,

其中,所述多个锁存电路中的每一个锁存电路不接收除了来自所述第一移位寄存器单元和所述第二移位寄存器单元的所述第二种信号的脉冲之外的脉冲信号,并且

其中,来自所述多个锁存电路中的每一个锁存电路的所述第一种信号的脉冲响应于来自所述第一移位寄存器单元的所述第二种信号的脉冲而从第一电位电平变化到第二电位电平,并且响应于来自所述第二移位寄存器单元的所述第二种信号的脉冲从所述第二电位电平变化到所述第一电位电平。

2. 根据权利要求1所述的显示装置,

其中,来自第N级锁存电路的输出由来自第K级移位寄存器单元的所述第二种信号的脉冲设定,并且由来自第(K+p)级移位寄存器单元的所述第二种信号的脉冲复位,

其中,来自第(N+q)级锁存电路的输出由来自第(K+q)级移位寄存器单元的所述第二种信号的脉冲设定,并且由来自第(K+q+p)级移位寄存器单元的所述第二种信号的脉冲复位,

其中,来自每一个锁存电路的所述第一种信号的脉冲具有 $H*p$ 的脉冲宽度,

其中,来自所述第(N+q)级锁存电路的所述第一种信号的脉冲比来自所述第N级锁存电路的所述第一种信号的脉冲延迟 $H*q$,并且

其中,N为整数,K为整数,p为大于1的整数,q为大于0的整数,H为来自所述移位寄存器的脉冲宽度。

3. 根据权利要求1所述的显示装置,

其中,来自第N级锁存电路的输出由来自第K级移位寄存器单元的第二种信号的脉冲复位,并且由来自第(K+p)级移位寄存器单元的所述第二种信号的脉冲设定,

其中,来自第(N+q)级锁存电路的输出由来自第(K+q)级移位寄存器单元的第二种信号的脉冲复位,并且由来自第(K+q+p)级移位寄存器单元的所述第二种信号的脉冲设定,

其中,来自每一个锁存电路的所述第一种信号的脉冲具有 $H*p$ 的脉冲宽度,

其中,来自所述第(N+q)级锁存电路的所述第一种信号的脉冲比来自所述第N级锁存电路的所述第一种信号的脉冲延迟 $H*q$,并且

其中,N为整数,K为整数,p为大于1的整数,q为大于0的整数,H为来自所述移位寄存器的脉冲宽度。

4. 根据权利要求1所述的显示装置,

其中,所述多个移位寄存器单元中的每一个移位寄存器单元被配置为向与所述移位寄

存器单元相关联的像素电路行输出所述第二种信号的脉冲,并且

其中,所述移位寄存器被配置为向所述多个像素电路行依次输出所述第二种信号的脉冲。

5. 根据权利要求4所述的显示装置,

其中,所述第一种信号的脉冲控制像素电路中的驱动晶体管的阈值补偿时段,并且

其中,所述第二种信号的脉冲控制数据向所述像素电路写入的时段。

6. 根据权利要求4所述的显示装置,

其中,所述第一种信号的脉冲控制是否向像素电路中的发光元件供应驱动电流,并且

其中,所述第二种信号的脉冲控制数据向所述像素电路写入的时段。

7. 根据权利要求5所述的显示装置,其中,

设置为将来自所述锁存电路的所述第一种信号的脉冲传输到相关联的所述像素电路行的每条配线被配置为在所述第一种信号的脉冲结束后连接到具有所述第一电位电位的电源线。

8. 根据权利要求7所述的显示装置,还包括开关晶体管,每个所述开关晶体管设置在所述配线和设置为供应所述第一电位电位的电位的所述电源线之间,

其中,每个所述开关晶体管被配置为通过控制是否向在所述像素电路中包括的发光元件供应驱动电流的信号来导通/断开。

9. 根据权利要求1所述的显示装置,其中,所述多个锁存电路设置于所述移位寄存器与所述显示区域之间。

10. 根据权利要求6所述的显示装置,其中,

所述多个移位寄存器单元中的每一个移位寄存器单元的输出脉冲为与所述移位寄存器单元相关联的像素电路行的所述第二种信号的脉冲以及与所述移位寄存器单元相关联的另一像素电路行的第三种信号的脉冲。

11. 一种显示装置,包括:

显示区域;以及

所述显示区域的驱动电路,所述驱动电路设置于所述显示区域的外侧,

其中,所述显示区域包括:

多个像素电路;以及

与所述多个像素电路连接的多个第一控制线、多个第二控制线、多个信号线以及多个电源线,

其中,所述多个像素电路中的每一个像素电路包括:

发光元件;

多个第一导电型的开关晶体管;

第二导电型的发光控制晶体管,所述发光控制晶体管被配置为控制所述发光元件的发光的导通/断开;

所述第二导电型的驱动晶体管,所述驱动晶体管被配置为控制流向所述发光元件的电流;以及

与所述驱动晶体管连接的存储电容器,

其中,所述多个第一控制线被配置为将来自所述驱动电路的第一控制信号传输至所述

多个第一导电型的开关晶体管，

其中，所述多个第二控制线被配置为将来自所述驱动电路的第二控制信号传输到所述第二导电型的发光控制晶体管，

其中，所述驱动电路包括多个晶体管、多个电容器以及多个连接线，

其中，在所述驱动电路中包括的所有晶体管是所述第一导电型的晶体管，其中，所述驱动电路包括多个移位寄存器单元和多个锁存电路，

其中，所述多个锁存电路中的每一个锁存电路被配置为向与所述锁存电路相关联的像素电路行输出第一种信号的脉冲，

其中，所述多个移位寄存器单元被配置为依次输出第二种信号的脉冲，其中，所述多个锁存电路中的每一个锁存电路被配置为接收来自第一移位寄存器单元的所述第二种信号的脉冲和来自在所述第一移位寄存器单元的后级的第二移位寄存器单元的所述第二种信号的脉冲，

其中，所述多个锁存电路中的每一个锁存电路不接收除了来自所述第一移位寄存器单元和所述第二移位寄存器单元的所述第二种信号的脉冲之外的脉冲信号，并且

其中，来自所述多个锁存电路中的每一个锁存电路的所述第一种信号的脉冲响应于来自所述第一移位寄存器单元的所述第二种信号的脉冲而从第一电位电平变化到第二电位电平，并且响应于来自所述第二移位寄存器单元的所述第二种信号的脉冲而从所述第二电位电平变化到所述第一电位电平。

12. 一种显示装置，包括：

显示区域；以及

所述显示区域的驱动电路，所述驱动电路设置于所述显示区域的外侧，其中，所述显示区域包括：

多个像素电路；以及

与所述多个像素电路连接的多个第一控制线、多个第二控制线、多个信号线以及多个电源线，

其中，所述多个像素电路中的每一个像素电路包括：

发光元件；

多个n型的开关晶体管；

p型的发光控制晶体管，所述发光控制晶体管被配置为控制所述发光元件的发光的导通/断开；

p型的驱动晶体管，所述驱动晶体管被配置为控制流向所述发光元件的电流量；以及

与所述驱动晶体管连接的存储电容器，

其中，所述多个第一控制线被配置为将来自所述驱动电路的第一控制信号传输至所述多个n型的开关晶体管，

其中，所述多个第二控制线被配置为将来自所述驱动电路的第二控制信号传输到所述p型的发光控制晶体管，

其中，所述驱动电路包括多个晶体管、多个电容器以及多个连接线，

其中，在所述驱动电路中包括的所有晶体管是n型的晶体管，并且

其中，所述驱动电路包括：

多个移位寄存器单元,所述多个移位寄存器单元被配置为依次输出脉冲,和
多个锁存电路,所述多个锁存电路被配置为根据来自所述多个移位寄存器单元的脉冲
向像素电路行输出脉冲,所述多个锁存电路不接收除了来自所述多个移位寄存器单元的脉
冲之外的脉冲信号。

显示装置

技术领域

[0001] 本发明涉及显示装置。

背景技术

[0002] 有机发光二极管 (OLED) 元件是电流驱动的发发光元件,因此不需要背光。除此之外,OLED元件具有实现低功耗、宽视角和高对比度的优势;期望能够为平板显示装置的发展做出贡献。

[0003] 有源矩阵 (AM) OLED显示装置包括用于选择像素的晶体管和用于向像素供应电流的驱动晶体管。OLED显示装置中的晶体管是薄膜晶体管 (TFT);通常,使用低温多晶硅 (LTPS) TFT。

[0004] TFT的阈值电压和电荷迁移率具有变化。由于驱动晶体管决定了OLED显示装置的发光强度,因此它们的电气特性变化可能会引起问题。因此,典型的OLED显示装置包括用于补偿驱动晶体管的阈值电压的变化和偏移的校正电路。

[0005] OLED显示装置可能会出现重影,这种现象称为图像残留。例如,在显示黑白棋盘状图案一定时间后显示中间灰度的全屏图像时,OLED显示装置会显示一段时间的不同发光水平的棋盘状图案的重影。

[0006] 这是由驱动晶体管的迟滞效应引起的。迟滞效应会在场效应晶体管中引起一种现象,使得在栅极源极电压从高电压变化到低电压的情况和栅极源极电压从低电压变化到高电压的情况下流过不同的漏电流。

[0007] 也就是说,在发光水平从黑灰度变为中间灰度的像素和发光强度从白灰度变为中间灰度的像素之间流过不同的漏极电流。为此,OLED显示装置发出不同强度的光。漏极电流的这种差异持续了几帧,因此,发光强度的差异被视觉识别为重影。

[0008] 图像残留取决于由驱动TFT的迟滞效应引起的的电流的瞬态响应特性和基于像素电路对驱动TFT的阈值电压补偿特性。通过延长驱动TFT的阈值电压补偿时间可以减少图像残留。为了延长阈值电压补偿时间,重要的是在不同的时段进行阈值电压补偿和向像素电路的数据写入。

[0009] 然而,为了在不同的时段进行数据写入和阈值电压补偿,需要用于控制这些操作的不同的控制信号。同时,通常的OLED显示装置通过发光控制信号来控制OLED元件的发光的导通/断开。阈值电压补偿控制信号和发光控制信号可以具有与数据写入控制信号的脉冲宽度不同的脉冲宽度。

[0010] 移位寄存器可以依次地产生和输出具有预定脉冲宽度的信号脉冲。在通常的显示装置中,包括用于输出像素控制信号的移位寄存器的电路设置在与显示区域相同的基板上但在显示区域的外侧。例如,为了使显示装置具有窄边框,要求用于输出控制信号的电路具有更小的尺寸。与用于输出用于数据写入的控制信号的移位寄存器的设计相比,在一帧时段内输出长时间使OLED元件发光的发光控制信号的移位寄存器的设计通常是困难的。

发明内容

[0011] 因此,需要便于设计用于输出用于控制像素电路的控制信号的电路的技术。

[0012] 根据本发明的一个方面的显示装置包括:包括多个像素电路行的显示区域;包括串联的多个移位寄存器单元的移位寄存器;和多个锁存电路,所述多个锁存电路被配置为根据从移位寄存器输入的信号向多个像素电路行输出信号脉冲。多个锁存电路中的每一个锁存电路被配置为向与该锁存电路相关联的像素电路行输出第一种信号的脉冲。多个移位寄存器单元被配置为依次输出第二种信号的脉冲。多个锁存电路中的每一个锁存电路被配置为接收来自第一移位寄存器单元的第二种信号的脉冲和来自在第一移位寄存器单元的后级的第二移位寄存器单元的第二种信号的脉冲。来自多个锁存电路中的每一个锁存电路的第一种信号的脉冲响应于来自第一移位寄存器单元的第二种信号的脉冲而从第一电位电平变化到第二电位电平并且响应于来自第二移位寄存器单元的第二种信号的脉冲从第二电位电平变化到第一电位电平。

[0013] 根据本公开的另一方面的显示装置包括:显示区域;设置于显示区域的外侧的用于显示区域的驱动电路。显示区域包括:多个像素电路;以及与多个像素电路连接的多个第一控制线、多个第二控制线、多个信号线以及多个电源线。多个像素电路中的每一个像素电路包括:发光元件;多个第一导电型的开关晶体管;第二导电型的发光控制晶体管,该发光控制晶体管被配置为控制发光元件的发光的导通/断开;第二导电型的驱动晶体管,该驱动晶体管被配置为控制流向发光元件的电流量;以及与驱动晶体管连接的存储电容器。多个第一控制线被配置为将来自驱动电路的第一控制信号传输到多个第一导电型的开关晶体管。多个第二控制线被配置为将来自驱动电路的第二控制信号传输到第二导电型的发光控制晶体管。驱动电路包括多个晶体管、多个电容器以及多个连接线。驱动电路中包括的所有晶体管是第一导电型的晶体管。

[0014] 本发明的一个方面使得能够容易地设计用于输出像素电路的控制信号的电路。

[0015] 应当理解,前面的概述和以下详细描述都是示例性和解释性的,而不是对本发明的限制。

附图说明

[0016] 图1示意性地示出了OLED显示装置的薄膜晶体管(TFT)基板和安装在TFT基板上的控制电路的配置示例;

[0017] 图2示出了实施方式中的像素电路的配置示例;

[0018] 图3是用于控制图2所示的像素电路的信号的时序图的示例;

[0019] 图4示意性地示出了连续四个像素电路行中的阈值补偿时段和数据写入时段之间的关系;

[0020] 图5示出了锁存电路组中包含的锁存电路的配置示例;

[0021] 图6提供了锁存电路的真值表;

[0022] 图7是锁存电路的电路结构的一个示例;

[0023] 图8示意性地示出了移位寄存器电路和锁存电路组的配置示例以及配线的布局示例;

[0024] 图9示出了锁存电路组中包含的第N级锁存电路的输入输出信号;

- [0025] 图10A示意性地示出了用于生成发光控制信号Em的移位寄存器电路和锁存电路组的配置示例以及配线的布局示例；
- [0026] 图10B是来自图10A的锁存电路的输出信号Em的时序图；
- [0027] 图11示出了用于传输来自锁存电路的选择信号S1的信号线连接到电源电位VOFF的配置示例；
- [0028] 图12是图11所示的电路中的控制信号的时序图；
- [0029] 图13示出了向S1信号线供给电源电位VOFF的其他配置示例；
- [0030] 图14是图13的配置示例中的控制信号的时序图；
- [0031] 图15示出了像素电路的另一配置示例；
- [0032] 图16是用于一帧时段内控制图15所示的像素电路的信号的时序图；
- [0033] 图17示出了被设定为用于在图15和图16所示的配置示例的锁存电路组中的锁存电路的配置示例；
- [0034] 图18是锁存电路的输入信号和输出信号的时序图；
- [0035] 图19示意性地示出了通过移位寄存器电路和锁存电路组的组合来生成和输出控制信号S1、S2和Em的电路配置示例；
- [0036] 图20是示意性地示出锁存电路的布局示例的俯视图；并且
- [0037] 图21示意性地示出了沿图20中的剖面线XXI-XXI的剖面结构。

具体实施方式

- [0038] 在下文中,将参考附图描述本发明的实施方式。附图中共同的元件由相同的附图标记表示并且附图中的每个元件在尺寸和/或形状上可能被夸大以清楚地理解描述。
- [0039] 在下文中公开了如有机发光二极管(OLED)显示装置那样在发光型显示装置中产生和输出用于像素电路的控制信号的电路的配置,该发光型显示装置包括响应于驱动电流而发光的发光元件。本说明书的实施方式中的显示装置通过移位寄存器电路和多个锁存电路的组合产生并输出用于控制像素电路的控制信号。通过移位寄存器电路和多个锁存电路的组合,可以容易地设计输出具有期望的脉冲宽度的信号脉冲的电路。
- [0040] 例如,可以通过花费较长时间进行驱动TFT的阈值电压补偿来减少图像残留。通过在与数据写入时段不同的时段内进行阈值电压补偿,可以获得较长的阈值电压补偿时段。移位寄存器电路和多个锁存电路的组合可以容易地产生关于数据写入时段的控制信号和关于阈值电压补偿时段的控制信号。
- [0041] 移位寄存器电路包括多个串联的移位寄存器单元。例如,每个移位寄存器单元向相关联的像素电路行输出关于数据写入时段的控制信号。每个锁存电路从两个不同的移位寄存器单元接收该控制信号,并向相关联的像素电路行输出关于阈值电压补偿时段的控制信号。这种配置不需要用于关于阈值电压补偿时段的控制信号的移位寄存器电路,因此可以实现更小的电路面积。
- [0042] 在另一个例子中,移位寄存器电路和多个锁存电路的组合可以产生和输出用于控制发光元件的发光的导通/断开的发光控制信号。每个锁存电路接收来自两个不同移位寄存器单元的信号,并向相关联的像素电路行输出发光控制信号。该配置使得能够容易地设计用于生成发光控制信号的驱动器电路。

[0043] 除了发光控制信号之外,移位寄存器电路和多个锁存电路的组合可以产生和输出数据写入信号。每个移位寄存器单元向相关联的像素电路行输出关于数据写入时段的控制信号。每个锁存电路从两个不同移位寄存器单元接收数据写入控制信号,并向相关联的像素电路行输出发光控制信号。

[0044] 显示装置的配置

[0045] 以下,更具体地描述本说明书的实施方式。图1示意性地示出了OLED显示装置的薄膜晶体管(TFT)基板和安装在TFT基板上的控制电路的配置示例。在图1中,相同类型的部件中的仅一个部件用附图标记表示。OLED显示装置1包括在其上制造有机发光元件(OLED元件)和像素电路的TFT基板10以及用于封装OLED元件的未示出的薄膜封装(TFE)。

[0046] 薄膜封装是结构封装单元的一个例子。结构封装单元的另一示例可以包括用于封装OLED元件的封装基板和用于将TFT基板与封装基板粘合的粘合部(玻璃料密封剂)。例如,TFT基板与封装基板之间的空间填充有干燥的氮气。

[0047] TFT基板10包括绝缘基板;在绝缘基板上制作用于显示图像的显示区域101。第一移位寄存器(SR)电路111、锁存电路组113、第二移位寄存器电路115和驱动IC 117设置在显示区域101的外侧。在图1中,第一移位寄存器电路111设置在显示区域101的左侧,第二移位寄存器电路115设置在显示区域101的右侧;这些移位寄存器电路彼此相对。连接第一移位寄存器电路111和锁存电路组113的配线112设置在它们之间的空间中。

[0048] 驱动IC 117经由未示出的柔性印刷电路(FPC)连接到外部设备。FPC的连接端子与TFT基板10上的连接端子139相互连接。

[0049] 第一移位寄存器电路111驱动TFT基板10上的S2信号线132。S2信号线132设置为从第一移位寄存器电路111沿X轴延伸,并沿Y轴上下布置。在图1中,S2信号线132由虚线表示。第一移位寄存器电路111向S2信号线132依次输出控制信号S2的脉冲。锁存电路组113驱动TFT基板10上的S1信号线131。S1信号线131设置为从锁存电路组113沿X轴延伸并沿Y轴上下布置。锁存电路组113向S1信号线131依次输出控制信号S1的脉冲。稍后将描述控制信号S1和S2。

[0050] 第二移位寄存器电路115驱动发光信号线(Em信号线)133以控制像素的发光时段。Em信号线133设置为从第二移位寄存器电路115沿X轴延伸并且沿Y轴上下布置。第二移位寄存器电路115向Em信号线133依次输出Em信号(发光控制信号)的脉冲。稍后将描述Em信号。

[0051] 例如,驱动IC 117安装有各向异性导电膜(ACF)。驱动IC 117向第一移位寄存器电路111和第二移位寄存器电路115供应电源信号和时序信号(控制信号)。驱动IC 117向数据线137输出规定像素亮度的数据信号。在图1的配置示例中,数据线137设置为沿Y轴延伸并沿X轴并排布置。驱动IC 117向每条数据线137供应规定所选择的OLED元件的亮度水平的数据信号。

[0052] 显示区域101包括用于控制多个像素的OLED元件的发光的多像素电路107。在图1的配置示例中,像素电路设置成矩阵。像素电路的布局不限于特定的布局。例如,在多色OLED显示装置中,每个OLED元件发射红色、蓝色和绿色中的一种颜色的光。多个像素电路构成像素电路阵列。

[0053] 由多个像素电路组成的每个像素电路行与S1信号线131、S2信号线132和Em信号线133连接。S1信号线131、S2信号线132和Em信号线133分别传输控制信号S1、控制信号S2和控

制信号 E_m 至相关联的像素电路行。每个数据线137与一个像素电路列连接。每个像素电路列与每个像素电路行中的一个像素电路连接。数据线137将规定发光水平的数据信号传输到所选择的像素电路行中的像素电路。

[0054] 阳极电源线141和复位电源线142设置在TFT基板10上。阳极电源线141传输要供应给每个OLED元件的阳极的电源电位。在图1中,阳极电源线141由长虚线表示,其图案包括沿X轴延伸的配线和沿Y轴延伸并沿X轴并排布置的多条配线。沿Y轴延伸的配线与沿X轴延伸的配线连接。

[0055] 复位电源线142传输用于复位每个像素电路中的特定节点的电位的电源电位。在图1中,复位电源线142由虚线表示,其图案包括沿X轴延伸的配线和沿Y轴延伸并沿X轴并排设置的多条配线。沿Y轴延伸的配线与沿X轴延伸的配线连接。这些电源电位可以从外部电源电路或驱动IC 117中的电源电路供应。图1不包括将参考图2描述的电源线的一部分。

[0056] 如后面将描述的,每个像素电路包括驱动TFT(驱动晶体管)和用于保持用于确定驱动TFT的驱动电流的信号电压的存储电容器。通过数据线137传输的数据信号被调整并存储(写入)到存储电容器。存储电容器的电压决定驱动TFT的栅极电压(V_{gs})。调整后的数据信号以模拟方式改变驱动TFT的电导,以向OLED元件供应与发光灰度对应的正向偏置电流。

[0057] 像素电路的配置

[0058] 图2示出了实施方式中的像素电路107的配置示例。像素电路107被包括在第N级像素电路行(N是整数)中。像素电路107包括各自具有栅极、源极和漏极的六个晶体管(TFT)M11至M16。本示例中的所有晶体管M11至M16都是p型TFT。

[0059] 晶体管M11是用于控制流向OLED元件E1的电流量的驱动晶体管。驱动晶体管M11根据存储在存储电容器C10中的电压控制从供应电源电位PVDD的阳极电源向OLED元件E1供应的电流。存储电容器C10在一帧时段内保持写入电压。OLED元件E1的阴极与用于传输来自阴极电源的电源电位PVEE的电源线204连接。

[0060] 图2的配置示例中的存储电容器C10由串联的电容器C11和C12组成。存储电容器C10的一端被供应阳极电源电位PVDD,另一端与开关晶体管M13和M14的源极/漏极连接。存储电容器C10的又一端与驱动晶体管M11的栅极连接。更具体地,电容器C12的一端与阳极电源线141连接;电容器C11的一端与开关晶体管M13和M14的源极/漏极连接;电容器C11和C12之间的中间节点与驱动晶体管M11的栅极连接。

[0061] 存储电容器C10的电压为驱动晶体管M11的栅极与阳极电源线141之间的电压。驱动晶体管M11的源极与阳极电源线141连接;源极电位是阳极电源电位PVDD。因此,存储电容器C10存储驱动晶体管M11的栅极和源极之间的电压。在图2的配置示例中,电容器C12保持驱动晶体管M11的栅极-源极电压。

[0062] 晶体管M15是用于控制OLED元件E1的发光的导通/断开的开关晶体管。晶体管M15的源极与驱动晶体管M11的漏极连接。晶体管M15使向与漏极连接的OLED元件E1的电流供应导通/断开。晶体管M15的栅极与 E_m 信号线(发光控制线)133连接,晶体管M15由从移位寄存器电路115输入到其栅极的发光控制信号 E_m 控制。

[0063] 晶体管M16用于向OLED元件E1的阳极供应复位电位 V_{rst} 。晶体管M16的源极/漏极的一端与用于传输复位电位 V_{rst} 的电源线142连接,另一端与OLED元件E1的阳极连接。

[0064] 晶体管M16的栅极与S1信号线131连接,晶体管M16由控制信号S1控制。当晶体管

M16被从锁存电路组113输入到其栅极的控制信号S1导通时,晶体管M16将由电源线142传输的复位电位Vrst供应给OLED元件E1的阳极。晶体管M16还具有在向OLED元件E1的阳极供应复位电位Vrst的同时,在复位时段旁路从电源PVDD经由M11和M15流入的电流以防止泄漏发光的功能。

[0065] 晶体管M12是用于将用于校正(补偿)驱动晶体管M11的阈值电压的电压写入到存储电容器C10以及用于复位驱动晶体管M11的栅极电位的开关晶体管。晶体管M12的源极和漏极连接驱动晶体管M11的栅极和漏极。因此,当晶体管M12导通时,驱动晶体管M11处于二极管连接的状态。

[0066] 晶体管M14为开关晶体管,用于将用于补偿驱动晶体管M11的阈值电压的电压写入存储电容器C10。晶体管M14控制是否向存储电容器C10供应基准电位Vref。晶体管M14的源极/漏极的一端与用于传输基准电位Vref的电源线202连接,另一端与电容器C11的一端连接。晶体管M14的栅极与S1信号线131连接,晶体管M14由从锁存电路组113输入到其栅极的控制信号S1控制。

[0067] 晶体管M12、M16和M14由控制信号S1控制。因此,这些晶体管M12、M16和M14同时导通/断开。在这些晶体管导通的期间,当发光控制晶体管M15导通时,驱动晶体管M11的栅极电位被复位,随后发光控制晶体管M15断开。当晶体管M12和M14导通时,晶体管M11是处于二极管连接的晶体管。电源电位PVDD与基准电位Vref之间的阈值补偿电压被写入存储电容器C10。

[0068] 晶体管M13是用于选择要被供应数据信号的像素电路并将数据信号(数据信号电压)写入存储电容器C10的开关晶体管。晶体管M13的源极/漏极的一端与用于传输数据信号Vdata的数据线137连接,另一端与存储电容器C10连接,更具体地,晶体管M13的源极/漏极的另一端与电容器C11的一端连接。

[0069] 晶体管M13的栅极与用于传输用于选择写入数据信号的像素电路行的控制信号S2的S2信号线132连接。晶体管M13由从移位寄存器电路111供应的控制信号S2控制。当晶体管M13导通时,晶体管M13将从驱动IC 117经由数据线137供应的数据信号Vdata供应给存储电容器C10。

[0070] 图3是用于控制图2中的像素电路107的信号的时序图的示例。图3为将驱动晶体管M11的阈值补偿电压和数据信号Vdata写入第N级像素电路行的像素电路中的时序图。具体地,图3示出了用于选择第N级像素电路行以写入数据信号Vdata的选择信号S1_N和S2_N、用于第N级像素电路行的发光控制信号Em_N以及用于选择第(N-6)级像素电路行的选择信号S2_N-6在一帧中的时间变化。图3示出了这些信号的信号电位电平的变化。选择信号是一种控制信号,可以称为扫描信号。

[0071] 图3的时序图中的1H时段是向像素电路写入数据信号Vdata的时段和选择信号S2为低的时段。阈值补偿时段长于1H并且在图3的示例中为5小时。

[0072] 在时刻T1,选择信号S2_N-6从高变为低。如稍后将描述的,响应于选择信号S2_N-6的变化,选择信号S1_N从高变为低。晶体管M12、M14和M16响应于选择信号S1_N的变化而导通。由于发光控制信号Em_N在时刻T1为低,所以晶体管M15导通。

[0073] 由于晶体管M12和M14至M16导通,因此复位电位Vrst被供应给OLED元件E1的阳极,此外还供应给驱动晶体管M11的栅极。在时刻T2,发光控制信号Em_N从低变为高。从时刻T1

到时刻T2的时段是复位驱动晶体管M11的栅极电压的时段。选择信号S2_N-6也在时刻T2从低变为高。从时刻T1到时刻T2的时段是向第(N-6)级像素电路行写入数据信号的时段。从时刻T1到时刻T2的时段的长度为1H。

[0074] 从时刻T2到时刻T3,保持信号S1_N、S2_N、Em_N和S2_N-6的电位电平。晶体管M12、M14和M16导通,包括晶体管M15的其他晶体管断开。在从时刻T2到时刻T3的时段中,阈值补偿电压被写入到存储电容器C10。从时刻T2到时刻T3的时段为阈值补偿时段,长度为5H。

[0075] 在时刻T3,选择信号S2_N由高变低。如稍后将描述的,响应于选择信号S2_N的改变,选择信号S1_N从低变为高。晶体管M12、M14和M16响应于选择信号S1_N的变化而断开。选择信号S1_N在时刻T3之后维持为高。

[0076] 此外,晶体管M13响应于选择信号S2_N的变化从断开变为导通。结果,数据信号Vdata开始写入存储电容器C10。在时刻T4,选择信号S2_N从高变为低。作为响应,晶体管M13由导通变为断开以结束向第N级像素电路行的数据写入。从时刻T3至时刻T4的时段为向第N级像素电路行写入数据的时段,其长度为1H。选择信号S2_N在时刻T4之后保持为高。

[0077] 在时刻T4,发光控制信号Em_N从高变为低。作为响应,晶体管M15从断开变为导通。结果,驱动电流被供应给OLED元件E1并且OLED元件E1开始发光。

[0078] 图4示意性地示出了四个连续的像素电路行中的阈值补偿时段和数据写入时段之间的关系。在每个像素电路行中,数据写入时段在阈值补偿时段之后。数据写入时段和阈值补偿时段的长度对于各像素电路行是共同的。数据写入时段的长度为1H,阈值补偿时段的长度为 $(q-1)*H$,其中q为大于1的整数。为了更合适的阈值补偿,将q的值确定为大于2的整数。在参照图3描述的示例中,q的值为6。

[0079] 如稍后将描述的,阈值补偿时段根据前一行的选择信号S2_N-q可以具有不同的长度以引起选择信号S1_N的改变。如上所述,选择信号S1_N为低的时段的长度为qH并且阈值补偿时段的长度为 $(q-1)*H$ 。在设计显示装置时,选择q的值以获得适当的阈值补偿时段。

[0080] 如图4所示,数据信号被依次写入各像素电路行。每个像素电路行的数据写入时段在前一行的数据写入时段结束后立即开始。不同像素电路行的数据写入时段从不重叠。每个像素电路行的阈值补偿时段与前一像素电路行的阈值补偿时段和数据写入时段重叠。阈值补偿时段可以与紧接其前的和一些之前的像素电路行的数据写入时段重叠。

[0081] 移位寄存器电路与锁存电路组的组合

[0082] 图5示出了在锁存电路组113中包括的锁存电路300的配置示例。图5中的锁存电路向第N级像素电路行输出选择信号S1_N。锁存电路300包括用于接收信号的SET端子301和RST端子302以及用于输出信号的Q端子303。

[0083] 第(N-6)级像素电路行的选择信号S2_N-6从移位寄存器电路111输入到SET端子301。第N级像素电路行的选择信号S2_N输入到RST端子302。锁存电路300从Q端子303向第N级像素电路行的S1信号线131输出S1_N信号。

[0084] 图6提供了锁存电路300的真值表。在图6的真值表中,L表示逻辑低电平,H表示逻辑高电平。在参考图3至图5描述的配置中,信号S1和S2的高电位电平对应于逻辑低电平,信号S1和S2的低电位电平对应于逻辑高电平。

[0085] 当SET输入为L并且RST输入为L时,Q输出为L。当SET输入为H并且RST输入为L时,Q输出为H,即使之后SET输入变化,Q输出也保持为H。当SET输入为L并且RST输入为H时,Q输出

为L。不允许SET输入和RST输入均为H的状态。

[0086] 从参照图3和图5的描述可以理解,移位寄存器电路111向像素电路行依次输出选择信号S2的脉冲。脉冲宽度为1H。每个锁存电路300向相关联的像素电路行输出S1信号。

[0087] 如上所述,当第N行的锁存电路300在SET端子301处接收到提前预定行数的行的选择信号S2_{N-q}的低电位电平(逻辑电平H)的脉冲时,它将从Q端子303输出的选择信号S1_N改变为低电位电平。尽管选择信号S2_{N-q}随后变为高电位电平(逻辑电平L),但RST端子302的输入S2_N处于高电位电平,因此从Q端子303输出的选择信号S1_N保持在低电位电平。

[0088] 随后,锁存电路300在RST端子302处接收第N级像素电路行的选择信号S2_N的低电位电平(逻辑电平H)的脉冲。作为响应,锁存电路300将从Q端子303输出的选择信号S1_N改变为高电位电平(逻辑电平L)。从锁存电路300输出的S1_N信号的脉冲宽度是qH。

[0089] 图7示出了锁存电路300的电路配置的示例。在图7的配置示例中,锁存电路300包括四个晶体管和一个电容元件。四个晶体管M21至M24是p型晶体管。晶体管M21处于二极管连接状态并且在漏极处接收来自SET端子301的输入。晶体管M22被连接在晶体管M21和用于供应电源电位PVEE的电源之间,并且在栅极处接收来自RST端子302的输入。

[0090] 晶体管M23被连接在用于供应电源电位PVDD的电源与Q端子303之间,并且其栅极与晶体管M21和M22之间的中间节点连接。晶体管M24被连接在晶体管M23和用于供应电源电位PVEE的电源之间,并在栅极处接收来自RST端子的输入。电容元件Cb被连接在晶体管M23的栅极和Q端子303之间。晶体管M23与M24之间的中间节点与Q端子303连接。

[0091] 图8示意性地示出了移位寄存器电路111和锁存电路组113的配置示例以及配线112的布局的示例。移位寄存器电路111包括串联的多个移位寄存器单元。在图8中,移位寄存器单元中的仅一个用附图标记400表示。

[0092] 图8包括第(N-6)级至第(N+3)级移位寄存器单元400。这些移位寄存器单元400与第(N-6)级至第(N+3)级像素电路行相关联。数据位根据两个时钟信号CK和CKB从移位寄存器单元400被传输到下一个移位寄存器单元400。保持数据位的移位寄存器单元400输出信号脉冲。

[0093] 锁存电路组113包括多个锁存电路300。在图8中,锁存电路中的仅一个用附图标记300表示。图8包括第(N-6)级至第(N+3)级锁存电路300。这些锁存电路300与第(N-6)级至第(N+3)级像素电路行相关联。

[0094] 移位寄存器电路111包括各自与像素电路行相关联的移位寄存器单元400。与像素电路行关联的移位寄存器单元400向关联的像素电路行和两个锁存电路300输出信号脉冲。移位寄存器单元400的数量大于像素电路行的数量。一些移位寄存器单元400(未示出)不与像素电路行连接并且仅向锁存电路300输出信号。

[0095] 锁存电路300的两个输入与两个不同的移位寄存器单元400的输出连接。具体来说,前级的移位寄存器单元400的输出被输入到SET端子,标记为S,来自后级的移位寄存器单元400的输出被输入到RST端,标记为R。在图8的配置示例中,第(N-6)级移位寄存器单元400的输出被输入到第N级锁存电路300的SET端子,并且第N级移位寄存器单元400的输出被输入到第N级锁存器电路300的RST端。

[0096] 第N级移位寄存器单元400将用于第N级像素电路行的选择信号S2输出至第N级像素电路行、第N级锁存电路300的RST端子、以及第(N+6)级锁存电路300的SET端子。第N级移

位寄存器单元400同时向它们输出信号脉冲。

[0097] 第N级锁存电路300从Q端子(标记为Q)向第N级像素电路行输出选择信号S1。如上所述,第N级锁存电路300响应于来自第(N-6)级移位寄存器单元400的信号脉冲而开始选择信号S1的脉冲,并响应于来自第N级移位寄存器单元400的信号脉冲而结束该脉冲。来自锁存电路300的脉冲为第一种信号的脉冲,来自移位寄存器单元400的脉冲为第二种信号的脉冲。如上所述,选择信号S1_N是利用两个移位寄存器单元和一个锁存电路产生的。

[0098] 上述关于第N级移位寄存器单元400和第N级锁存电路300的描述适用于与各个像素电路行相关联的其他级的移位寄存器单元400和锁存电路300。虽然上述例子以来自两个相隔六级的移位寄存器单元400的输出来控制锁存电路300,用于控制锁存电路300的移位寄存器单元400的级的关系根据选择信号S1的脉冲宽度来确定。

[0099] 更一般地,第N级锁存电路的输出由来自第K级移位寄存器单元的信号脉冲设定,并由来自第(K+p)级移位寄存器单元的信号脉冲复位,其中K为整数,p为大于1的整数。在上述示例中,K为(N-6),并且p为6。

[0100] 第(N+q)级锁存电路的输出由来自第(K+q)级移位寄存器单元的信号脉冲设定,并由来自第(K+q+p)级移位寄存器单元的信号脉冲复位,其中q是大于0的整数。来自锁存电路300的脉冲具有p*H的脉冲宽度。来自第(N+q)级锁存电路的脉冲相对于来自第N级锁存电路的脉冲延迟q*H的时间。如上所述,阈值补偿时段的长度为(p-1)*H。

[0101] 接着,说明利用移位寄存器电路和锁存电路组的组合来生成发光控制信号Em的结构。图9示出了在锁存电路组中包括的第N级锁存电路350的输入和输出信号。锁存电路350的真值表与参照图6描述的相同。

[0102] 选择信号S2_N-5从第(N-5)级移位寄存器单元输入到锁存电路350的RST端子352。选择信号S2_N+1从第(N+1)级移位寄存器单元输入到锁存电路350的SET端子351。锁存电路350从Q端子353向第N级像素电路行输出发光控制信号Em_N。在阈值补偿时段的长度为(p-1)*H的情况下,锁存电路350在RST端352处从第(N-(p-1))级移位寄存器接收选择信号S2。

[0103] 图10A示意性地示出了用于生成发光控制信号Em的移位寄存器电路和锁存电路组的配置示例以及配线的布局示例。该配置使得能够更容易地设计用于生成发光控制信号Em的电路。

[0104] 移位寄存器电路451包括串联的多个移位寄存器单元452。移位寄存器单元中的仅一个用附图标记452表示。每个移位寄存器单元452具有与移位寄存器单元400相同的配置。移位寄存器电路451不直接向像素电路输出信号,而是仅向锁存电路组461输出信号。

[0105] 锁存电路组461包括多个锁存电路350,每个锁存电路与像素电路行相关联。锁存电路中的一个用附图标记350表示。锁存电路组461具有与参考图8描述的锁存电路组相同的配置。图10的配置与图8的配置相比,不同之处在于移位寄存器电路451和锁存电路组461之间的连接线471。

[0106] 图10A包括第(N-6)级至第(N+3)级移位寄存器单元452和锁存电路350。锁存电路350与第(N-6)级至第(N+3)级像素电路行相关联。移位寄存器单元452的数量大于像素电路行的数量。

[0107] 锁存电路350的两个输入与两个不同的移位寄存器单元452的输出连接。具体来说,前级的移位寄存器单元452的输出被输入到RST端子,来自后级的移位寄存器单元452的

输出被输入到SET端子。在图10A的配置示例中,第(N-5)级移位寄存器单元452的输出被输入到第N级锁存电路350的RST端子,第(N+1)级移位寄存器单元452的输出被输入到第N级锁存电路350的SET端子。

[0108] 第N级移位寄存器单元452向第(N-1)级锁存电路350的SET端子和第(N+5)级锁存电路350的RST端子输出控制信号。第N级移位寄存器单元452同时向它们输出信号脉冲。

[0109] 第N级锁存电路350从Q端子向第N级像素电路行输出发光控制信号 E_m 。第N级锁存电路350响应于来自第(N-5)级移位寄存器单元452的信号脉冲而开始发光控制信号 E_m 的脉冲,并响应于来自第(N+1)级移位寄存器单元452的信号脉冲而结束脉冲。

[0110] 发光控制信号 E_m 的脉冲的极性(电位电平)与选择信号S1的脉冲的极性相反。信号的时序图在图10B中提供。来自锁存电路350的脉冲是第一种信号的脉冲,来自移位寄存器单元452的脉冲是第二种信号的脉冲。

[0111] 关于第N级移位寄存器单元452和第N级锁存电路350的上述描述适用于与各个像素电路行相关联的其他级的锁存电路350和移位寄存器单元452。虽然上述例子利用来自两个相隔六级的移位寄存器单元452的输出来控制锁存电路350,但是可以根据发光控制信号 E_m 的脉冲宽度来确定用于控制锁存电路350的多个移位寄存器单元452的级的关系。

[0112] 更一般地,第N级锁存电路的输出由来自第K级移位寄存器单元的信号脉冲复位,并由来自第(K+p)级移位寄存器单元的信号脉冲设定。在上述示例中,K为(N-5)并且p为6。

[0113] 第(N+q)级锁存电路的输出由来自第(K+q)级移位寄存器单元的信号脉冲复位,并且由第(K+q+p)级移位寄存器单元的信号脉冲设定。来自锁存电路的脉冲具有 $p \cdot H$ 的脉冲宽度。来自第(N+q)级锁存电路的脉冲相对于来自第N级锁存电路的脉冲延迟 $q \cdot H$ 的时间。如上所述,断开向OLED元件E1供应电流的时段的长度为 $p \cdot H$ 。

[0114] 参考图10A描述的配置示例使用移位寄存器电路和锁存电路组的组合,仅生成和输出发光控制信号 E_m 而不生成选择信号S2。除了发光控制信号 E_m 之外,另一个配置示例可以产生和输出选择信号S2。在这种情况下,OLED显示装置包括移位寄存器电路,移位寄存器电路用于产生选择信号S1并将其输出,而不将其发送到锁存电路组。

[0115] 用于产生选择信号S2和发光控制信号 E_m 的电路是通过在图10A的配置示例中追加从移位寄存器单元452的输出到相关联的像素电路行的控制信号线而获得的。与像素电路行连接的移位寄存器单元452向相关联的像素电路行以及参考图10A描述的两个锁存电路输出信号脉冲。本发明的驱动方法不限于上述两个实施方式,而是通过改变向锁存电路输入的SET信号和RST信号的时序以及SET信号和RST信号之间的间隔来产生具有期望宽度的脉冲的通用方法。

[0116] 图11示出了用于传输来自锁存电路300的选择信号S1的信号线131被连接到电源电位V_{OFF}的配置示例。这种配置可防止S1信号线在发光时段变为浮动状态。

[0117] 由于与S1信号线连接的晶体管M23和M24在发光时段断开,所以S1信号线变为电浮置状态。S1信号线的电位由整个信号线的电容保持,但由于经由显示区域中与S1信号线交叉的数据线的电容耦合的电容的馈通噪声而改变。当这种潜在的变化很大时,图像质量可能会下降。因此,在发光时段中固定S1信号线的电位是更合适的。

[0118] 图11的配置示例包括用于导通/断开在S1信号线131和电源电位V_{OFF}的电源线之间的连接的复位开关(开关晶体管)501。图11的配置示例中的复位开关501是p型TFT。每个

S1信号线131设置有复位开关501。在参考图2至图10描述的配置示例中,电源电位V_{OFF}是与选择信号S1的脉冲电位相反的电位,并且处于高电位电平。

[0119] 复位开关501通过从移位寄存器电路115输出的发光控制信号Em来导通/断开。发光控制信号Em是用于控制是否向OLED元件E1供应驱动电流的信号。具体地,用于导通/断开电源电位V_{OFF}向第N级像素电路行的S1信号线131的供应的复位开关501通过相同的第N级像素电路行的发光控制信号Em_N而导通/断开。

[0120] 图12是图11所示的电路中的控制信号的时序图。下面主要说明与图3的时序图的不同之处。发光控制信号Em_N在比时间T1提前1H的时间T0从低变为高。当发光控制信号Em_N为低时,复位开关501导通并且第N个S1信号线131固定在电源电位V_{OFF}。

[0121] 复位开关501响应于发光控制信号Em_N向高的变化而断开。S1信号线131变为浮动状态。在时刻T1,锁存电路300开始向选择信号S1_N输出低电平信号。发光控制信号Em_N为高并且晶体管M15断开。复位电位V_{rst}被供应给OLED元件E1的阳极,但不供应给驱动晶体管M11的栅极。

[0122] 在比时刻T4晚1H的时刻T5,发光控制信号Em_N从高变为低。复位开关501响应于发光控制信号Em_N向低的变化而导通。第N个S1信号线131固定到电源电位V_{OFF}。

[0123] 图13图示了用于向S1信号线供应电源电位V_{OFF}的另一配置示例。图13的配置示例通过移位寄存器电路503和锁存电路组的组合产生和输出用于控制复位开关501的信号VRESET。虽然图13以示例的方式示出了第N级锁存电路505,锁存电路组包括与所有的S1信号线一一对应的锁存电路505。锁存电路505的输出被输入到与同一S1信号线相关联的复位开关501的栅极。来自移位寄存器单元的脉冲的时段为1H。

[0124] 在图13的配置示例中的第N级锁存电路505在RST端子接收第(N-6)级移位寄存器单元的输出,并在SET端子接收第N级移位寄存器单元的输出。第N级锁存电路505从Q端子向第N级复位开关501的栅极输出控制信号VRESET。

[0125] 图14是图13的配置示例中的控制信号的时序图。下面主要描述与图13的时序图的不同之处。如图14所示,第N级复位开关501的控制信号VRESET与第N级像素电路行的选择信号S1互补地变化。换句话说,一个信号是高或低,另一个信号是低或高。这种配置使S1信号线的电位稳定。

[0126] 在时刻T1,锁存电路505的输出响应于到RST端子的控制信号R_{N-6}的脉冲而从逻辑H变为逻辑L。换言之,锁存电路505的输出VRESET从低电位电平变为高电位电平,使得复位开关501断开。

[0127] 在随后的时刻T3,锁存电路505的输出响应于到SET端子的控制信号R_N的脉冲而从逻辑L变为逻辑H。换言之,锁存电路505的输出VRESET从高电位电平变为低电位电平,使得复位开关501导通,以向S1信号线供给电源电位V_{OFF}。

[0128] 如参考图11至图14描述的,用于将脉冲从锁存电路传输到像素电路行的每条配线在脉冲结束之后连接到处于高电位电平的电源线。这种配置使配线的电位稳定。供应给配线的电位电平是脉冲的基准电位电平,并且根据S1信号的波形可以是低电平。

[0129] 参考图13和图14描述的配置示例包括第二移位寄存器电路503和多个第二锁存电路505。每个锁存电路505向与其相关的复位开关501输出信号脉冲。

[0130] 移位寄存器电路503依次输出信号脉冲。每个锁存电路505接收来自移位寄存器电

路503中的移位寄存器单元的信号脉冲和来自第一移位寄存器单元后级的另一个移位寄存器单元的信号脉冲。来自锁存电路505的信号脉冲响应于来自前级移位寄存器单元的信号脉冲而开始,并且响应于来自后级移位寄存器单元的信号脉冲而结束。

[0131] 每个锁存电路505以与S1信号脉冲同步的信号脉冲控制相关的复位开关501,以在S1信号脉冲结束之后将用于将S1信号脉冲传输至像素电路行的配线连接至处于高电平电位的电源线。

[0132] 像素电路的其他配置

[0133] 图15示出了像素电路的另一配置示例。像素电路550包括p型TFT和n型TFT。p型TFT可以是低温多晶硅TFT,n型TFT可以是氧化物半导体TFT。像素电路550包括七个晶体管(TFT)M51至M57。在这个例子中,晶体管M51、M53和M56是p型TFT,晶体管M52、M54、M55和M57是n型TFT。

[0134] 晶体管M53是用于控制流向OLED元件E1的电流量的驱动晶体管。驱动晶体管M53根据存储电容器Cst中存储的电压来控制从阳极电源提供给OLED元件E1的电流。OLED元件E1的阴极连接到阴极电源。存储电容器Cst存储驱动晶体管M53的栅极-源极电压。

[0135] 晶体管M51和M56是控制OLED元件E1是否发光的发光控制晶体管。晶体管M51从其源极端子与阳极电源连接,并且接通/断开向与其漏极端子连接的驱动晶体管M53的电流供应。晶体管M56从其源极端子与驱动晶体管M53的漏极端子连接,并且接通/断开向与其漏极端子连接的OLED元件E1的电流供应。晶体管M51和M56由发光控制信号Em控制。

[0136] 晶体管M57用于向OLED元件E1的阳极供应复位电位。当晶体管M57通过输入到其栅极的选择信号S2而导通时,晶体管M57从复位电源向OLED元件E1的阳极供应复位电位Vrst。复位电源的另一端与GND连接。

[0137] 晶体管M55控制是否向驱动晶体管M53的栅极供应复位电位。当晶体管M55通过输入到其栅极的选择信号S1而导通时,晶体管M55从与其源极/漏极连接的复位电源向驱动晶体管M53的栅极供应复位电位Vrst。复位电源的另一端与GND连接。OLED元件E1的阳极的复位电位与驱动晶体管M53的栅极的复位电位可以不同。

[0138] 晶体管M52是用于选择要被供应数据信号的像素电路550的选择晶体管。晶体管M52的栅极电压由选择信号S2控制。选择晶体管M52当其导通时将从驱动IC 117通过数据线供应的数据信号Vdata供应给驱动晶体管M53的栅极(存储电容器Cst)。

[0139] 在本示例中,选择晶体管M52被连接在数据线和驱动晶体管M53的源极之间。进一步地,晶体管M54被连接在驱动晶体管M53的漏极和栅极之间。

[0140] 晶体管M54用于校正驱动晶体管M53的阈值电压。当晶体管M54导通时,驱动晶体管M53变为二极管连接的状态。来自数据线的的数据信号Vdata通过导通的选择晶体管M52、驱动晶体管M53和晶体管M54的沟道(源极和漏极)被供应给存储电容器Cst。

[0141] 存储电容器Cst用于保持驱动晶体管M53的栅极-源极电压;其一端与驱动晶体管M53的栅极连接,另一端与在晶体管M51的源极与阳极电源之间的节点连接。存储电容器Cst保持根据驱动晶体管M53的阈值电压Vth调整的数据信号(电压)。

[0142] 图16是在一帧时段中控制图15所示的像素电路550的信号的时序图。图16是选择第N级像素电路行并将数据信号Vdata写入像素电路550的时序图。

[0143] 图16示出了发光控制信号Em_N、选择信号S1_N和选择信号S2_N在一帧内的变化。

[0144] 在时刻T11,发光控制信号Em从低变为高。晶体管M51和M56断开。在时刻T11,选择信号S1_N和S2_N为低。根据这些控制信号,晶体管M52、M54、M55和M57断开。这些晶体管的状态被保持直至时间T11之后的时间T12。

[0145] 在时刻T12,选择信号S1_N从低变为高。在时刻T12,发光控制信号Em_N为高并且选择信号S2_N为低。晶体管M55响应于选择信号S1_N的变化而导通。晶体管M51、M52、M54、M56和M57断开。

[0146] 响应于晶体管M55导通,驱动晶体管M53的栅极电位变化到复位电位Vrst。从时刻T12到时刻T13,复位电位Vrst被供应给驱动晶体管M53的栅极。驱动晶体管M53可以通过在其栅极被供应复位电位来减少滞后效应。

[0147] 在时刻T13,选择信号S1_N从高变为低,选择信号S2_N从低变为高。发光控制信号Em_N为高。晶体管M55响应于选择信号S1_N的变化而断开。晶体管M52、M54和M57响应于选择信号S2_N的变化而导通。晶体管M51和M56断开。

[0148] 响应于晶体管M57导通,复位电源的复位电位Vrst被供应给OLED元件E1的阳极。由于晶体管M54导通,因此驱动晶体管M53被进行二极管连接。由于晶体管M52导通,因此来自数据线的的数据信号Vdata通过晶体管M52、M53和M54被写入存储电容器Cst。

[0149] 要写入存储电容器Cst的电压是在将对驱动晶体管M53的阈值电压Vth的校正并入数据信号Vdata之后的电压。在时刻T13至时刻T14的时段,进行数据信号Vdata向像素电路550的写入以及对驱动晶体管M53的阈值补偿。

[0150] 在时刻T14,选择信号S2_N从高变为低。在时刻T14,发光控制信号Em_N为高并且选择信号S1_N为低。晶体管M52、M54和M57响应于选择信号S2_N的变化而断开。晶体管M51、M52和M54至M57断开。控制信号和晶体管的这些状态从时刻T14到时刻T15保持。

[0151] 在时刻T15,发光控制信号Em_N从高变为低,晶体管M51和M56从断开变为导通。选择信号S1_N和S2_N为低;晶体管M52、M54、M55和M57仍然断开。

[0152] 驱动晶体管M53基于存储电容器Cst中存储的调整后的数据信号来控制供应给OLED元件E1的驱动电流。这意味着OLED元件E1发光。在图16的时序图中,从时刻T11到时刻T12、从时刻T12到时刻T13、从时刻T13到时刻T14中的每一个时段具有1H的长度。在图15和图16所示的配置示例中,阈值补偿和数据写入是在同一时段内进行,并且它们不分开执行。

[0153] 在下文中,说明通过在图15和图16所示的配置示例中设定的移位寄存器电路和锁存电路的组合来生成和输出控制信号S1、S2和Em的方法。图17图示了在锁存电路组中使用的锁存电路380的配置示例。虽然图17示出了第N级锁存电路380,但是其他级的锁存电路具有相同的配置。

[0154] 锁存电路380包括四个晶体管和一个电容元件。四个晶体管M61至M64是n型晶体管。晶体管M61处于二极管连接状态;它在其漏极接收来自SET端子381的输入。晶体管M62被连接在晶体管M61和用于供应电源电位PVEE的电源之间,并且在其栅极接收来自RST端子382的输入。

[0155] 晶体管M63被连接在用于供应电源电位PVDD的电源和Q端子383之间,并且其栅极与在晶体管M61和M62之间的中间节点连接。晶体管M64被连接在晶体管M63和供应电源电位PVEE的电源之间,并在其栅极接收RST输入。电容元件Cd被连接在晶体管M63的栅极和Q端子383之间。Q端子383与在晶体管M63和M64之间的中间节点连接。

[0156] 图18是锁存电路380的输入信号和输出信号的时序图。在锁存电路380中,当信号的逻辑电平为H时,电位电平为高。锁存电路380的真值表与图6中的真值表相同。

[0157] 当SET信号和RST信号都处于低电位电平时,Q输出处于低电位电平。当SET输入变为高电位电平时,Q输出变为高电位电平。即使SET输入随后变为低电位电平,Q输出也保持高电位电平。此后,响应于RST输入变为高电位电平,Q输出变为低电位电平。随后,RST输入变为低电位电平,Q输出保持低电位电平。

[0158] 图19示意性地图示了利用移位寄存器电路和锁存电路组的组合来生成和输出控制信号S1、S2和Em的电路配置的示例。图19示出了移位寄存器电路507和锁存电路组中的一个锁存电路380。移位寄存器电路507与移位寄存器电路111一样,包括串联的多个移位寄存器单元。移位寄存器电路507可以具有期望的电路结构。在一个实施方式中,移位寄存器电路507中包含的晶体管均为n型TFT。

[0159] 多个移位寄存器单元依次输出信号脉冲。信号脉冲处于高电位电平。第N级移位寄存器单元的输出S_N被输入到第N级像素电路行的S2信号线、第(N+1)级像素电路行的S1信号线、第(N-2)级锁存电路380的RST端子和第(N+2)级锁存电路380的SET端子。S1信号线和S2信号线为第一控制线。

[0160] 移位寄存器单元向两个像素电路行输出选择信号S1和S2,进而向两个锁存电路380输出RST信号和SET信号。由上述可知,移位寄存器单元的输出脉冲为一个相关联的像素电路行的S2信号脉冲和另一个相关联的像素电路行的S1信号脉冲(第三信号脉冲)。

[0161] 例如,第N级像素电路行的选择信号S1_N为第(N-1)级移位寄存器单元的输出信号S_{N-1}。第N级像素电路行的选择信号S2_N为第N级移位寄存器单元的输出信号S_N。

[0162] 如上所述,第N级锁存电路380在SET端子接收来自第(N-2)级移位寄存器单元的输出信号S_{N-2}并且在RST端子接收来自第(N+2)级移位寄存器单元的输出信号S_{N+2}。第N级锁存电路380从Q端子输出用于第N级像素电路行的发光控制信号Em_N。Q端子的输出由信号脉冲控制到达SET端子和RST端子。用于传输发光控制信号的Em信号线为第二控制线。

[0163] 从以上可以理解,该配置示例从第N级像素电路行之前的两行和之后的两行的像素电路行的移位寄存器信号生成第N级像素电路行的发光控制信号Em_N。发光控制信号Em的脉冲的时段为4H。该配置示例中的发光控制信号Em被供应给p型晶体管M51和M56的栅极,因此,发光控制信号Em具有与选择信号S1和S2相同极性的脉冲。

[0164] 具有相同极性的脉冲意味着信号处于高电平的时段明显短于信号处于低电平的时段。通过采用n型TFT而不是采用p型TFT,可以用较少数量的TFT构成用于产生这种信号的电路以实现较小的电路面积。在一个实施方式中,锁存电路和移位寄存器电路中包含的晶体管均为n型TFT。

[0165] 如上所述,参考图15描述的像素电路550包括用于发光控制晶体管M56和M51和驱动晶体管M53的p型(第二导电型)TFT和用于开关晶体管M52、M54、M55和M57的n型(第一导电型)TFT。如参考图19所描述的,来自移位寄存器电路507的控制线(第一控制线)传输选择信号S,来自锁存电路380的控制线(第二控制线)传输发光控制信号Em。在移位寄存器电路507和锁存电路380中包含的所有晶体管都是n型(第一导电型)TFT。

[0166] 如上所述,该配置示例利用包括n型TFT的移位寄存器电路和锁存电路组生成和输出选择信号S1和S2以及脉冲宽度长于1H的发光控制信号Em。如果像素电路550中的晶体管

的导电类型改变为相反的导电型,并且移位寄存器电路和锁存电路包括p型TFT,则移位寄存器电路和锁存电路可以由一种导电类型的晶体管构成。

[0167] 锁存电路的装置结构

[0168] 以下,描述锁存电路的装置结构的示例。图20是示意性地示出锁存电路300的布局示例的平面图。如参照图7所述,锁存电路300包括晶体管M21至M24和电容元件Cb。在图20中,相同材料的层由相同的图案表示。具体地,锁存电路300包括半导体层SC、第一金属层MT1和第二金属层MT2。

[0169] 图21示意性地示出了沿图20中的剖面线XXI-XXI的剖面结构。图21示出了晶体管M22的剖面结构。底涂膜UC设置在绝缘基板SUB上。底涂膜UC可以是氮化硅膜。

[0170] 半导体层SC设置在底涂膜UC上。半导体层SC可以是多晶硅。在TFT为n型的情况下,可以使用氧化物半导体。半导体层SC被栅极绝缘膜GI覆盖。栅极绝缘膜GI可以是氧化硅膜、氮化硅膜或这些膜的叠层。

[0171] 在第一金属层MT1中包括的栅极电极GT和第一配线ML1设置在栅极绝缘膜GI上。例如,Mo、W、Nb或Al可以用于第一金属层MT1。

[0172] 第一金属层MT1和从第一金属层MT1暴露的栅极绝缘膜GI被层间绝缘膜ILD覆盖。层间绝缘膜ILD可以是氮化硅膜或氧化硅膜。在第二金属层MT2中包括的第二配线ML2设置在层间绝缘膜ILD上。

[0173] 第二配线ML2的一部分经由穿过层间绝缘膜ILD和栅极绝缘膜GI开口的接触孔与半导体层SC接触。第二配线ML2的另一部分经由穿过层间绝缘膜ILD和栅极绝缘膜GI开口的接触孔与半导体层SC接触,并且进一步经由穿过层间绝缘膜ILD开口的接触孔与第一配线ML1接触。整个锁存电路300被保护绝缘膜PV覆盖。保护绝缘膜PV可以是无机膜,例如氮化硅膜或氧化硅膜。

[0174] 如上所述,已经描述了本发明的实施方式;然而,本发明不限于前述实施方式。本领域技术人员可以在本发明的范围内容易地修改、添加或转换前述实施方式中的各个元件。一个实施方式的配置的一部分可以用另一实施方式的配置替换,或者一个实施方式的配置可以合并到另一实施方式的配置中。

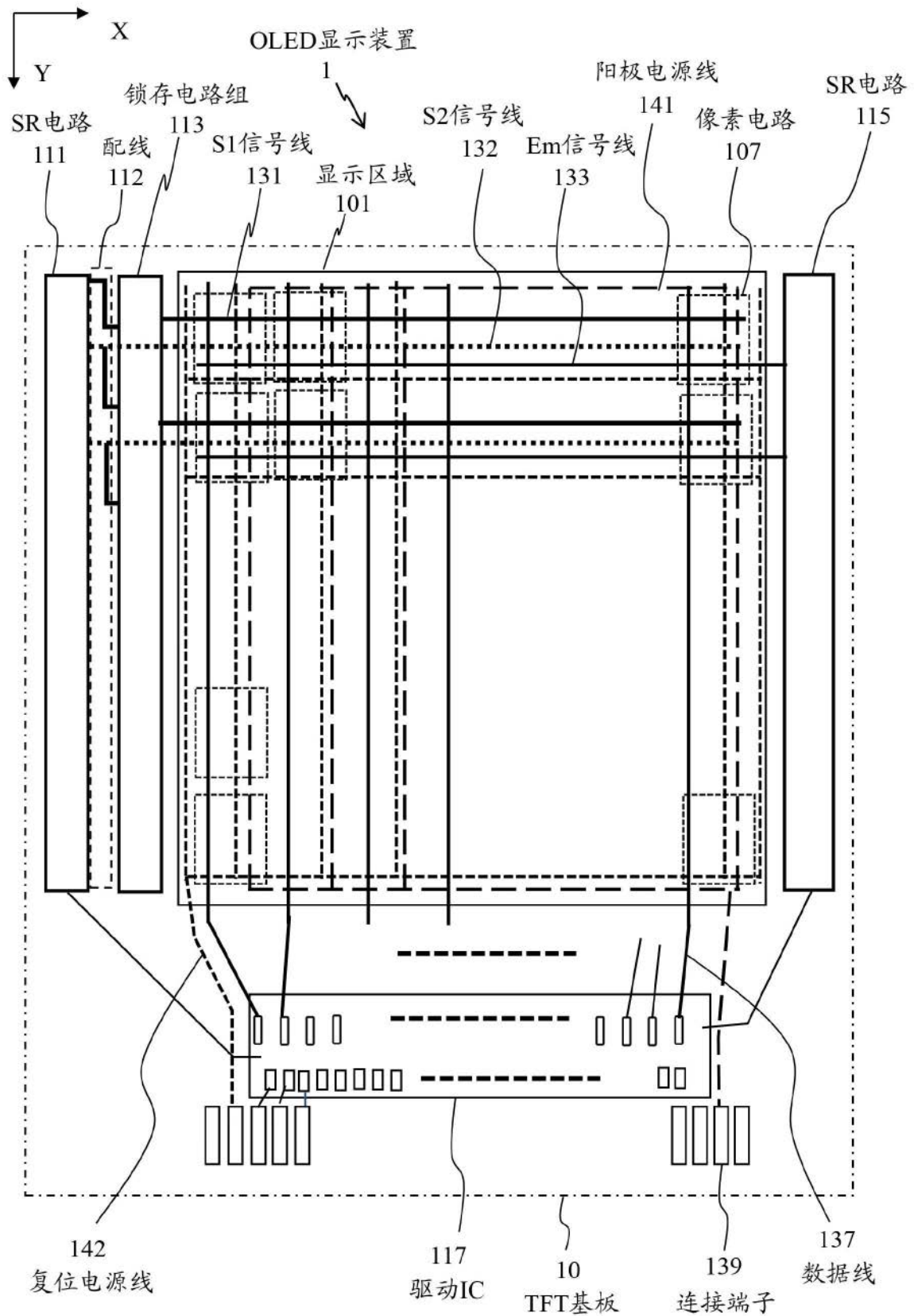


图1

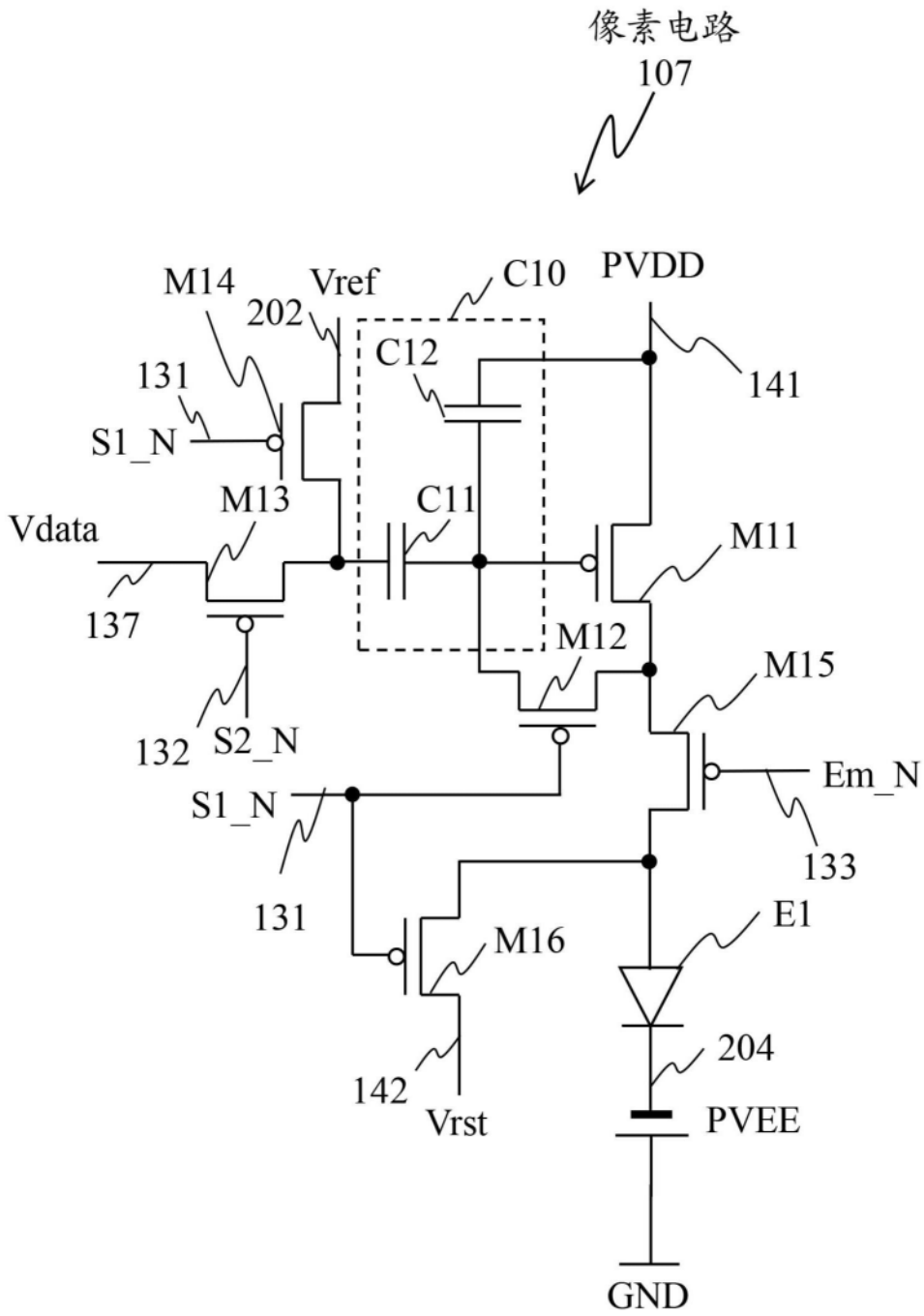


图2

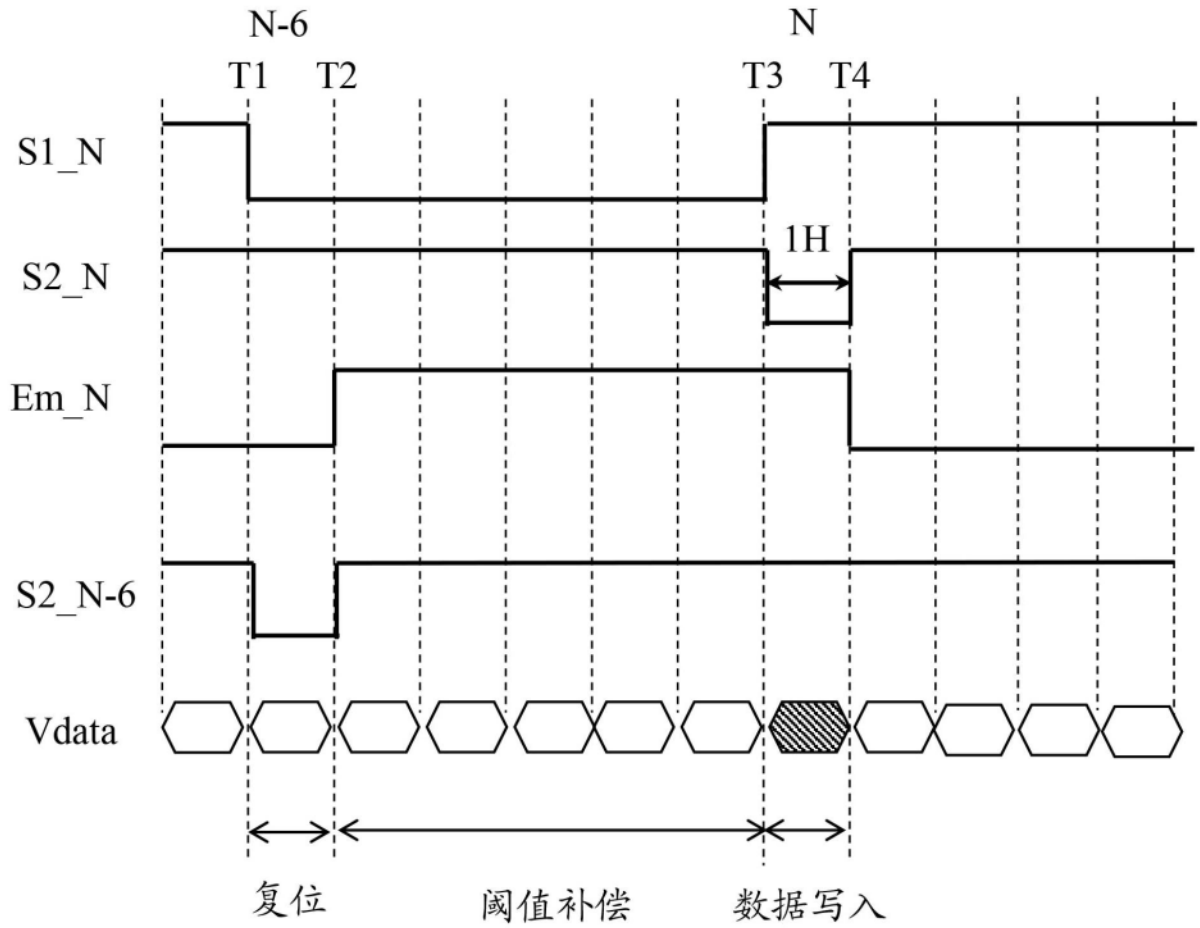


图3

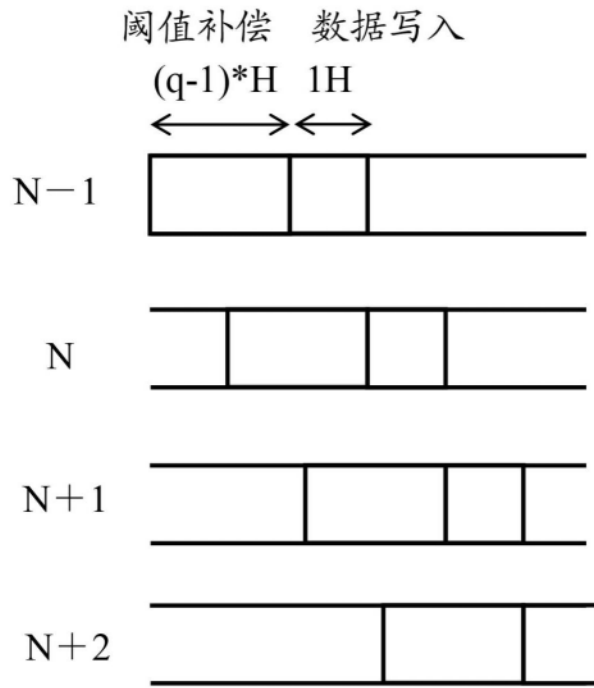


图4

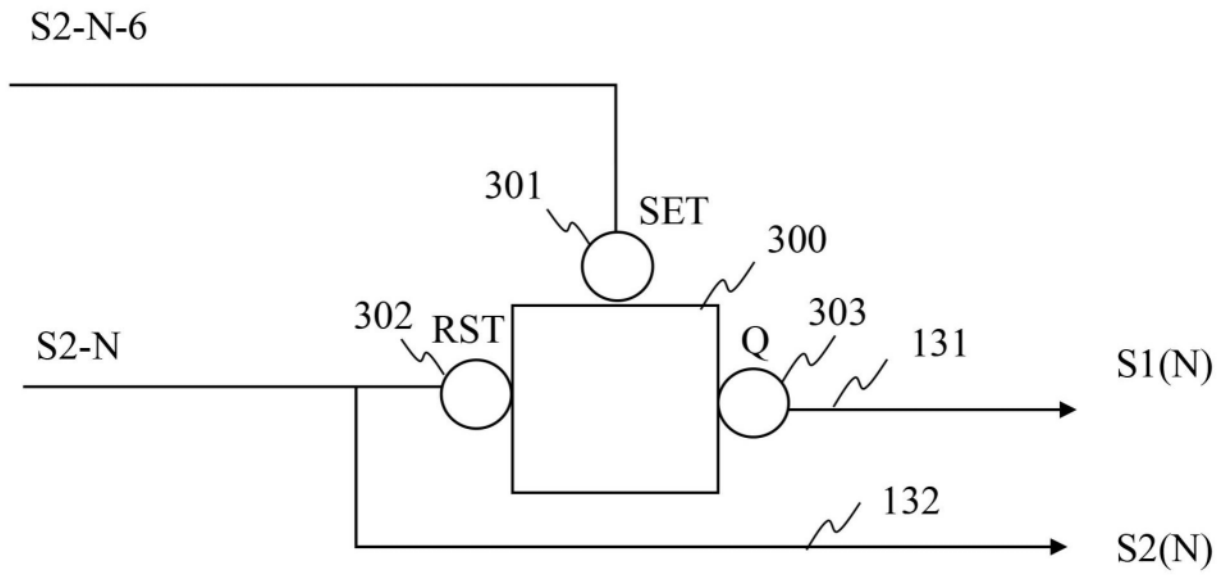
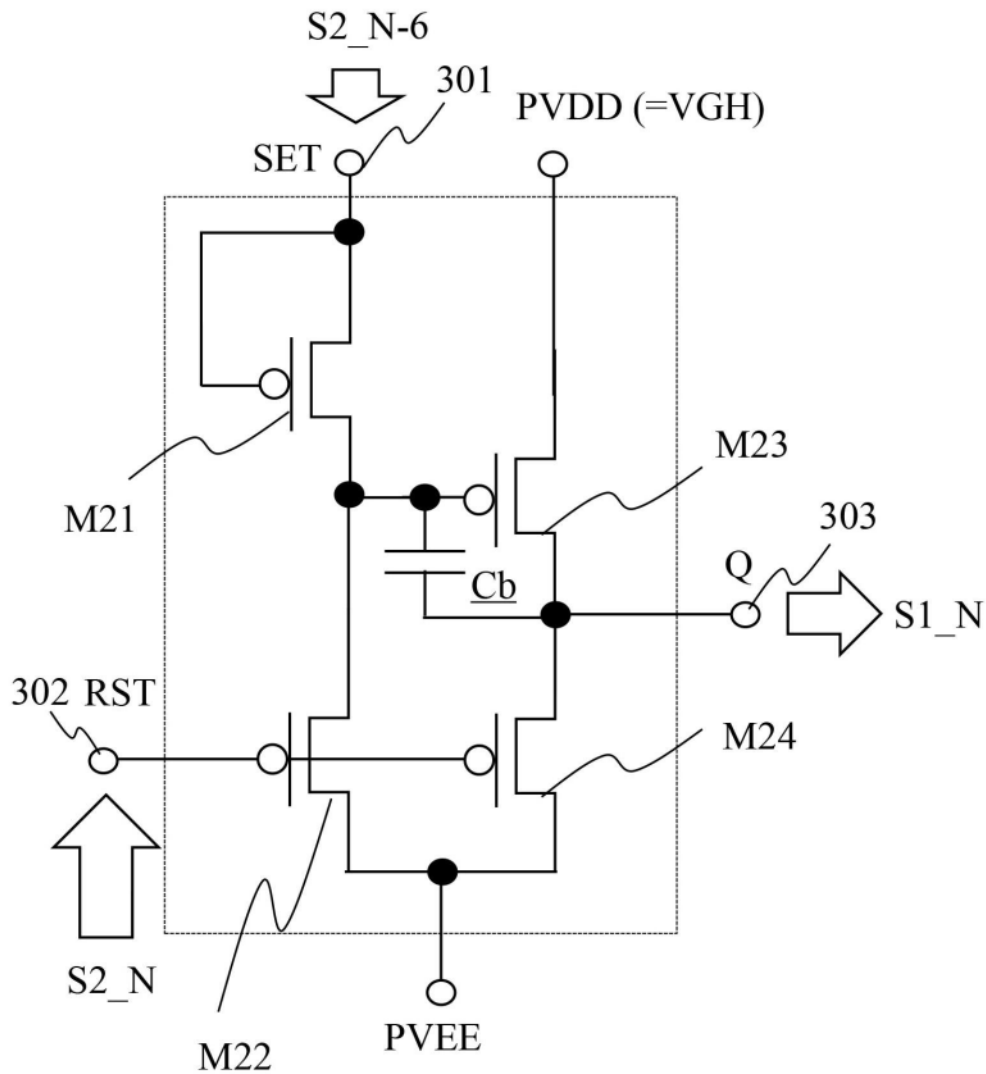


图5

真值

SET	RST	Q
L	L	L
H	L	H (保持)
L	H	L
H	H	L (禁止)

图6



锁存电路

图7

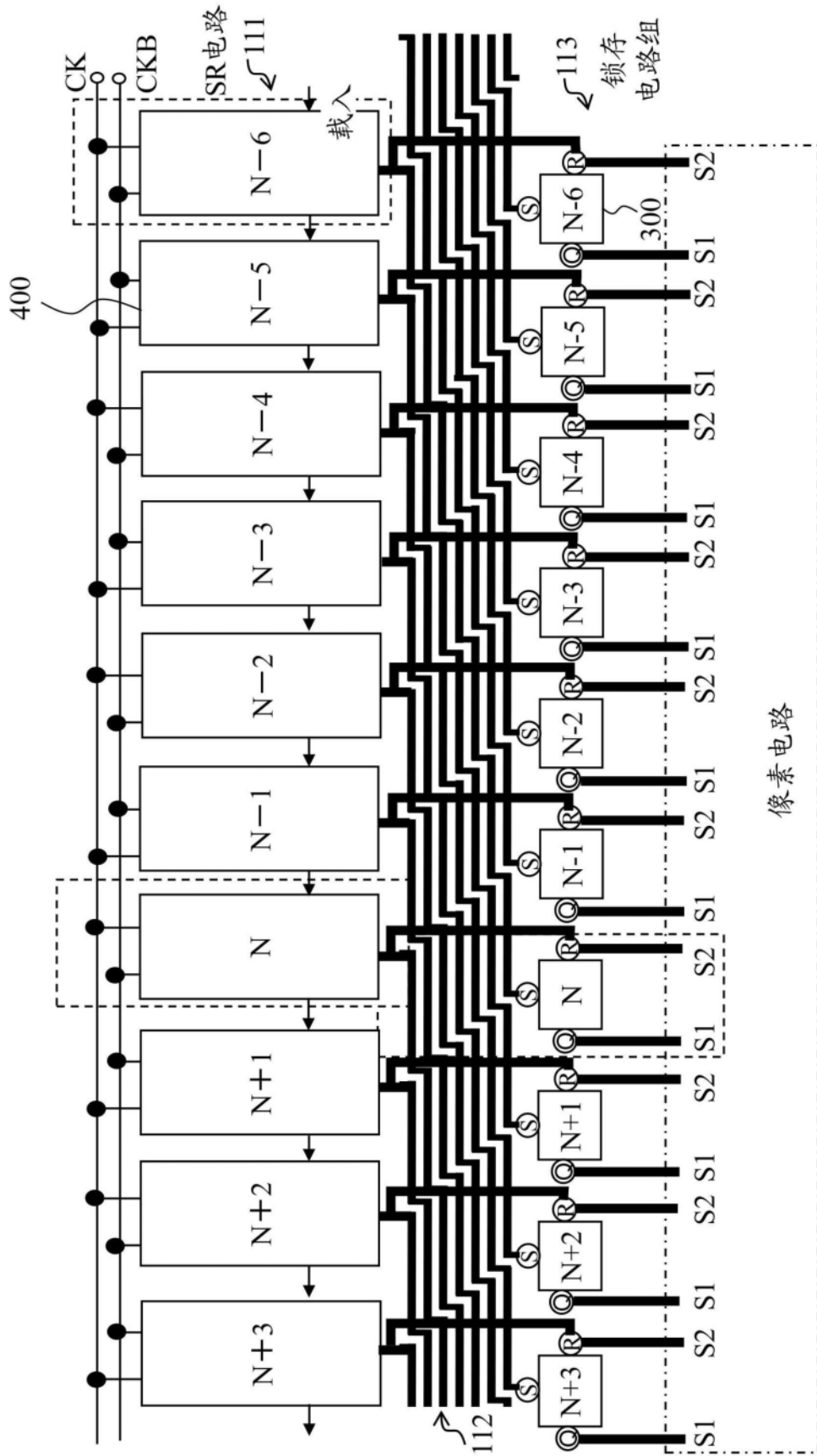


图8

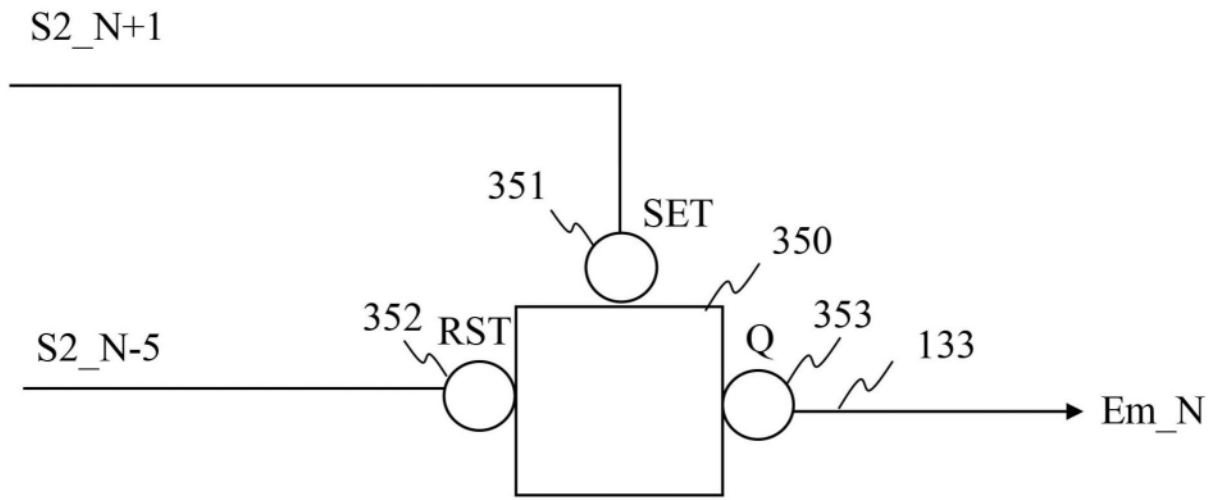


图9

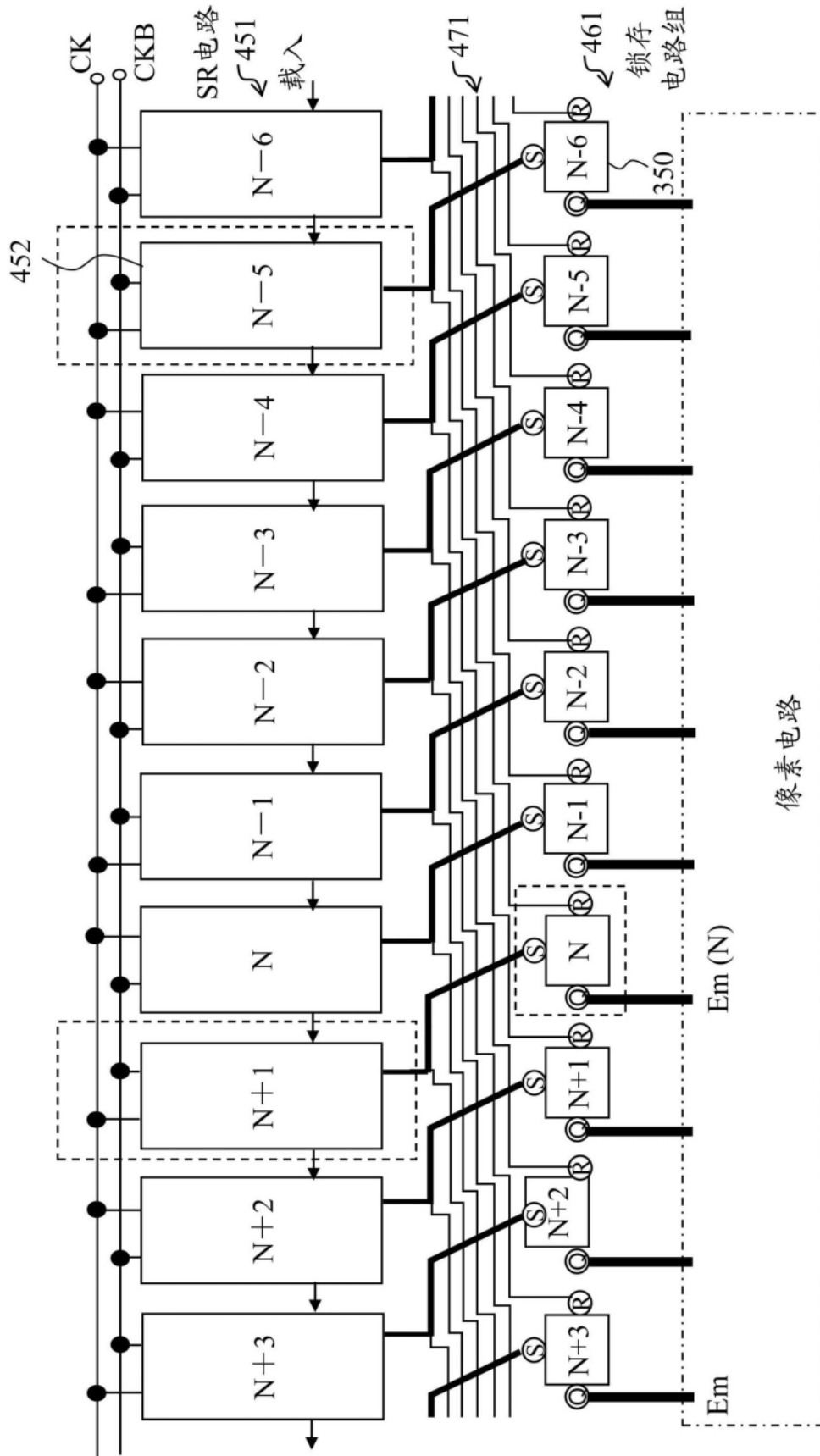


图10A

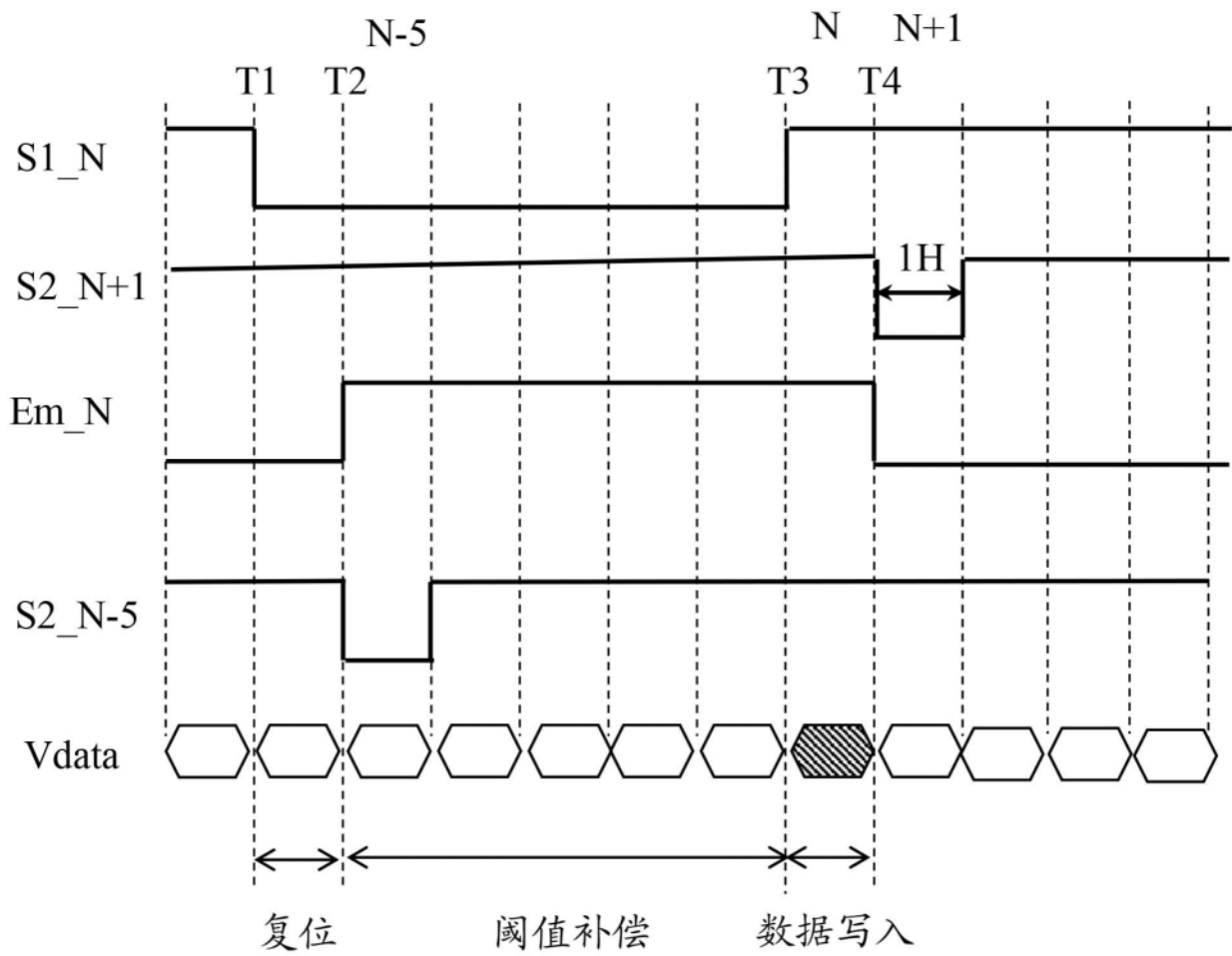


图10B

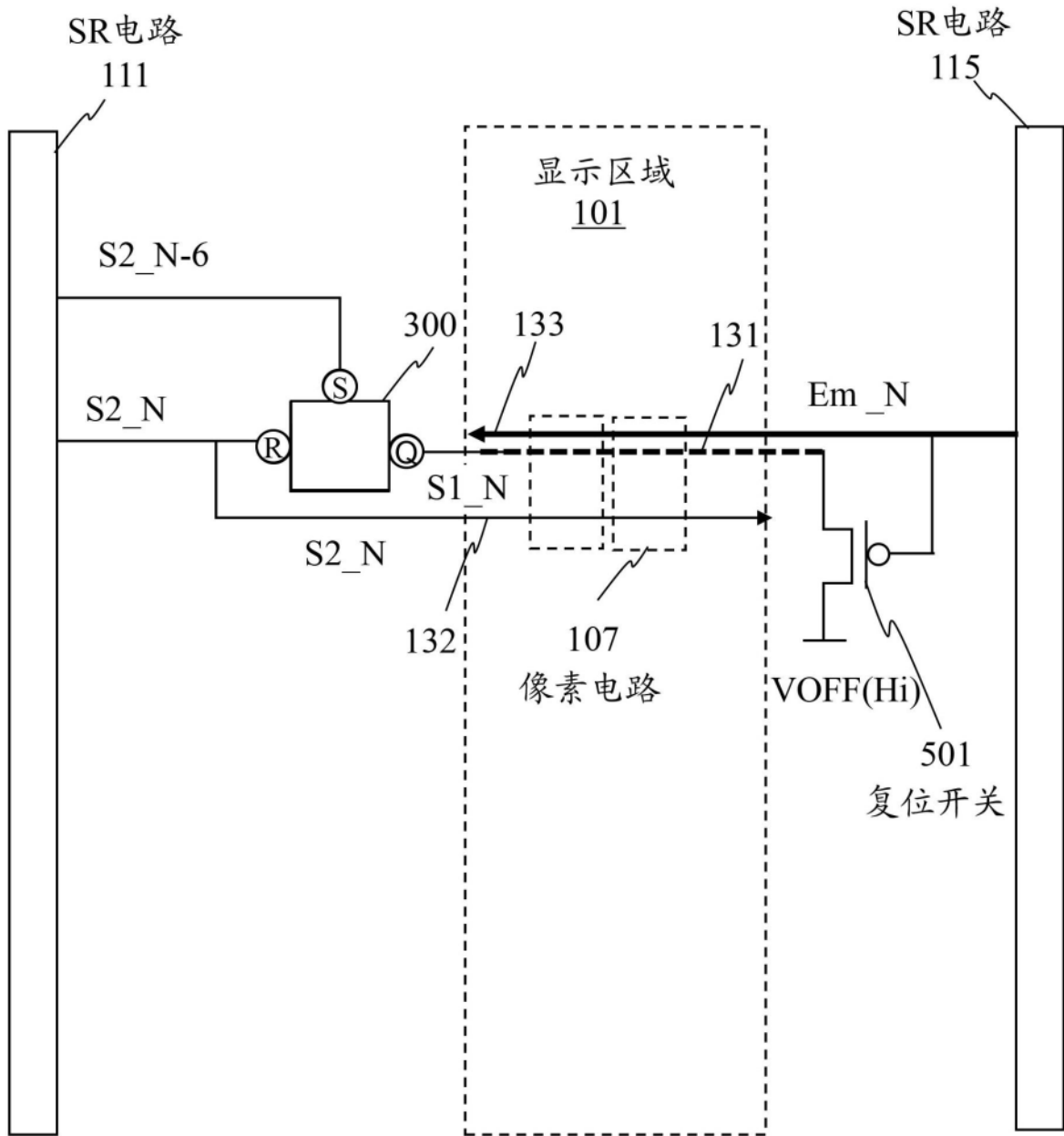


图11

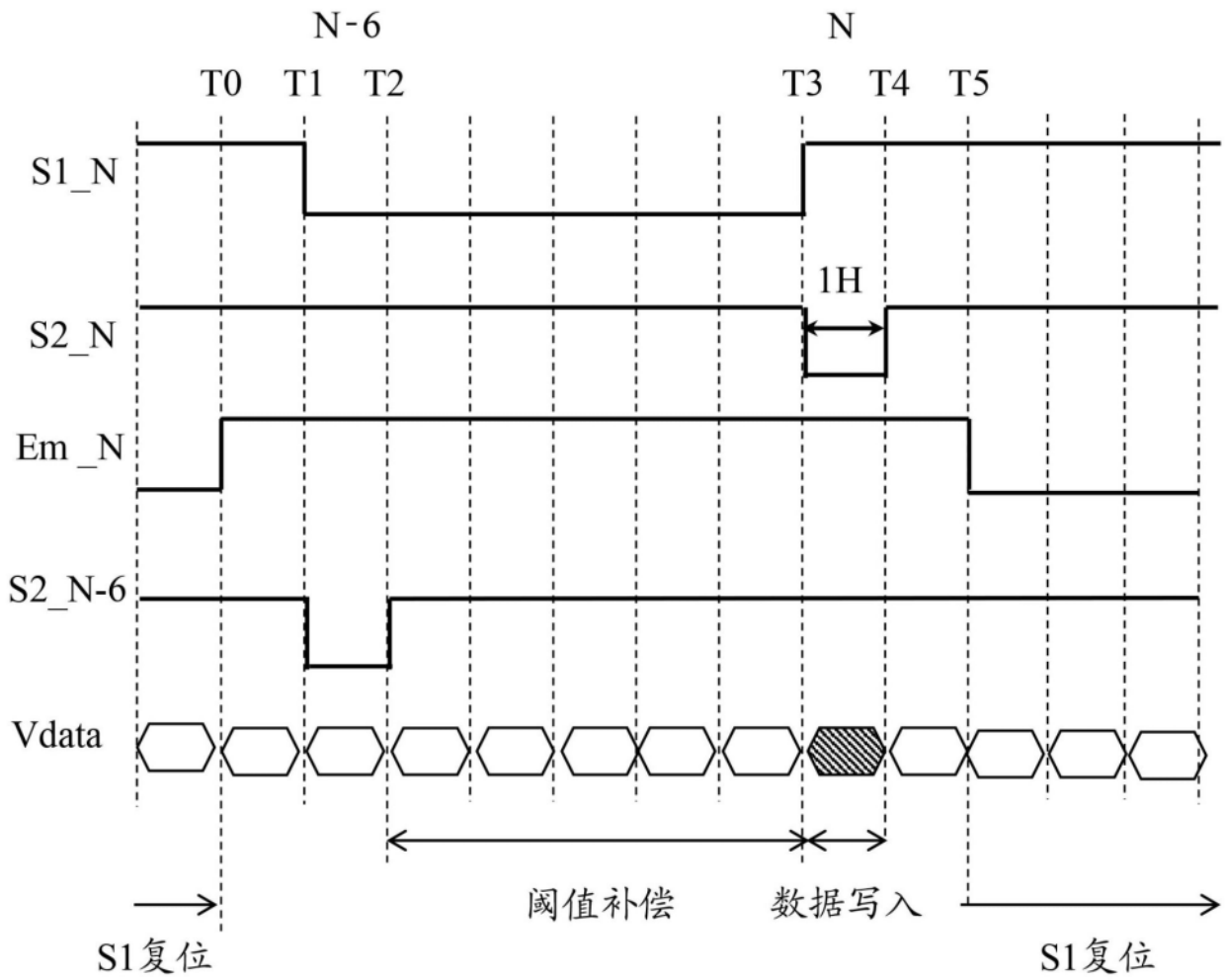


图12

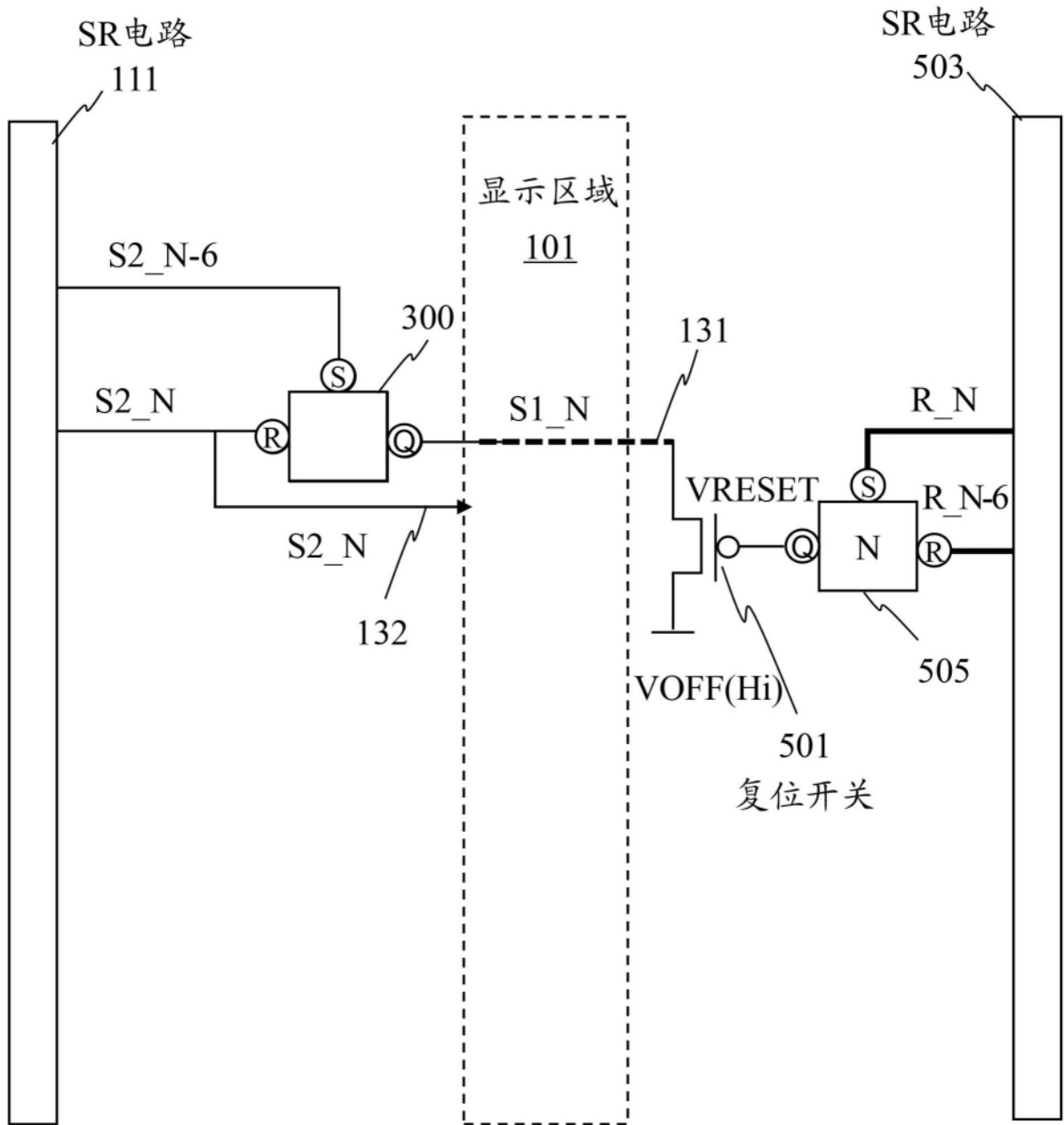


图13

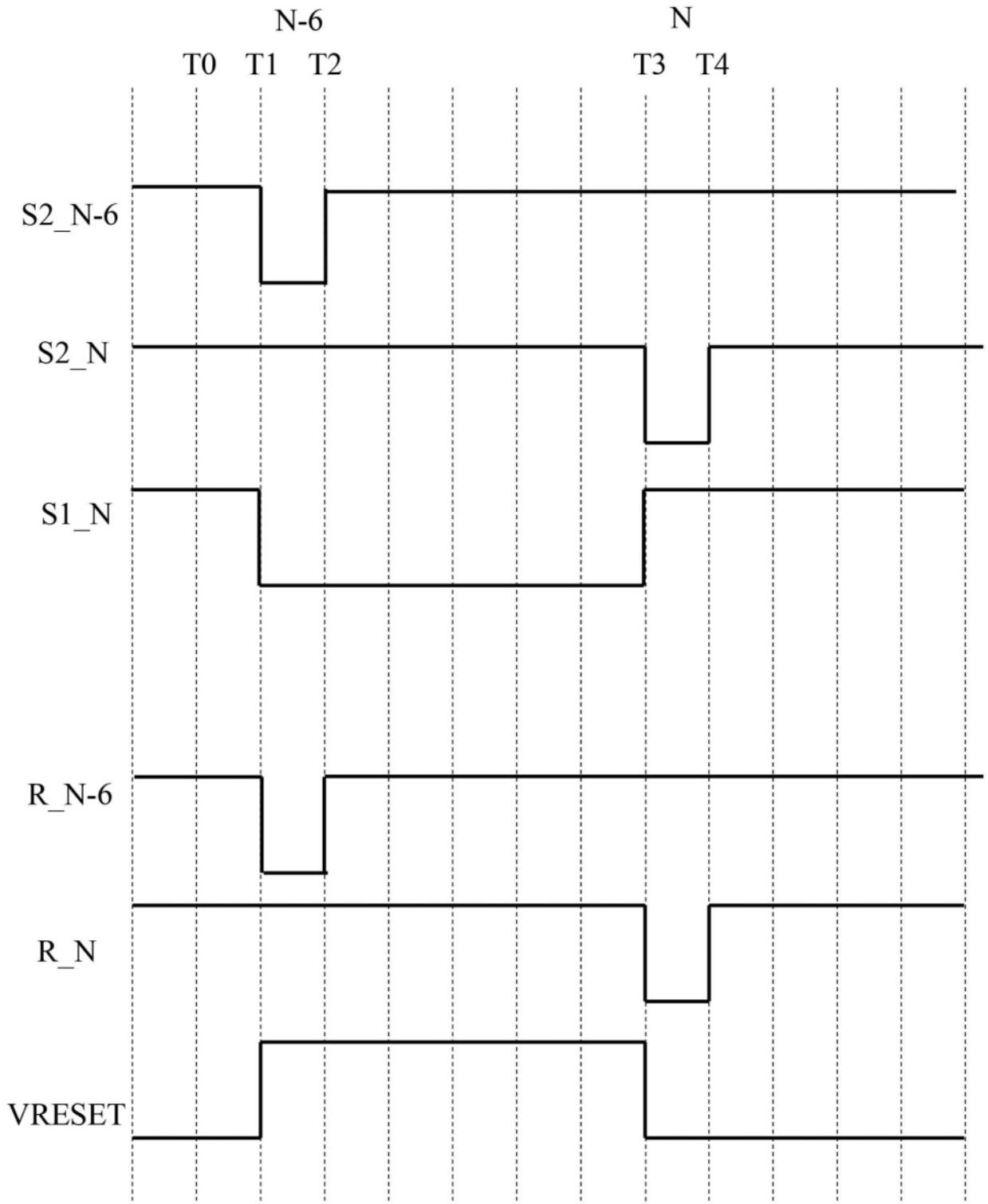


图14

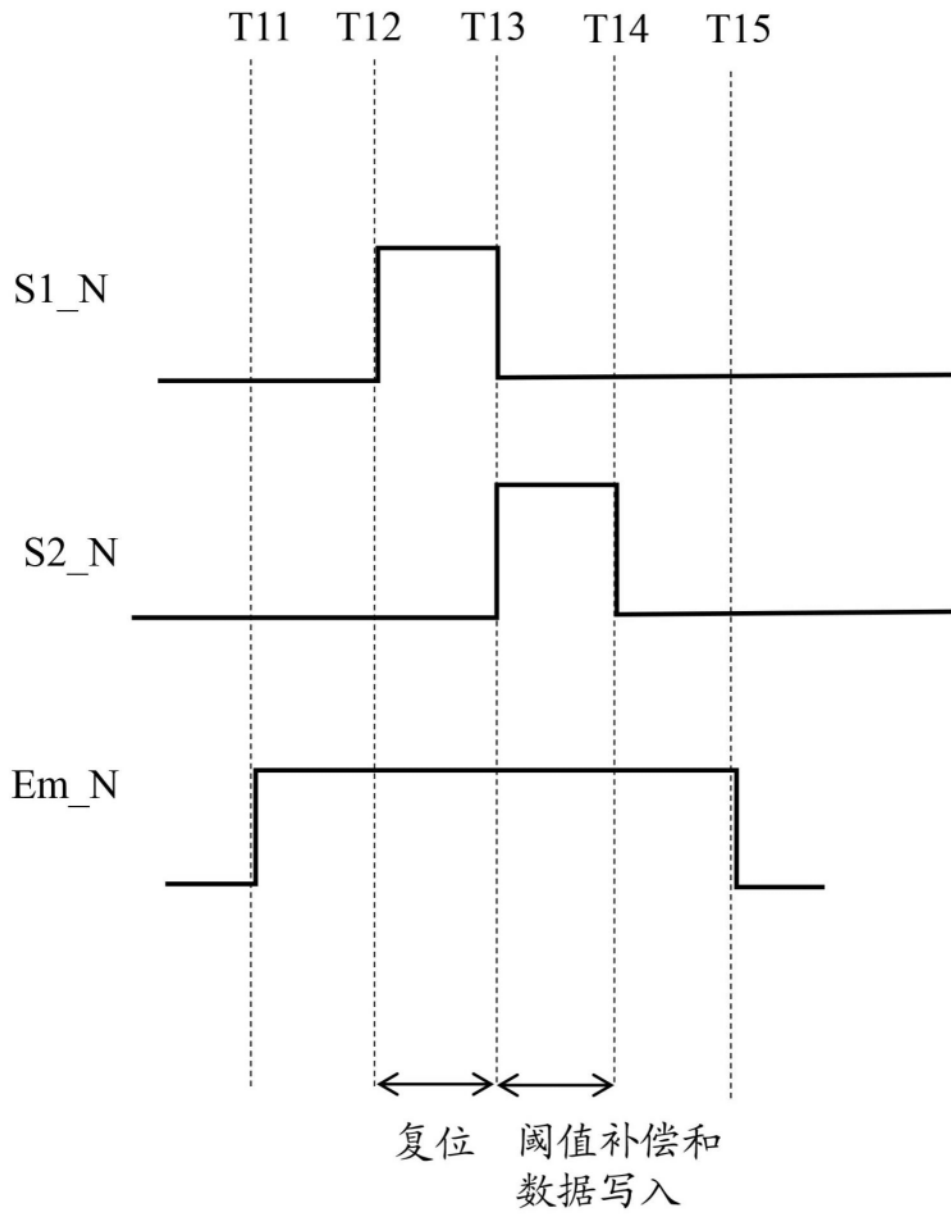


图16

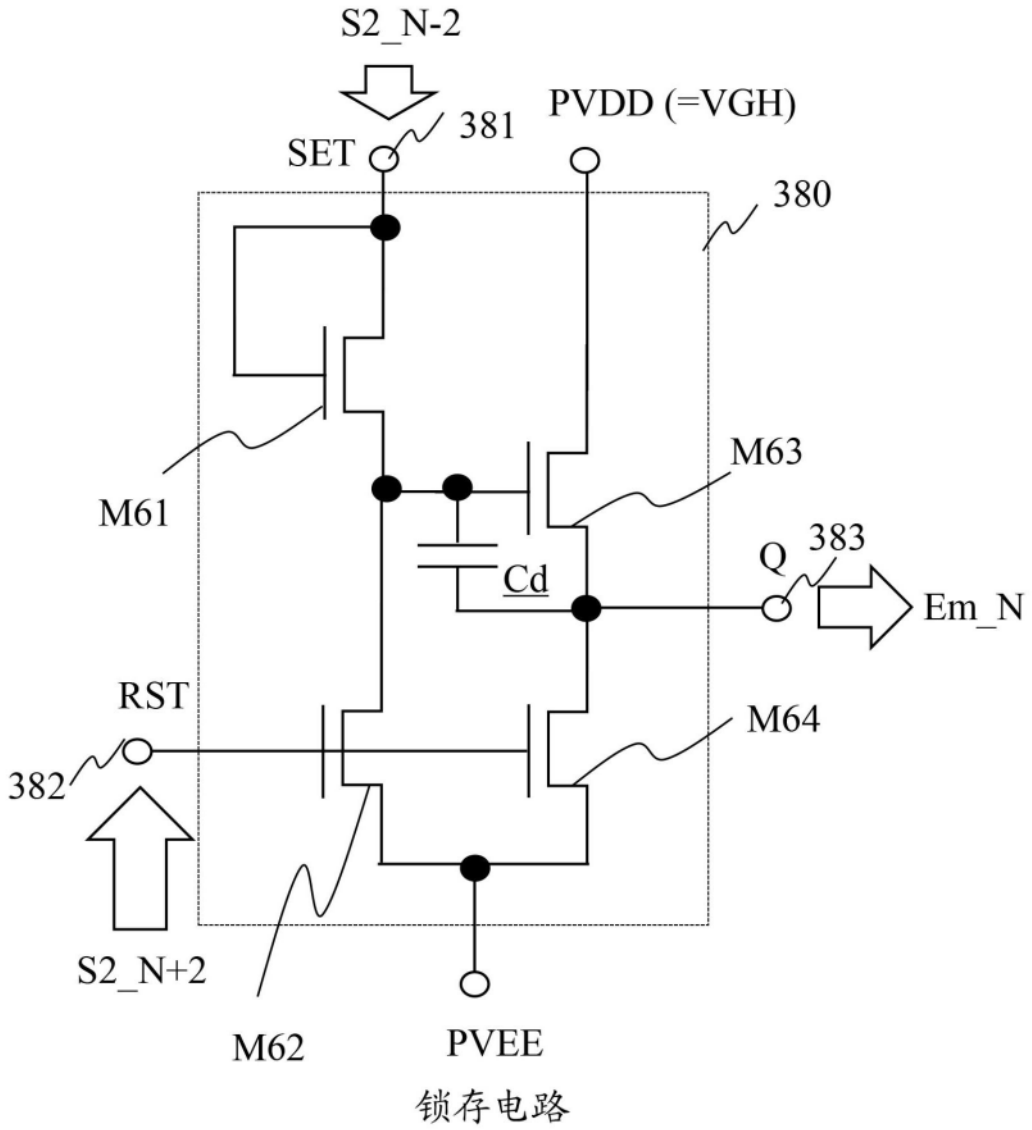


图17

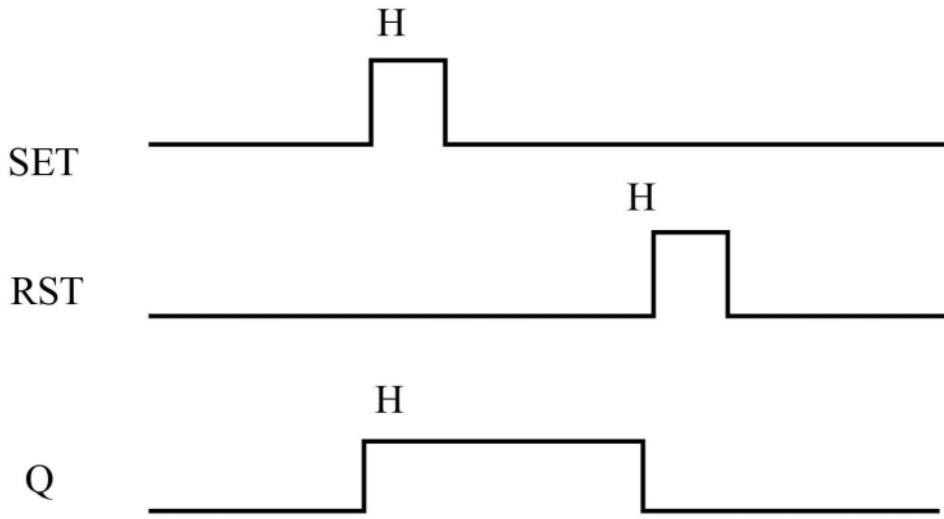


图18

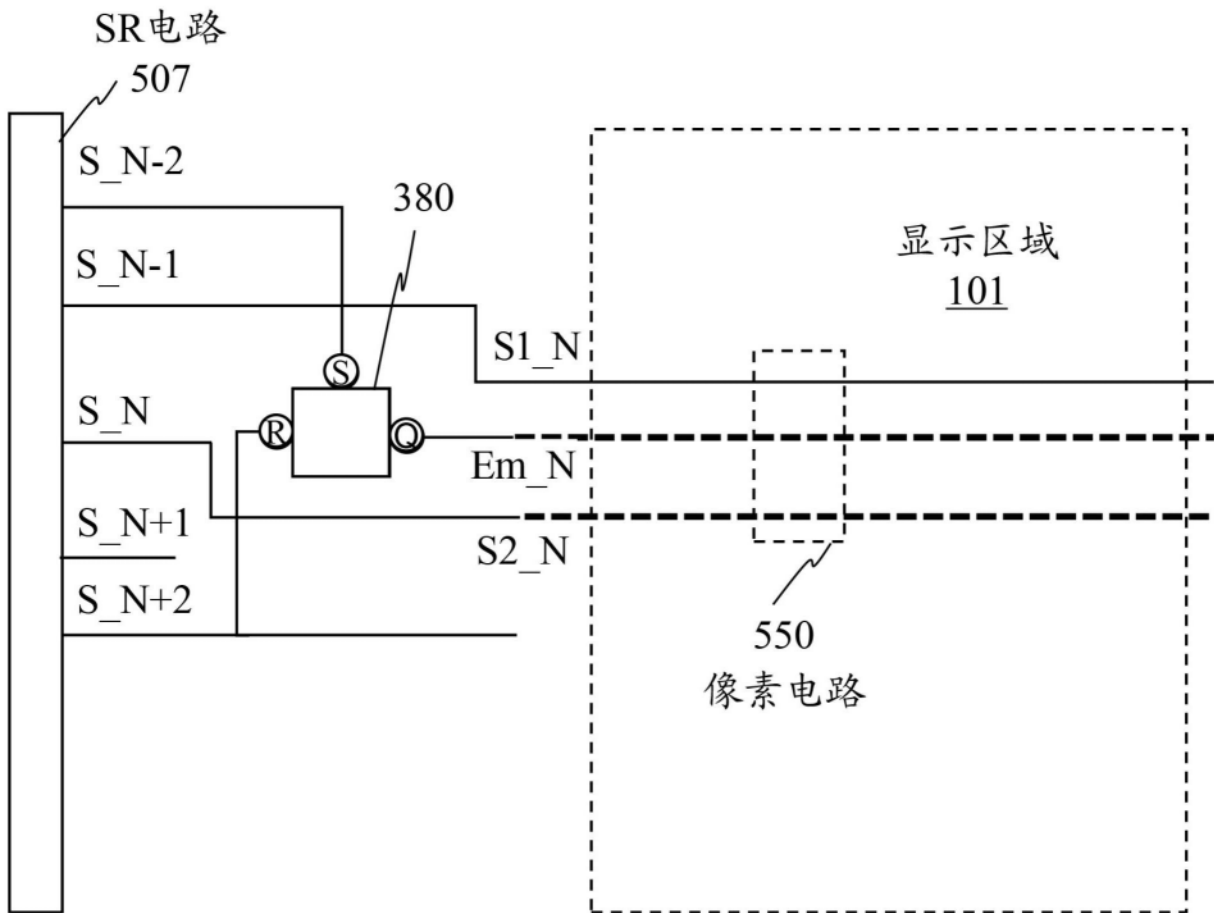


图19

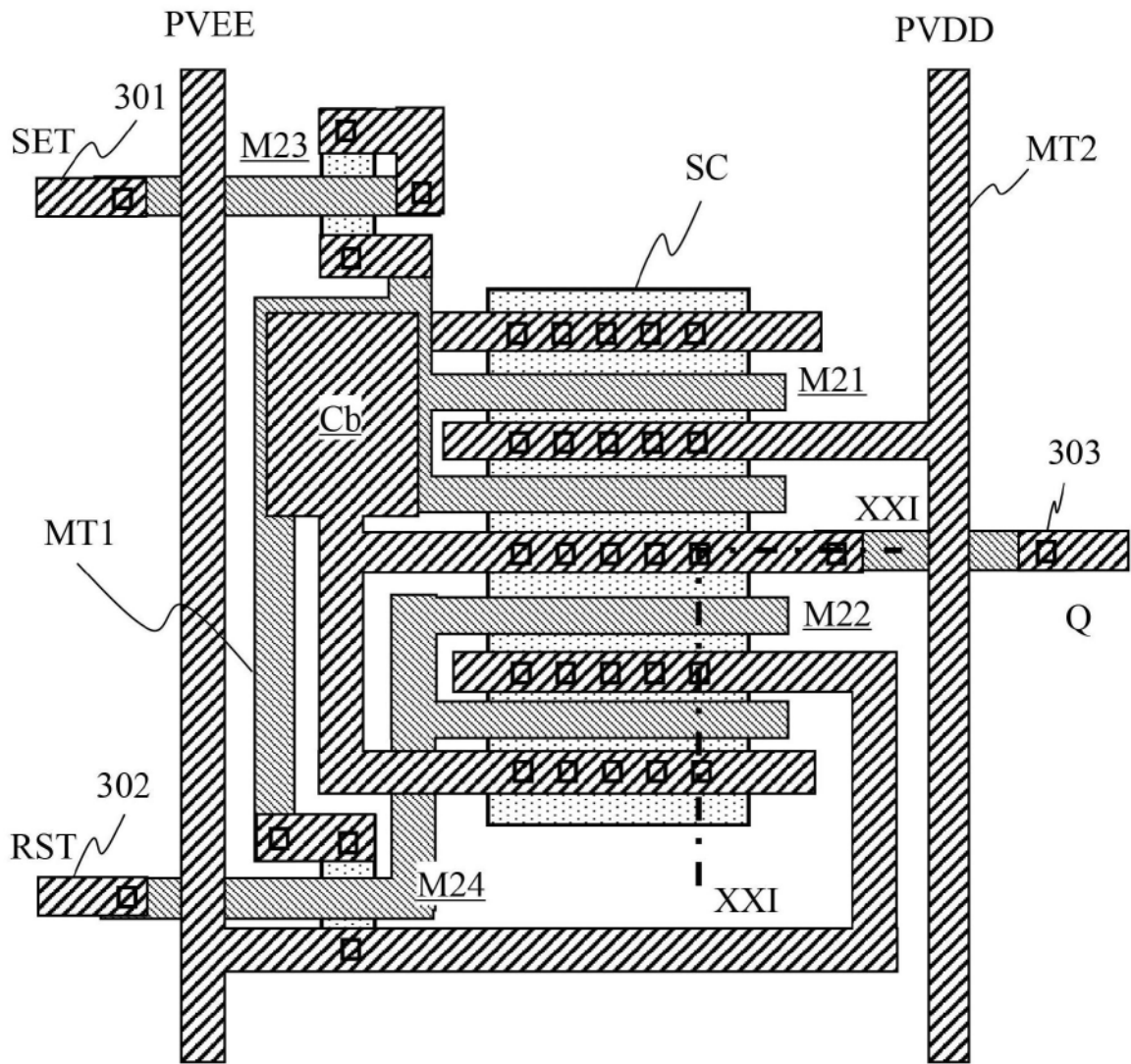


图20

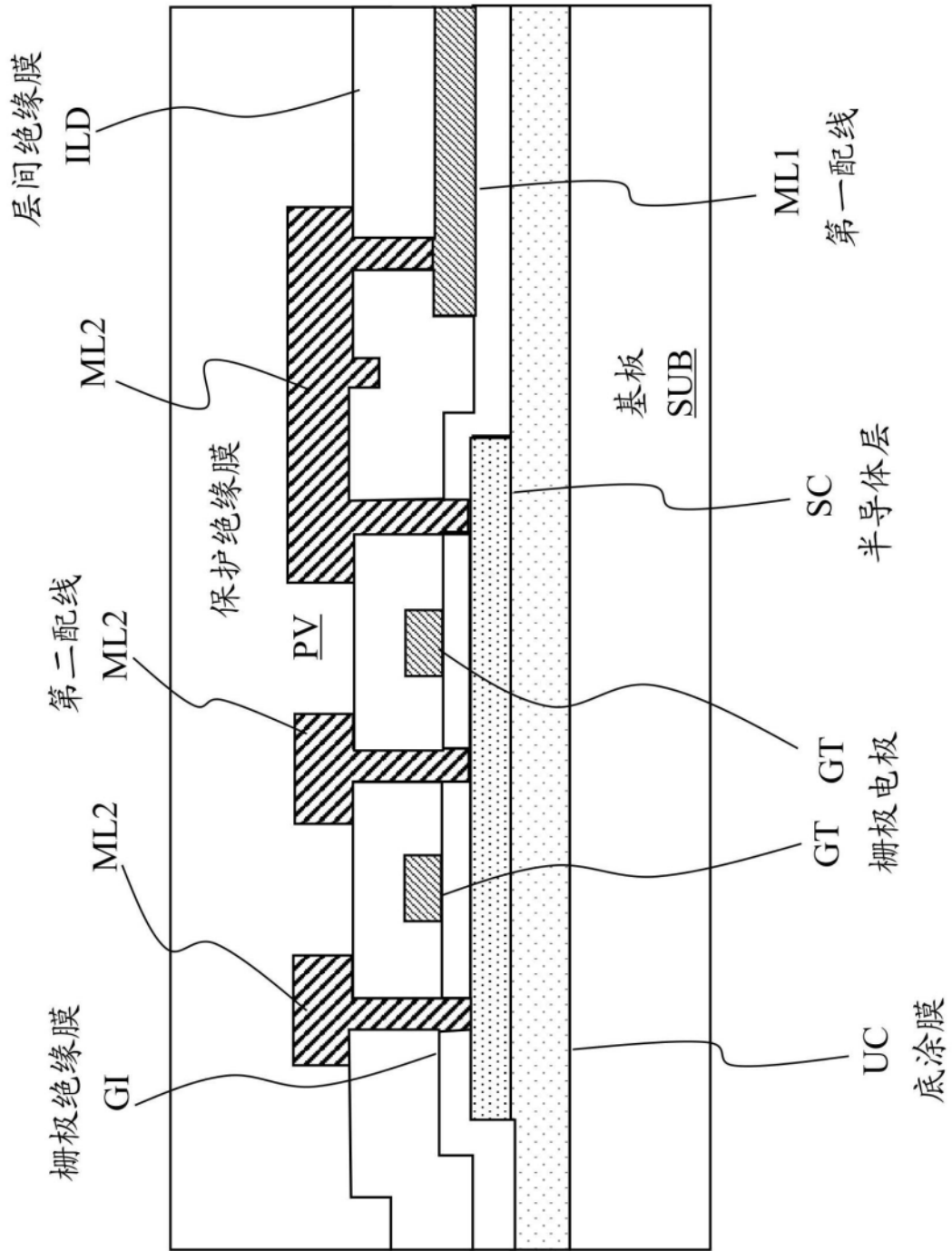


图21