

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年5月9日(09.05.2019)



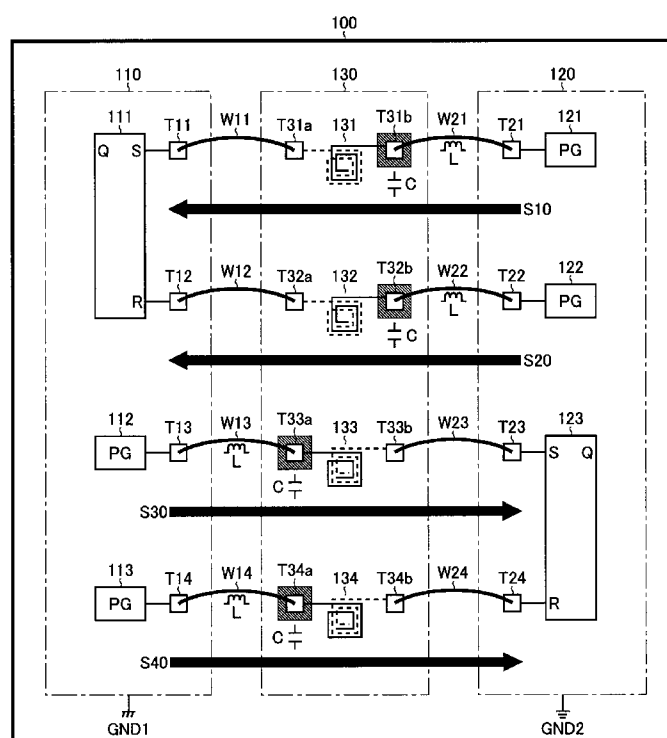
(10) 国際公開番号

WO 2019/087699 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H02M 3/28 (2006.01)
H01L 27/04 (2006.01) H04L 25/02 (2006.01)
- (21) 国際出願番号: PCT/JP2018/037537
- (22) 国際出願日: 2018年10月9日(09.10.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-212795 2017年11月2日(02.11.2017) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 佐藤 好則(SATO Yoshinori); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 原 英夫(HARA Hideo); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device comprises: a first chip which is on a pulse signal transmission side; a second chip which is on a pulse signal reception side; and a third chip which transfers a pulse signal from the first chip to the second chip, while providing electrical insulation between the first chip and the second chip using an integrated transformer. Each of the second chip and the third chip is provided with first electrodes for receiving an input of the pulse signal through a previous-stage bonding wire. A second electrode which is electrically insulated from the first electrodes and connected to

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

a reference potential end is provided in a region under at least one of the first electrodes of each chip. In this way, an LC low-pass filter can be formed, and it becomes possible to reduce pulse signal noise.

(57) 要約：半導体装置は、パルス信号の送信側となる第1チップと、パルス信号の受信側となる第2チップと、集積化トランスを用いて第1チップと第2チップとの間を電氣的に絶縁しつつ第1チップから第2チップにパルス信号を伝送する第3チップとを有する。第2チップと第3チップは、それぞれ、前段のボンディングワイヤを介してパルス信号の入力を受け付けるための第1電極を備えている。各チップの第1電極のうち、少なくとも一方の下方領域には、第1電極と電氣的に絶縁されるとともに基準電位端に接続された第2電極が設けられている。これにより、LCローパスフィルタを形成することができるので、パルス信号のノイズを削減することが可能となる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本明細書中に開示されている発明は、パルス信号を取り扱う半導体装置（例えば複合化アイソレータ）に関する。

背景技術

[0002] 従来より、例えば、車載機器や産業機器の電源として用いられるAC／DCコンバータやDC／DCコンバータの分野では、アイソレータを用いて1次回路系と2次回路系を磁気結合しながら両者の絶縁性を保つ技術が存在する。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-187821号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、アイソレータの周囲に多くのスイッチングノイズが発生する環境では、正確にパルス信号を伝送することが難しく、特に、入力電圧の高いAC／DCコンバータでは、アイソレータに生じるノイズレベルが大きいという課題があった。

[0006] なお、上記の課題は、アイソレータだけでなく、パルス信号を取り扱う半導体装置全般に当てはまる。

[0007] 本明細書中に開示されている発明は、本願の発明者が見出した上記の課題に鑑み、パルス信号のノイズを削減することのできる半導体装置を提供することを目的とする。

課題を解決するための手段

- [0008] 本明細書中に開示されている半導体装置は、パルス信号の送信側となる第1チップと、前記パルス信号の受信側となる第2チップと、集積化トランスを用いて前記第1チップと前記第2チップとの間を電氣的に絶縁しつつ前記第1チップから前記第2チップに前記パルス信号を伝送する第3チップを有し、前記第2チップと前記第3チップは、それぞれ、前段のチップからボンディングワイヤを介して前記パルス信号の入力を受け付けるための第1電極を備えており、各チップの第1電極のうち、少なくとも一方の下方領域には、前記第1電極と電氣的に絶縁されるとともに基準電位端に接続された第2電極が設けられている構成（第1の構成）とされている。
- [0009] なお、第1の構成から成る半導体装置において、前記第2電極は、メタル層またはポリシリコン層を用いて形成されている構成（第2の構成）にする
とよい。
- [0010] また、第1または第2の構成から成る半導体装置において、前記第2電極は、その平面視において、前記第1電極と同一以上の面積を持つ構成（第3の構成）にする
とよい。
- [0011] また、第1～第3いずれかの構成から成る半導体装置において、前記第1電極と前記第2電極との間には、前記第1電極及び前記第2電極の一方に短絡された少なくとも一層の中間電極が設けられている構成（第4の構成）にする
とよい。
- [0012] また、第4の構成から成る半導体装置において、前記第1電極と前記第2電極との間には、前記中間電極として、前記第1電極に短絡された少なくとも一層の第1中間電極と、前記第2電極に短絡された少なくとも一層の第2中間電極とが交互に積層されている構成（第5の構成）にする
とよい。
- [0013] また、第1～第5いずれかの構成から成る半導体装置において、前記第1チップは、前記パルス信号のパルス幅を調整する機能を備えた構成（第6の構成）にする
とよい。
- [0014] また、第1～第6いずれかの構成から成る半導体装置は、一次回路系と二次回路系を電氣的に絶縁しつつ相互間の信号伝送を行うことにより絶縁型ス

スイッチング電源の制御主体として機能する構成（第 7 の構成）にするとよい。

[0015] また、本明細書中に開示されている絶縁型スイッチング電源は、第 7 の構成から成る半導体装置と、前記半導体装置により制御されるスイッチング出力段と、を有する構成（第 8 の構成）とされている。

[0016] なお、第 8 の構成から成る絶縁型スイッチング電源において、前記スイッチング出力段は、トランスを用いて一次回路系と二次回路系を電氣的に絶縁しつつ、前記一次回路系に供給される直流入力電圧から直流出力電圧を生成して前記二次回路系の負荷に供給する DC / DC 変換部の構成要素として機能する構成（第 9 の構成）にするとよい。

[0017] また、第 9 の構成から成る絶縁型スイッチング電源は、交流入力電圧から前記直流入力電圧を生成する整流部をさらに有する構成（第 10 の構成）にするとよい。

[0018] また、本明細書中に開示されている電子機器は、第 8 ～ 第 10 いずれかの構成から成る絶縁型スイッチング電源と、前記絶縁型スイッチング電源から電力供給を受けて動作する負荷と、を有する構成（第 11 の構成）とされている。

[0019] また、本明細書中に開示されているチップは、ボンディングワイヤを介してパルス信号の入力を受け付けるための第 1 電極と、前記第 1 電極の下方領域に設けられて前記第 1 電極と電氣的に絶縁されるとともに基準電位端に接続された第 2 電極と、を集積化して成る構成（第 12 の構成）とされている。

[0020] また、本明細書中に開示されているチップは、ワイヤを介してパルス信号の入力を受け付けるためのパッドを有し、前記ワイヤがフィルタを形成するインダクタとして機能し、前記パッドまたはこれに接続された配線層が前記フィルタを形成するキャパシタの第 1 電極として機能する構成（第 13 の構成）とされている。

[0021] なお、第 13 の構成から成るチップにおいて、前記インダクタのインダク

タンス値は、前記ワイヤの長さ、直径、本数、または、素材により調整される構成（第１４の構成）にするとよい。

[0022] また、第１４の構成から成るチップにおいて、前記ワイヤの長さは、前記パッドの位置により調整される構成（第１５の構成）にするとよい。

[0023] また、第１３～第１５いずれかの構成から成るチップにおいて、前記キャパシタの容量値は、前記第１電極と第２電極との対向面積又は電極間距離により調整される構成（第１６の構成）にするとよい。

[0024] また、第１６の構成から成るチップにおいて、前記第１電極と前記第２電極との電極間距離は、積層形成された複数の配線層のうち、前記第１電極及び前記第２電極としていずれの配線層を用いるかにより調整される構成（第１７の構成）にするとよい。

[0025] また、第１７の構成から成るチップにおいて、前記第１電極と前記第２電極との電極間距離は、層間絶縁層の厚さにより調整される構成（第１８の構成）にするとよい。

[0026] また、第１６の構成から成るチップにおいて、前記第１電極と前記第２電極は、同一の配線層に形成されており、前記電極間距離を隔てて相互に噛み合う櫛歯を備えている構成（第１９の構成）にするとよい。

[0027] また、第１３～第１９いずれかの構成から成るチップは、前記パッドを露出しつつ前記チップの表面を被覆する保護層をさらに有する構成（第２０の構成）にするとよい。

発明の効果

[0028] 本明細書中に開示されている発明によれば、パルス信号のノイズを削減することのできる半導体装置を提供することが可能となる。

図面の簡単な説明

[0029] [図１]絶縁型スイッチング電源を備えた電子機器の全体構成を示すブロック図

[図２]電源ＩＣの第１実施形態を示す模式図

[図３]第１実施形態における信号伝送経路の等価回路図

[図４]電源ＩＣの第２実施形態を示す模式図

[図5]第2実施形態における信号伝送経路の等価回路図

[図6]キャパシタの第1構造例を示す模式図

[図7]キャパシタの第2構造例を示す模式図

[図8]キャパシタの第3構造例を示す模式図

[図9]インダクタンス値の調整手法を説明するための模式図

[図10]インダクタンス値の調整手法を具体的に説明するための模式図

[図11]キャパシタの第4構造例を示す模式図

[図12]キャパシタの第5構造例を示す模式図

[図13]キャパシタの第5構造例を示す模式図

発明を実施するための形態

[0030] <絶縁型スイッチング電源>

図1は、絶縁型スイッチング電源を備えた電子機器の全体構成を示したブロック図である。本構成例の電子機器Xは、絶縁型スイッチング電源1と、絶縁型スイッチング電源1から電力供給を受けて動作する負荷2と、を有する。

[0031] 絶縁型スイッチング電源1は、一次回路系1p（GND1系）と二次回路系1s（GND2系）との間を電氣的に絶縁しつつ、商用交流電源PWから一次回路系1pに供給される交流入力電圧 V_{ac} （例えばAC85～265V）を所望の直流出力電圧 V_o （例えばDC10～30V）に変換して、二次回路系1sの負荷2に供給するAC／DCコンバータであり、整流部10と、DC／DC変換部20と、を含む。

[0032] 整流部10は、交流入力電圧 V_{ac} から直流入力電圧 V_i （例えばDC120～375V）を生成してDC／DC変換部20に供給する回路ブロックであり、フィルタ11と、ダイオードブリッジ12と、キャパシタ13及び14とを含む。フィルタ11は、交流入力電圧 V_{ac} からノイズやサージを除去する。ダイオードブリッジ12は、交流入力電圧 V_{ac} を全波整流して直流入力電圧 V_i を生成する。キャパシタ13は、交流入力電圧 V_{ac} の高調波ノイズを除去する。キャパシタ14は、直流入力電圧 V_i を平滑化する。

。なお、整流部10の前段には、フューズなどの保護素子を設けてもよい。

[0033] DC/DC変換部20は、直流入力電圧 V_i から所望の直流出力電圧 V_o を生成して負荷2に供給する回路ブロックであり、電源IC100と、これに外付けされる種々のディスクリート部品（トランスTR、Nチャネル型MOS電界効果トランジスタN1、センス抵抗 R_s 、ダイオードD1、キャパシタC1、並びに、抵抗 R_1 及び R_2 ）と、を含む。

[0034] 電源IC100は、アイソレータチップ130（詳細は後述）を用いて一次回路系1pと二次回路系1sとの間を電氣的に絶縁しつつ、相互間の信号伝送を行うことにより、絶縁型スイッチング電源1（特にDC/DC変換部20）の制御主体として機能する半導体装置である。例えば、電源IC100は、二次回路系1sで生成される分圧電圧 V_{div} （＝直流出力電圧 V_o の分圧電圧）の帰還入力を受け付けて、一次回路系1pに設けられたトランジスタN1のオン／オフ制御を行う。

[0035] トランスTRは、一次回路系1pと二次回路系1sとの間を電氣的に絶縁しつつ互いに逆極性で磁気結合された一次巻線 L_p （巻数 N_p ）と二次巻線 L_s （巻数 N_s ）を含む。一次巻線 L_p の第1端は、直流入力電圧 V_i の印加端に接続されている。一次巻線 L_p の第2端は、トランジスタN1のドレインに接続されている。二次巻線 L_s の第1端は、ダイオードD1のアノードに接続されている。二次巻線 L_s の第2端は、二次回路系1sの接地端 GN_D2 に接続されている。なお、巻数 N_p 及び N_s については、所望の直流出力電圧 V_o が得られるように任意に調整すればよい。例えば、巻数 N_p が多いほど又は巻数 N_s が少ないほど直流出力電圧 V_o は低くなり、逆に、巻数 N_p が少ないほど又は巻数 N_s が多いほど直流出力電圧 V_o は高くなる。

[0036] トランジスタN1は、電源IC100から入力されるゲート信号 G_1 に応じてオン／オフされる出力スイッチ素子として機能する。具体的に述べると、トランジスタN1は、ゲート信号 G_1 がハイレベルであるときにオンし、ゲート信号 G_1 がローレベルであるときにオフする。トランジスタN1のドレインは、先に述べたように、一次巻線 L_p の第2端に接続されている。ト

ランジスタN1のソースは、センス抵抗 R_s の第1端に接続されている。センス抵抗 R_s の第2端は、一次回路系1pの接地端GND1に接続されている。センス抵抗 R_s は、トランジスタN1に流れる一次電流 I_p をセンス電圧 $V_s (= I_p \times R_s)$ として検出するための電流／電圧変換素子として機能する。

[0037] ダイオードD1のアノードは、先に述べたように、二次巻線 L_s の第1端に接続されている。ダイオードD1のカソードとキャパシタC1の第1端は、いずれも直流出力電圧 V_o の出力端に接続されている。キャパシタC1の第2端は、接地端GND2に接続されている。このように接続されたダイオードD1とキャパシタC1は、二次巻線 L_s に生じる誘起電圧を整流及び平滑して直流出力電圧 V_o を生成する整流平滑部として機能する。

[0038] 抵抗 R_1 及び R_2 は、直流出力電圧 V_o の出力端と接地端GND2との間に直列接続されており、相互間の接続ノードから分圧電圧 $V_{div} (= V_o \times R_2 / (R_1 + R_2))$ を出力する分圧部として機能する。

[0039] なお、上記構成から成るDC／DC変換部20において、トランスTR、トランジスタN1、ダイオードD1、及び、キャパシタC1は、フライバック方式により直流入力電圧 V_i から直流出力電圧 V_o を生成するスイッチング出力段として機能する。

[0040] 次に、当該スイッチング出力段の降圧動作について簡単に説明する。トランジスタN1がオンされているときには、直流入力電圧 V_i の印加端から、一次巻線 L_p 、トランジスタN1、及び、センス抵抗 R_s を介して、接地端GND1に向けた一次電流 I_p が流れるので、一次巻線 L_p に電気エネルギーが蓄えられる。

[0041] その後、トランジスタN1がオフされると、一次巻線 L_p と磁気結合された二次巻線 L_s に誘起電圧が発生し、二次巻線 L_s からダイオードD1を介して接地端GND2に向けた二次電流 I_s が流れる。このとき、負荷2には、二次巻線 L_s の誘起電圧を整流及び平滑した直流出力電圧 V_o が供給される。

[0042] 以降も、トランジスタN1がオン／オフされることにより、上記と同様のスイッチング動作が繰り返される。

[0043] このように、本構成例の絶縁型スイッチング電源1によれば、一次回路系1pと二次回路系1sとの間を電氣的に絶縁しつつ、交流入力電圧Vacから直流出力電圧Voを生成して負荷2に供給することができる。

[0044] <電源IC（第1実施形態）>

図2は、電源IC100の第1実施形態を示す模式図である。本実施形態の電源IC100は、一次側制御チップ110と、二次側制御チップ120と、アイソレータチップ130とを単一のパッケージに封止して成るマルチチップ型の半導体装置（いわゆる複合化アイソレータ）である。

[0045] 一次側制御チップ110は、二次側制御チップ120からアイソレータチップ130を介してパルス信号S10及びS20を受信する受信部として、RSフリップフロップ111とパッドT11及びT12を有する。また、一次側制御チップ110は、アイソレータチップ130を介して二次側制御チップ120にパルス信号S30及びS40を送信する送信部として、パルス信号生成部112及び113とパッドT13及びT14を有する。なお、一次側制御チップ110の基準電位端は、接地端GND1に接続されている。

[0046] 二次側制御チップ120は、アイソレータチップ130を介して一次側制御チップ110にパルス信号S10及びS20を送信する送信部として、パルス信号生成部121及び122とパッドT21及びT22を有する。また、二次側制御チップ120は、一次側制御チップ110からアイソレータチップ130を介してパルス信号S30及びS40を受信する受信部として、RSフリップフロップ123とパッドT23及びT24を有する。なお、二次側制御チップ120の基準電位端は、接地端GND2に接続されている。

[0047] なお、上記のパルス信号生成部112及び113、並びに、パルス信号生成部121及び122としては、例えば、1ショットパルス生成回路を好適に用いることができる。

[0048] アイソレータチップ130は、一次側制御チップ110と二次側制御チッ

チップ120との間を電氣的に絶縁しつつ、両チップ間でパルス信号S10～S40を伝送するための手段として、集積化トランス131～134と、パッドT31a～T34aと、パッドT31b～T34bと、を有する。なお、集積化トランス131～134は、それぞれ、互いに同極性で磁気結合された入力巻線（実線）と出力巻線（破線）を含む。

[0049] なお、パルス信号S10及びS20に着目した場合には、二次側制御チップ120がパルス信号S10及びS20の送信側となる第1チップに相当し、一次側制御チップ110がパルス信号S10及びS20の受信側となる第2チップに相当する。また、アイソレータチップ130は、集積化トランス131及び132を用いて一次側制御チップ110と二次側制御チップ120との間を電氣的に絶縁しつつ、二次側制御チップ120から一次側制御チップ110にパルス信号S10及びS20を伝送する第3チップに相当する。

[0050] 一方、パルス信号S30及びS40に着目した場合には、一次側制御チップ110がパルス信号S30及びS40の送信側となる第1チップに相当し、二次側制御チップ120がパルス信号S30及びS40の受信側となる第2チップに相当する。また、アイソレータチップ130は、集積化トランス133及び134を用いて一次側制御チップ110と二次側制御チップ120との間を電氣的に絶縁しつつ、一次側制御チップ110から二次側制御チップ120にパルス信号S30及びS40を伝送する第3チップに相当する。

[0051] 次に、パルス信号S10及びS20の伝送経路に着目し、それぞれの上流側から順に、各要素間の接続関係について述べる。パルス信号生成部121及び122の各出力端は、それぞれ、パッドT21及びT22に接続されている。パッドT21及びT22は、それぞれ、ボンディングワイヤW21及びW22を介してパッドT31b及びT32bに接続されている。パッドT31b及びT32bは、それぞれ、集積化トランス131及び132の各入力巻線（実線）に接続されている。集積化トランス131及び132の各出

力巻線（破線）は、パッドT 3 1 a及びT 3 2 aに接続されている。パッドT 3 1 a及びT 3 2 aは、それぞれ、ボンディングワイヤW 1 1及びW 1 2を介してパッドT 1 1及びT 1 2と接続されている。パッドT 1 1及びT 1 2は、それぞれ、RSフリップフロップ1 1 1のセット端（S）及びリセット端（R）に接続されている。

[0052] 続いて、パルス信号S 1 0及びS 2 0の伝送動作を説明する。パルス信号生成部1 2 1は、RSフリップフロップ1 1 1の出力端（Q）を第1論理レベル（例えばハイレベル）にセットするとき、集積化トランス1 3 1の入力巻線（実線）をパルス駆動する。その結果、集積化トランス1 3 1の出力巻線（破線）に誘起パルスが生じ、これがパルス信号S 1 0（＝セット信号に相当）として、RSフリップフロップ1 1 1のセット端（S）に伝送される。

[0053] 一方、パルス信号生成部1 2 2は、RSフリップフロップ1 1 1の出力端（Q）を第2論理レベル（例えばローレベル）にリセットするとき、集積化トランス1 3 2の入力巻線（実線）をパルス駆動する。その結果、集積化トランス1 3 2の出力巻線（破線）に誘起パルスが生じ、これがパルス信号S 2 0（＝リセット信号に相当）として、RSフリップフロップ1 1 1のリセット端（R）に伝送される。

[0054] RSフリップフロップ1 1 1は、セット端（S）に入力されるパルス信号S 1 0に応じて、出力端（Q）を第1論理レベル（例えばハイレベル）にセットし、リセット端（R）に入力されるパルス信号S 2 0に応じて、出力端（Q）を第2論理レベル（例えばローレベル）にリセットする。

[0055] なお、二次側制御チップ1 2 0は、例えば、分圧電圧V d i vが基準電圧V r e fと一致するようにパルス幅変調信号PWMのデューティ制御を行う出力帰還制御部（不図示）を有する構成とし、パルス信号生成部1 2 1及び1 2 2は、例えば、パルス幅変調信号PWMの立上りタイミング及び立下りタイミングで、集積化トランス1 3 1及び1 3 2の各入力巻線（実線）をパルス駆動する構成としておけばよい。また、一次側制御チップ1 1 0は、例

例えば、RSフリップフロップ111の出力端(Q)の論理レベルに応じてゲート信号G1の論理レベルを切り替える構成にしておけばよい。

[0056] 次に、パルス信号S30及びS40の伝送経路に着目し、それぞれの上流側から順に各要素間の接続関係について述べる。パルス信号生成部112及び113の各出力端は、それぞれ、パッドT13及びT14に接続されている。パッドT13及びT14は、それぞれ、ボンディングワイヤW13及びW14を介してパッドT33a及びT34aに接続されている。パッドT33a及びT34aは、それぞれ、集積化トランス133及び134の各入力巻線(実線)に接続されている。集積化トランス133及び134の各出力巻線(破線)は、パッドT33b及びT34bに接続されている。パッドT33b及びT34bは、それぞれ、ボンディングワイヤW23及びW24を介してパッドT23及びT24と接続されている。パッドT23及びT24は、それぞれ、RSフリップフロップ123のセット端(S)及びリセット端(R)に接続されている。

[0057] 続いて、パルス信号S30及びS40の伝送動作を説明する。パルス信号生成部112は、RSフリップフロップ123の出力端(Q)を第1論理レベル(例えばハイレベル)にセットするとき、集積化トランス133の入力巻線(実線)をパルス駆動する。その結果、集積化トランス133の出力巻線(破線)に誘起パルスが生じ、これがパルス信号S30(=セット信号に相当)として、RSフリップフロップ123のセット端(S)に伝送される。

[0058] 一方、パルス信号生成部113は、RSフリップフロップ123の出力端(Q)を第2論理レベル(例えばローレベル)にリセットするとき、集積化トランス134の入力巻線(実線)をパルス駆動する。その結果、集積化トランス134の出力巻線(破線)に誘起パルスが生じ、これがパルス信号S40(=リセット信号に相当)として、RSフリップフロップ123のリセット端(R)に伝送される。

[0059] RSフリップフロップ123は、セット端(S)に入力されるパルス信号

S 3 0 に応じて、出力端 (Q) を第 1 論理レベル (例えばハイレベル) にセットし、リセット端 (R) に入力されるパルス信号 S 4 0 に応じて、出力端 (Q) を第 2 論理レベル (例えばローレベル) にリセットする。

[0060] なお、一次側制御チップ 1 1 0 は、例えば、二次側制御チップ 1 2 0 への異常報知信号 E R R を生成する異常報知部 (不図示) を有する構成とし、パルス信号生成部 1 1 2 及び 1 1 3 は、例えば、異常報知信号 E R R の立上りタイミング及び立下りタイミングで、集積化トランス 1 3 3 及び 1 3 4 の各入力巻線 (実線) をパルス駆動する構成としておけばよい。また、二次側制御チップ 1 2 0 は、例えば、R S フリップフロップ 1 2 3 の出力端 (Q) の論理レベルに応じて、直流出力電圧 V_o の生成動作をシャットダウンする可否かを切り替える構成にしておけばよい。

[0061] ところで、電源 I C 1 0 0 のパッケージには、アイソレータチップ 1 3 0 だけでなく、スイッチングノイズを発生する一次側制御チップ 1 1 0 や二次側制御チップ 1 2 0 が封止されている。このように、アイソレータチップ 1 3 0 の周囲に多くのスイッチングノイズが発生する環境では、正確にパルス信号 S 1 0 ~ S 4 0 を伝送することが難しい。特に、高い交流入力電圧 $V_a c$ が入力される絶縁型スイッチング電源 1 では、アイソレータチップ 1 3 0 に生じるノイズレベルが大きいため、これを削減することが非常に重要となる。

[0062] そこで、本実施形態の電源 I C 1 0 0 では、集積化トランス 1 3 1 ~ 1 3 4 それぞれの上流側 (= 入力巻線側) に、L C ローパスフィルタが導入されている。特に、L C ローパスフィルタを構成するためのインダクタ L としては、ボンディングワイヤ (W 2 1、W 2 2、W 1 3、W 1 4) のインダクタンス成分が積極的に利用されている。また、L C ローパスフィルタを構成するためのキャパシタ C は、アイソレーションチップ 1 3 0 の信号入力パッド (T 3 1 b、T 3 2 b、T 3 3 a、T 3 4 a) とその下方領域における導電体層及び誘電体層を利用して形成されている (図中のハッチング領域を参照、詳細は後述)。

- [0063] このように、集積化トランス 131～134 それぞれの上流側に、ＬＣローパスフィルタ 220 を導入することにより、アイソレータチップ 130 を介して伝送されるパルス信号 S10～S40 それぞれのノイズを効果的に削減することが可能となる。
- [0064] なお、パルス信号生成部 121 及び 122、並びに、パルス信号生成部 112 及び 113 は、それぞれ、パルス信号 S10～S40 のパルス幅を任意に調整する機能を備えている。当該機能を具備することにより、ＬＣローパスフィルタのカットオフ周波数 $f_c (= 1 / (2\pi \cdot \sqrt{LC}))$ が多少ばらついても、パルス信号 S10～S40 のパルス幅を最適化することができるので、パルス信号 S10～S40 のノイズを適切に削減することが可能となる。
- [0065] 図 3 は、第 1 実施形態における信号伝送経路の等価回路図である。本図で示すように、集積化トランス 210 は、互いに同極性で磁気結合された入力巻線 211 と出力巻線 212 を含む。また、集積化トランス 210 の上流側（＝入力巻線 211 側）には、ＬＣローパスフィルタ 220 が導入されている。なお、ＬＣローパスフィルタ 220 は、インダクタ 221 とキャパシタ 222 を含む。
- [0066] インダクタ 221 の第 1 端は、信号入力端 I N に接続されている。インダクタ 221 の第 2 端とキャパシタ 222 の第 1 端は、ＬＣローパスフィルタ 220 の出力端として、入力巻線 211 の第 1 端に接続されている。キャパシタ 222 の第 2 端と入力巻線 211 の第 2 端は、いずれも第 1 接地端に接続されている。出力巻線 212 の第 1 端は、信号出力端 O U T に接続されている。出力巻線 212 の第 2 端は、第 2 接地端に接続されている。
- [0067] なお、集積化トランス 210 を先出の集積化トランス 131 または 132 として理解した場合には、信号入力端 I N がパッド T21 または T22 に相当し、インダクタ 221 がボンディングワイヤ W21 または W22 のインダクタンス成分（＝インダクタ L）に相当し、キャパシタ 222 がパッド T31b または T32b の下方領域に形成されたキャパシタ C に相当し、信号出

力端OUTがパッドT31aまたはT32aに相当し、第1接地端が接地端GND2に相当し、第2接地端が接地端GND1に相当する。

[0068] また、集積化トランス210を先出の集積化トランス133または134として理解した場合には、信号入力端INがパッドT13またはT14に相当し、インダクタ221がボンディングワイヤW13またはW14のインダクタンス成分(=インダクタL)に相当し、キャパシタ222がパッドT33aまたはT34aの下方領域に形成されたキャパシタCに相当し、信号出力端OUTがパッドT33bまたはT34bに相当し、第1接地端が接地端GND1に相当し、第2接地端が接地端GND2に相当する。

[0069] <電源IC(第2実施形態)>

図4は、電源IC100の第2実施形態を示す模式図である。本実施形態の電源IC100は、先出の第1実施形態(図2)をベースとしつつ、LCローパスフィルタが集積化トランス131~134それぞれの下流側(=出力巻線側)に導入されている点に特徴を有する。なお、本実施形態の電源IC100でも、LCローパスフィルタを構成するためのインダクタLとしては、ボンディングワイヤ(W11、W12、W23、W24)のインダクタンス成分が積極的に利用されている。また、LCローパスフィルタを構成するためのキャパシタCは、一次側制御チップ110及び二次側制御チップ120それぞれの信号入力パッド(T11、T12、T23、T24)とその下方領域における導電体層及び誘電体層を利用して形成されている(図中のハッチング領域を参照、詳細は後述)。

[0070] このように、集積化トランス131~134それぞれの下流側にLCローパスフィルタ220を導入することにより、先出の第1実施形態(図2)と同様、アイソレータチップ130を介して伝送されるパルス信号S10~S40それぞれのノイズを効果的に削減することが可能となる。

[0071] なお、パルス信号生成部121及び122、並びに、パルス信号生成部112及び113については、先出の第1実施形態(図2)と同様、パルス信号S10~S40のパルス幅を任意に調整する機能を備えておくことが望ま

しい。ただし、パルス幅の調整に際しては、先出の第1実施形態（図2）と異なり、LCローパスフィルタのカットオフ周波数 f_c だけでなく、集積化トランス131～134それぞれの結合度も考慮する必要がある点に留意すべきである。

[0072] 図5は、第2実施形態における信号伝送経路の等価回路図である。本図で示すように、LCローパスフィルタ230は、集積化トランス210の下流側（＝出力巻線212側）に導入されている。なお、LCローパスフィルタ230は、インダクタ231とキャパシタ232を含む。

[0073] 入力巻線211の第1端は、信号入力端INに接続されている。入力巻線211の第2端は、第1接地端に接続されている。出力巻線212の第1端は、インダクタ231の第1端に接続されている。出力巻線212の第2端は、第2接地端に接続されている。インダクタ231の第2端とキャパシタ232の第1端は、LCローパスフィルタ230の出力端として、信号出力端OUTに接続されている。キャパシタ232の第2端は、第2接地端に接続されている。

[0074] なお、集積化トランス210を先出の集積化トランス131または132として理解した場合には、信号入力端INがパッドT31bまたはT32bに相当し、インダクタ231がボンディングワイヤW11またはW12のインダクタンス成分（＝インダクタL）に相当し、キャパシタ232がパッドT11またはT12の下方領域に形成されたキャパシタCに相当し、信号出力端OUTがパッドT11またはT12に相当し、第1接地端が接地端GND2に相当し、第2接地端が接地端GND1に相当する。

[0075] また、集積化トランス210を先出の集積化トランス133または134として理解した場合には、信号入力端INがパッドT33aまたはT34aに相当し、インダクタ231がボンディングワイヤW23またはW24のインダクタンス成分（＝インダクタL）に相当し、キャパシタ232がパッドT23またはT24の下方領域に形成されたキャパシタCに相当し、信号出力端OUTがパッドT23またはT24に相当し、第1接地端が接地端GND

D 1 に相当し、第 2 接地端が接地端 G N D 2 に相当する。

[0076] なお、上記では、集積化トランス 2 1 0 の上流側に L C ローパスフィルタ 2 2 0 を導入する第 1 実施形態（図 3）と、集積化トランス 2 1 0 の下流側に L C ローパスフィルタ 2 3 0 を導入する第 2 実施形態（図 5）とを個別に説明したが、第 1 実施形態と第 2 実施形態を組み合わせ採用してもよい。すなわち、集積化トランス 2 1 0 の上流側と下流側の双方に L C ローパスフィルタ 2 2 0 及び 2 3 0 をそれぞれ導入することも可能である。

[0077] <キャパシタの形成手法>

次に、L C ローパスフィルタを構成するキャパシタ C の形成手法について詳述する。

[0078] 図 6 は、キャパシタ C の第 1 構造例を示す模式図であり、ここでは、キャパシタ C が形成されるチップの縦断面図（上段）及び部分上面図（下段）が描写されている。なお、縦断面図（上段）には、部分上面図（下段）の A 1ーA 2 線でチップを縦に切断したときの断面が描写されている。当該チップは、第 1 実施形態（図 2）のアイソレータチップ 1 3 0、若しくは、第 2 実施形態（図 4）の一次側制御チップ 1 1 0 または二次側制御チップ 1 2 0 に相当する。

[0079] 本図のチップにおいて、パルス信号の伝送経路となるボンディングワイヤ 3 0 1 は、パッド 3 0 2 に接続されている。

[0080] なお、先述の第 1 実施形態に即して言えば、図 2 のボンディングワイヤ W 2 1 または W 2 2 若しくはボンディングワイヤ W 1 3 または W 1 4 が本図のボンディングワイヤ 3 0 1 に相当し、図 2 のパッド T 3 1 b または T 3 2 b 若しくはパッド T 3 3 a または T 3 4 a が本図のパッド 3 0 2 に相当する。

[0081] 一方、先述の第 2 実施形態に即して言えば、図 4 のボンディングワイヤ W 1 1 または W 1 2 若しくはボンディングワイヤ W 2 3 または W 2 4 が本図のボンディングワイヤ 3 0 1 に相当し、図 4 のパッド T 1 1 または T 1 2 若しくはパッド T 2 3 または T 2 4 が本図のパッド 3 0 2 に相当する。

[0082] また、本図のチップは、下層側（基板側）から順に、第 1 メタル層（1 s

t MTL)、層間絶縁層 (ILD)、及び、第2メタル層 (2ndMTL) が積層形成された2層配線構造とされている。なお、各メタル層 (1stMTL、2ndMTL) の素材としては、AlやCuなどを挙げることができる。また、層間絶縁層 (ILD) の素材としては、SiO₂などを挙げることができる。

[0083] 上記の第2メタル層 (2ndMTL) には、メタル配線303及び306が敷設されている。メタル配線303には、その平面視において、矩形状 (例えば100 μ m $\times$ 100 μ m) のパッド接続領域が形成されており、当該領域において、パッド302との電気的な接続が確立されている。すなわち、メタル配線303のパッド接続領域は、前段のチップからボンディングワイヤ301とパッド302を介してパルス信号の入力を受け付けるための第1電極として機能する。そこで、以下の説明では、メタル配線303のパッド接続領域を指して、第1電極303と称する場合がある。

[0084] 一方、メタル配線306にも、上記と同様のパッド接続領域が形成されており、当該領域において、パッド307との電気的な接続が確立されている。なお、パッド307は、所定の基準電位端 (=接地端またはこれに準ずる低電位端) に接続されている。また、メタル配線306は、層間絶縁層 (ILD) を貫通するビア305を介して、第1メタル層 (1stMTL) に敷設されたメタル配線304と接続されている。

[0085] 上記のメタル配線304は、第1電極303の下方領域 (=チップの上下方向において第1電極303と互いに重なり合う領域) まで延伸されており、かつ、その平面視において、第1電極303と同一以上の面積を持つ矩形領域が形成されている。ただし、当該矩形領域と第1電極303との間は、層間絶縁層 (ILD) を隔てて電気的な絶縁が保たれている。すなわち、上記の矩形領域は、第1電極303と電気的に絶縁されるとともに基準電位端に接続された第2電極として機能する。そこで、以下の説明では、メタル配線304の上記矩形領域を指して、第2電極304と称する場合がある。

[0086] 本構造例を採用することにより、導電体である第1電極303及び第2電

極304と、両電極間に挟まれた誘電体（層間絶縁層（ILD））により、キャパシタCを形成することができる。また、本構造例であれば、パッド302の下方領域を有効利用することができるので、キャパシタCの形成に際してチップの面積を不必要に増大することもない。

[0087] 図7は、キャパシタCの第2構造例を示す模式図である。本構造例では、先出の第1構造例（図6）をベースとしつつ、第1メタル層（1stMTL）よりも下層側（基板側）に、ポリシリコン層（poly-Si）が積層形成された3層配線構造とされている。

[0088] すなわち、本図のチップでは、下層側（基板側）から順に、ポリシリコン層（poly-Si）、第1層間絶縁層（1stILD）、第1メタル層（1stMTL）、第2層間絶縁層（2ndILD）、及び、第2メタル層（2ndMTL）が積層形成されている。

[0089] 上記の第2メタル層（2ndMTL）には、第1構造例（図6）と同様、メタル配線303及び306が敷設されている。また、メタル配線303に形成された矩形状のパッド接続領域が先述の第1電極として機能する点についても、先と何ら変わらない。

[0090] 一方、メタル配線層306は、第2層間絶縁層（2ndILD）を貫通するビア316を介して、第1メタル層（1stMTL）に敷設されたメタル配線315と接続されている。さらに、メタル配線315は、第1層間絶縁層（1stILD）を貫通するビア314を介して、ポリシリコン層（poly-Si）に敷設されたポリシリコン配線313と接続されている。

[0091] 上記のポリシリコン配線313は、第1電極303の下方領域まで延伸されており、かつ、その平面視において、第1電極303と同一以上の面積を持つ矩形領域が形成されている。当該矩形領域は、先述の第2電極として機能する。そこで、以下の説明では、ポリシリコン配線313の上記矩形領域を指して、第2電極313と称する場合がある。

[0092] ところで、図7における第1電極303と第2電極313との相互間距離は、図6における第1電極303と第2電極304との相互間距離よりも長

くなるので、両電極間に形成されるキャパシタCの容量値が減少してしまう。

[0093] そこで、第1電極303と第2電極313との間には、第1メタル層（1stMTL）を用いて形成された中間電極312が別途新たに設けられている。なお、中間電極312は、第2層間絶縁層（2ndILD）を貫通するビア311を介して第1電極303と短絡されている。一方、中間電極312と第2電極313との間については、第1層間絶縁層（1stILD）を隔てて電氣的な絶縁が保たれている。

[0094] 本構造例を採用することにより、導電体である中間電極312及び第2電極313と、両電極間に挟まれた誘電体（第1層間絶縁層（1stILD））により、キャパシタCを形成することができる。従って、チップの多層配線化に伴い、第1電極303と第2電極313との相互間距離が伸びても、キャパシタCの容量値を維持することが可能となる。

[0095] なお、中間電極312は、その平面視において、第1電極303及び第2電極313とそれぞれ同一以上の面積を持つ矩形状に形成しておくといよい。

[0096] また、本図では、中間電極312と第1電極303との間を短絡し、中間電極312と第2電極313との間を絶縁する構造を例に挙げたが、逆に、中間電極312と第1電極303との間を絶縁し、中間電極312と第2電極313との間を短絡する構造としてもよい。その場合には、導電体である第1電極303及び中間電極312と、両電極間に挟まれた誘電体（第2層間絶縁層（2ndILD））により、キャパシタCが形成される。

[0097] 図8は、キャパシタCの第3構造例を示す模式図である。本構造例では、チップの下層側（基板側）から順に、第2電極401（ポリシリコン層）、第1中間電極402（第1メタル層）、第2中間電極403（第2メタル層）、及び、第1電極404（第3メタル層）が積層形成されている。

[0098] なお、第1中間電極402は、第1電極404と短絡されている。一方、第2中間電極403は、第2電極401と短絡されている。

[0099] すなわち、第1電極404と第2電極401の間には、先述の中間電極

として、第1電極401に短絡された少なくとも一層の第1中間電極402と、第2電極401に短絡された少なくとも一層の第2中間電極403とが交互に積層されている。

[0100] このような構造を採用することにより、第2電極401と第1中間電極402との間に形成されるキャパシタ C_x 、第1中間電極402と第2中間電極403との間に形成されるキャパシタ C_y 、及び、第2中間電極403と第1電極404との間に形成されるキャパシタ C_z を並列に接続してキャパシタ C を形成することができるので、その容量値($C = C_x + C_y + C_z$)を高めることが可能となる。

[0101] <インダクタンス値の調整手法>

次に、LCローパスフィルタを形成するインダクタ L のインダクタンス値を調整する手法について、図9を参照しながら説明する。本図で示すように、パルス信号の送信側となる第1チップ510には、パルス信号を出力するためのパッド511が設けられている。一方、パルス信号の受信側となる第2チップ520には、パルス信号の入力を受け付けるためのパッド521が設けられている。なお、パッド511とパッド521との間に、ボンディングワイヤ530によって接続されている。

[0102] ここで、LCローパスフィルタを形成するインダクタ L のインダクタンス値を調整するためには、ボンディングワイヤ530の長さ l 、直径 ϕ 、本数 n 、若しくは、素材などを調整することが考えられる。例えば、ボンディングワイヤ530の長さ l を調整する場合には、両チップ間の距離 d を変更してもよいし、パッド511またはパッド521の位置を変更してもよい。

[0103] 図10は、インダクタンス値の調整手法を具体的に説明するための模式図である。本図では、先出の図4をベースとしつつ、パッドT32a及びT32bの位置を変更した例が挙げられている。

[0104] より具体的に述べると、電源IC100の平面視において、紙面の上下左右方向を電源IC100（延いてはアイソレータチップ130）の上下左右方向として定義した場合、パッドT32aは、集積化トランス132の左側

(＝一次側制御チップ110の近縁側)ではなく、集積化トランス132の下側に設けられている。また、パッドT32bは、集積化トランス132の右側(＝二次側制御チップ120の近縁側)ではなく、集積化トランス132の上側に設けられている。

[0105] このような配置により、パッドT32a及びT32bにそれぞれ接続されるボンディングワイヤW12及びW22を他のボンディングワイヤよりも長くして、それぞれのインダクタンス値を高めることが可能となる。

[0106] すなわち、ボンディングワイヤの長さ l (延いてはLCローパスフィルタを形成するインダクタ L のインダクタンス値)は、パッドの位置により任意に調整することができる。

[0107] なお、本図では、説明を簡単とするために、パッドT32a及びT32bの配置のみを他と異なるように描写したが、その他のパッドについても、それぞれに接続されるボンディングワイヤの必要長(延いては、LCローパスフィルタを形成するインダクタ L のインダクタンス値)に応じて、それぞれの配置を調整すればよいことは言うまでもない。

[0108] <容量値の調整手法>

なお、LCローパスフィルタを形成するインダクタ L のインダクタンス値は、ボンディングワイヤの長さ l だけでなく、直径 ϕ 、本数 n 、若しくは、素材などによっても変化する。そのため、LCローパスフィルタのカットオフ周波数を最適化するためには、インダクタ L のインダクタンス値に合わせて、キャパシタ C の容量値も調整する必要がある。以下では、キャパシタ C の容量値を調整する手法について、具体例を挙げながら詳述する。

[0109] 図11は、キャパシタ C の第4構造例を示す模式図であり、ここでは、キャパシタ C が形成されるチップの縦断面図が描写されている。当該チップは、第1実施形態(図2)のアイソレータチップ130に相当する。

[0110] 本構造例のチップは、下層側(基板側)から順に、ポリシリコン層600とメタル層610～640が積層形成された5層配線構造とされている。また、ポリシリコン層600とメタル層610との間には、層間絶縁層650

が形成されている。同様に、メタル層610～640相互間には、それぞれ、層間絶縁層660～680が形成されている。

[0111] すなわち、本図のチップでは、下層側（基板側）から順に、ポリシリコン層600、層間絶縁層650、メタル層610、層間絶縁層660、メタル層620、層間絶縁層670、メタル層630、層間絶縁層680、及び、メタル層640が積層形成されている。

[0112] なお、メタル層610～640の素材としては、AlやCuなどが挙げられる。また、層間絶縁層650～680の素材としては、SiO₂などが挙げられる。

[0113] ポリシリコン層600には、ポリシリコン配線601が敷設されている。なお、ポリシリコン配線601は、ボンディングワイヤを介してパルス信号の入力を受け付けるパッド（＝後述するメタル配線641）の下方領域まで延伸されている。

[0114] メタル層610には、メタル配線611及び612が敷設されている。メタル配線611は、ポリシリコン配線601とのオーバーラップ領域（＝層間絶縁層650を挟んでポリシリコン配線601と対向する領域）を持つ。ただし、ポリシリコン配線601とメタル配線611との間は、層間絶縁層650を隔てて電氣的な絶縁が保たれている。メタル配線612は、層間絶縁層650を貫通するビア651を介して、ポリシリコン配線601と接続されている。

[0115] メタル層620には、メタル配線621～623が敷設されている。メタル配線621は、層間絶縁層660を貫通するビア661を介して、メタル配線611と接続されている。また、メタル配線621は、ポリシリコン配線601とのオーバーラップ領域（＝メタル層611を介さずに層間絶縁層650及び660を挟んでポリシリコン配線601と対向する領域）を持つ。ただし、ポリシリコン配線601とメタル配線621との間は、層間絶縁層650及び660を隔てて電氣的な絶縁が保たれている。メタル配線622及び623は、それぞれ、層間絶縁層660を貫通するビア662及び6

6 3 を介して、メタル配線 6 1 2 と接続されている。

[0116] メタル層 6 3 0 には、メタル配線 6 3 1 及び 6 3 2 が敷設されている。メタル配線 6 3 1 は、層間絶縁層 6 7 0 を貫通するビア 6 7 1 及び 6 7 2 を介して、メタル配線 6 2 1 及び 6 2 2 と接続されている。メタル配線 6 3 2 は、層間絶縁層 6 7 0 を貫通するビア 6 7 3 を介してメタル配線 6 2 3 と接続されている。なお、本図の中央部に敷設されている導電経路（メタル配線 6 3 1 →ビア 6 7 2 →メタル配線 6 2 2 →ビア 6 6 2 →メタル配線 6 1 2）により、集積化トランスの入力巻線が形成されている。

[0117] メタル層 6 4 0 には、メタル配線 6 4 1 及び 6 4 2 が敷設されている。メタル配線 6 4 1 は、層間絶縁層 6 8 0 を貫通するビア 6 8 1 を介してメタル配線 6 3 1 と接続されている。なお、メタル配線 6 4 1 は、その平面視において矩形状に形成されており、ボンディングワイヤを介してパルス信号の入力を受け付けるためのパッドとして機能する。すなわち、メタル配線 6 4 1 は、第 1 実施形態（図 2）のパッド T 3 1 b または T 3 2 b 若しくはパッド T 3 3 a または T 3 4 a に相当する。

[0118] 一方、メタル配線 6 4 2 は、層間絶縁層 6 8 0 を貫通するビア 6 8 2 を介してメタル配線 6 3 2 と接続されている。なお、メタル配線 6 4 2 は、その平面視において矩形状に形成されており、所定の基準電位端（＝接地端またはこれに準ずる低電位端）に接続される GND パッドとして機能する。

[0119] また、層間絶縁層 6 8 0 の上層には、メタル配線 6 4 1 及び 6 4 2 の周囲を埋めるように絶縁層 6 9 1 が形成されている。さらに、チップの最表面には、パッドとして機能するメタル配線 6 4 1 及び 6 4 2 の少なくとも一部を露出しつつ、チップの表面を保護する保護層 6 9 2 が形成されている。なお、保護層 6 9 2 の素材としては、ポリイミドなどが挙げられる。このような保護層 6 9 2 を設けることにより、パッケージング時の応力を緩和したり、プローブ検査時の引っ掻き傷を防止したりすることができる。ただし、絶縁層 6 9 1 や保護層 6 9 2 については、割愛しても構わない。

[0120] 本構造例を採用することにより、メタル配線 6 1 1 及び 6 2 1 を第 1 電極

とし、ポリシリコン配線 601 を第 2 電極とし、両電極間に挟まれた層間絶縁層 650 及び 660 を誘電体とするキャパシタ C を形成することができる。

[0121] すなわち、本構造例のチップでは、パッド（＝メタル配線 641）に接続されるボンディングワイヤが LC ローパスフィルタを形成するインダクタ L として機能し、パッドとして機能するメタル配線 641（さらにはこれに接続されるメタル配線 611 及び 621）が LC ローパスフィルタを形成するキャパシタ C の第 1 電極として機能する。

[0122] また、本構造例のチップであれば、ボンディングワイヤを介してパルス信号の入力を受け付けるパッド（＝メタル配線 641）の下方領域を有効利用することができるので、キャパシタ C の形成に際してチップの面積を不必要に増大することもない。

[0123] なお、キャパシタ C の容量値は、 $C = S / d$ で表されることから、第 1 電極と第 2 電極との対向面積 S または電極間距離 d に応じて任意に調整することが可能である。例えば、対向面積 S は、ポリシリコン配線 601 に対向するメタル配線 611 及び 621 の面積や個数により調整することができる。

[0124] また、電極間距離 d は、積層形成された複数の配線層のうち、キャパシタ C の第 1 電極及び第 2 電極としていずれの配線層を用いるかにより調整することができる。より具体的に述べると、本構造例のチップでは、メタル配線 611 及び 621 の双方をキャパシタ C の第 1 電極として用いているが、例えば、メタル配線 611 を割愛してメタル配線 621 のみをキャパシタ C の第 1 電極とした場合には、電極間距離 d を伸ばしてキャパシタ C の容量値を引き下げることができる。また、電極間距離 d は、チップの製造プロセスを変更して層間絶縁層の厚さ自体を最適化することでも、任意に調整することが可能である。

[0125] 上記を鑑みると、チップの配線段数（積層数）が多く層間絶縁層が薄いほど、キャパシタ C の特性（容量値や等価直列抵抗値）を調整し易いと言える。

[0126] 図12は、キャパシタCの第5構造例を示す模式図であり、ここでは、キャパシタCが形成されるチップの縦断面図（上段）、部分平面図（中段）、及び、部分拡大図（下段）が描写されている。なお、縦断面図（上段）には、部分平面図（中段）のA3－A4線でチップを縦に切断したときの断面が描写されている。また、部分平面図（中段）には、チップ表面からの透視によるメタル配線711及び712が描写されている。また、部分拡大図（下段）には、部分平面図（中段）の丸枠内が部分的に拡大して描写されている。

[0127] 本構造例のチップは、下層側（基板側）から順に、ポリシリコン層700とメタル層710及び720が積層形成された3層配線構造とされている。また、ポリシリコン層700とメタル層710との間には、層間絶縁層730が形成されている。同様に、メタル層710とメタル層720との間には、層間絶縁層740が形成されている。

[0128] すなわち、本図のチップでは、下層側（基板側）から順に、ポリシリコン層700、層間絶縁層730、メタル層710、層間絶縁層740、及び、メタル層720が積層形成されている。なお、チップ表面を被覆する絶縁層や保護層については、その描写が割愛されている。

[0129] ポリシリコン層700には、ポリシリコン配線701が敷設されている。なお、ポリシリコン配線701は、ボンディングワイヤを介してパルス信号の入力を受け付けるパッド（＝後述するメタル配線721）の下方領域まで延伸されている。

[0130] メタル層710には、メタル配線711～713が敷設されている。メタル配線711及び713は、それぞれ、層間絶縁層730を貫通するビア731及び732を介して、ポリシリコン配線701と接続されている。一方、ポリシリコン配線701とメタル配線721との間は、層間絶縁層730を隔てて電氣的な絶縁が保たれている。なお、メタル配線711及び712は、それぞれの平面形状に特徴を有しているが、この点については後ほど詳述する。

- [0131] メタル層 720 には、メタル配線 721 及び 722 が敷設されている。メタル配線 721 は、層間絶縁層 740 を貫通するビア 741 を介してメタル配線 712 と接続されている。なお、メタル配線 721 は、その平面視において矩形状に形成されており、ボンディングワイヤを介してパルス信号の入力を受け付けるためのパッドとして機能する。
- [0132] 一方、メタル配線 722 は、層間絶縁層 740 を貫通するビア 742 を介してメタル配線 713 と接続されている。なお、メタル配線 722 は、その平面視において矩形状に形成されており、所定の基準電位端（＝接地端またはこれに準ずる低電位端）に接続される GND パッドとして機能する。
- [0133] 本構造例を採用することにより、メタル配線 712 を第 1 電極とし、ポリシリコン配線 701 及びメタル配線 711 を第 2 電極とし、両電極間に挟まれた層間絶縁層 730 及び 740 を誘電体とするキャパシタ C を形成することができる。
- [0134] 特に、本構造例のチップにおいて、メタル配線 712（＝キャパシタ C の第 1 電極に相当）とメタル配線 711（＝キャパシタ C の第 2 電極に相当）は、同一のメタル層 710 に形成されており、所定の電極間距離を隔てて相互に噛み合う櫛歯 711a 及び 711b を備えている（いわゆる MIM [Metal-Insulator-Metal] 構造）。このような構造によれば、メタル配線 712（＝第 1 電極）とメタル配線 711（＝第 2 電極）との対向面積 S を拡大することができるので、キャパシタ C の容量値を増大することが可能となる。
- [0135] 図 13 は、キャパシタ C の第 5 構造例を示す模式図であり、ここでは、キャパシタ C が形成されるチップの縦断面図（上段）と上面図（下段）が描写されている。なお、縦断面図（上段）には、上面図（下段）の A5－A6 線でチップを縦に切断したときの断面が描写されている。
- [0136] 本構造例のチップは、ボンディングワイヤ 800 を介してパルス信号の入力を受け付けるためのパッド 801 と、所定の基準電位端（＝接地端またはこれに準ずる低電位端）に接続されるパッド 802 と、パッド 801 及び 802 の周囲を埋めるように形成された絶縁層 803 と、パッド 801 及び 8

02の少なくとも一部（＝大破線で囲まれた領域）を露出しつつチップの表面を被覆する保護層804と、を有する。

[0137] これらのパッド801及び802は、チップ表面上で互いに隣接して形成されており、所定の電極間距離を隔てて相互に噛み合う櫛歯801a及び801bを備えている。このような構造によれば、パッド801（＝キャパシタCの第1電極に相当）とパッド802（＝キャパシタCの第2電極に相当）との対向面積Sを拡大することができるので、キャパシタCの容量値を増大することが可能となる。

[0138] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、LCローパスフィルタの導入対象は、電源IC100の内部でパルス信号を取り扱う各種チップ（一次側制御チップ110、二次側制御チップ120、及び、アイソレータチップ130）に限定されるものではなく、ボンディングワイヤを介してパルス信号が入力されるチップ全般に拡張して理解することができる。

[0139] このように、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0140] 本明細書中に開示されている半導体装置は、例えば、車載機器や産業機器に利用することが可能である。

符号の説明

[0141] 1 絶縁型スイッチング電源
 1 p 一次回路系（GND1系）
 1 s 二次回路系（GND2系）

- 2 負荷
 - 1 0 整流部
 - 1 1 フィルタ
 - 1 2 ダイオードブリッジ
 - 1 3、1 4 キャパシタ
 - 2 0 DC／DC変換部
 - 1 0 0 電源IC
 - 1 1 0 一次側制御チップ
 - 1 1 1 RSフリップフロップ
 - 1 1 2、1 1 3 パルス信号生成部
 - 1 2 0 二次側制御チップ
 - 1 2 1、1 2 2 パルス信号生成部
 - 1 2 3 RSフリップフロップ
 - 1 3 0 アイスレータチップ
 - 1 3 1～1 3 4 集積化トランス
 - 2 1 0 集積化トランス
 - 2 1 1 入力巻線
 - 2 1 2 出力巻線
 - 2 2 0、2 3 0 LCローパスフィルタ
 - 2 2 1、2 3 1 インダクタ
 - 2 2 2、2 3 2 キャパシタ
 - 3 0 1 ボンディングワイヤ
 - 3 0 2、3 0 7 パッド
 - 3 0 3 メタル配線（第1電極）
 - 3 0 4 メタル配線（第2電極）
 - 3 1 2 中間電極
 - 3 1 3 ポリシリコン配線（第2電極）
 - 3 0 6、3 1 5 メタル配線

305、311、314、316 ビア

401 第2電極

402 第1中間電極

403 第2中間電極

404 第1電極

510 第1チップ

511 パッド

520 第2チップ

521 パッド

530 ボンディングワイヤ

600 ポリシリコン層

601 ポリシリコン配線

610、620、630、640 メタル層

611、612、621～623、631、632 メタル配線

641、642 メタル配線（パッド）

650、660、670、680 層間絶縁層

651、661～663、671～673、681、682 ビア

691 絶縁層

692 保護層

700 ポリシリコン層 701 ポリシリコン配線

710、720 メタル層

711、712、713 メタル配線

711a、712a 櫛歯

721、722 メタル配線（パッド）

730、740 層間絶縁層

731、732、741、742 ビア

800 ボンディングワイヤ

801、802 パッド

801a、802a 櫛歯
803 絶縁層
804 保護層
C1 キャパシタ
D1 ダイオード
Lp 一次巻線
Ls 二次巻線
N1 Nチャネル型MOS電界効果トランジスタ
PW 商用交流電源
R1、R2 抵抗
Rs センス抵抗
T11～T14 パッド
T21～T24 パッド
T31a～T34a パッド
T31b～T34b パッド
TR トランス
W11～W14、W21～W24 ボンディングワイヤ
X 電子機器

請求の範囲

- [請求項1] パルス信号の送信側となる第1チップと、
 前記パルス信号の受信側となる第2チップと、
 集積化トランスを用いて前記第1チップと前記第2チップとの間を
 電氣的に絶縁しつつ前記第1チップから前記第2チップに前記パルス
 信号を伝送する第3チップと、
 を有し、
 前記第2チップと前記第3チップは、それぞれ、前段のチップから
 ボンディングワイヤを介して前記パルス信号の入力を受け付けるため
 の第1電極を備えており、
 各チップの第1電極のうち、少なくとも一方の下方領域には、前記
 第1電極と電氣的に絶縁されるとともに基準電位端に接続された第2
 電極が設けられている、
 ことを特徴とする半導体装置。
- [請求項2] 前記第2電極は、メタル層またはポリシリコン層を用いて形成され
 ていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第2電極は、その平面視において、前記第1電極と同一以上の
 面積を持つことを特徴とする請求項1または請求項2に記載の半導体
 装置。
- [請求項4] 前記第1電極と前記第2電極との間には、前記第1電極及び前記第
 2電極の一方に短絡された少なくとも一層の中間電極が設けられてい
 ることを特徴とする請求項1～請求項3のいずれか一項に記載の半導
 体装置。
- [請求項5] 前記第1電極と前記第2電極との間には、前記中間電極として、前
 記第1電極に短絡された少なくとも一層の第1中間電極と、前記第2
 電極に短絡された少なくとも一層の第2中間電極とが交互に積層され
 ていることを特徴とする請求項4に記載の半導体装置。
- [請求項6] 前記第1チップは、前記パルス信号のパルス幅を調整する機能を備

えていることを特徴とする請求項 1 ～請求項 5 のいずれか一項に記載の半導体装置。

[請求項7] 一次回路系と二次回路系を電氣的に絶縁しつつ相互間の信号伝送を行うことにより絶縁型スイッチング電源の制御主体として機能することを特徴とする請求項 1 ～請求項 6 のいずれか一項に記載の半導体装置。

[請求項8] 請求項 7 に記載の半導体装置と、
前記半導体装置により制御されるスイッチング出力段と、
を有することを特徴とする絶縁型スイッチング電源。

[請求項9] 前記スイッチング出力段は、トランスを用いて一次回路系と二次回路系を電氣的に絶縁しつつ、前記一次回路系に供給される直流入力電圧から直流出力電圧を生成して前記二次回路系の負荷に供給する DC / DC 変換部の構成要素として機能することを特徴とする請求項 8 に記載の絶縁型スイッチング電源。

[請求項10] 交流入力電圧から前記直流入力電圧を生成する整流部をさらに有することを特徴とする請求項 9 に記載の絶縁型スイッチング電源。

[請求項11] 請求項 8 ～請求項 10 のいずれか一項に記載の絶縁型スイッチング電源と、
前記絶縁型スイッチング電源から電力供給を受けて動作する負荷と、
を有することを特徴とする電子機器。

[請求項12] ボンディングワイヤを介してパルス信号の入力を受け付けるための第 1 電極と、
前記第 1 電極の下方領域に設けられて前記第 1 電極と電氣的に絶縁されるとともに基準電位端に接続された第 2 電極と、
を集積化して成ることを特徴とするチップ。

[請求項13] ワイヤを介してパルス信号の入力を受け付けるためのパッドを有し、前記ワイヤがフィルタを形成するインダクタとして機能し、前記パ

ッドまたはこれに接続された配線層が前記フィルタを形成するキャパシタの第1電極として機能することを特徴とするチップ。

[請求項14] 前記インダクタのインダクタンス値は、前記ワイヤの長さ、直径、本数、または、素材により調整されることを特徴とする請求項13に記載のチップ。

[請求項15] 前記ワイヤの長さは、前記パッドの位置により調整されることを特徴とする請求項14に記載のチップ。

[請求項16] 前記キャパシタの容量値は、前記第1電極と第2電極との対向面積又は電極間距離により調整されることを特徴とする請求項13～請求項15のいずれか一項に記載のチップ。

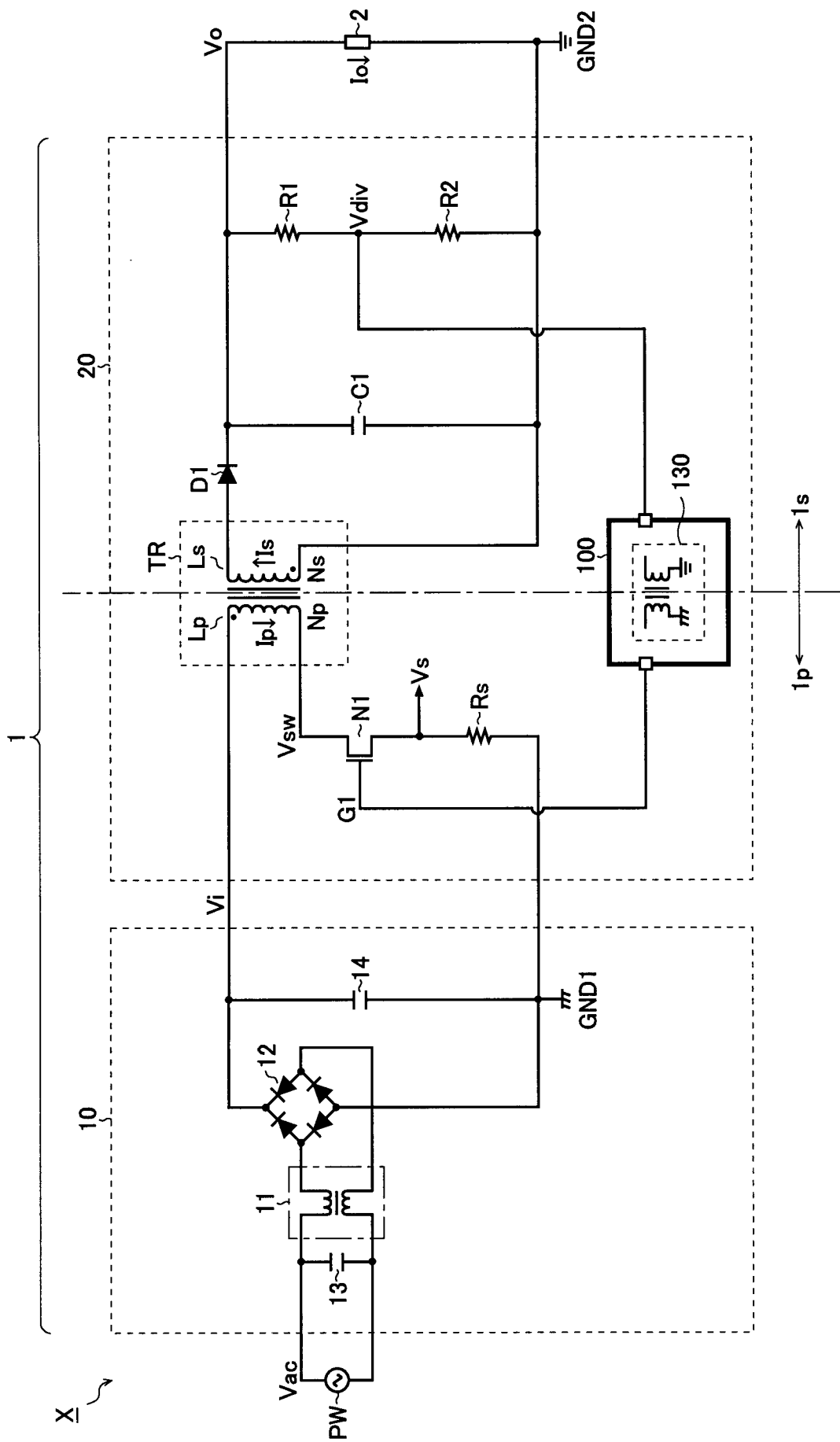
[請求項17] 前記第1電極と前記第2電極との電極間距離は、積層形成された複数の配線層のうち、前記第1電極及び前記第2電極としていずれの配線層を用いるかにより調整されることを特徴とする請求項16に記載のチップ。

[請求項18] 前記第1電極と前記第2電極との電極間距離は、層間絶縁層の厚さにより調整されることを特徴とする請求項17に記載のチップ。

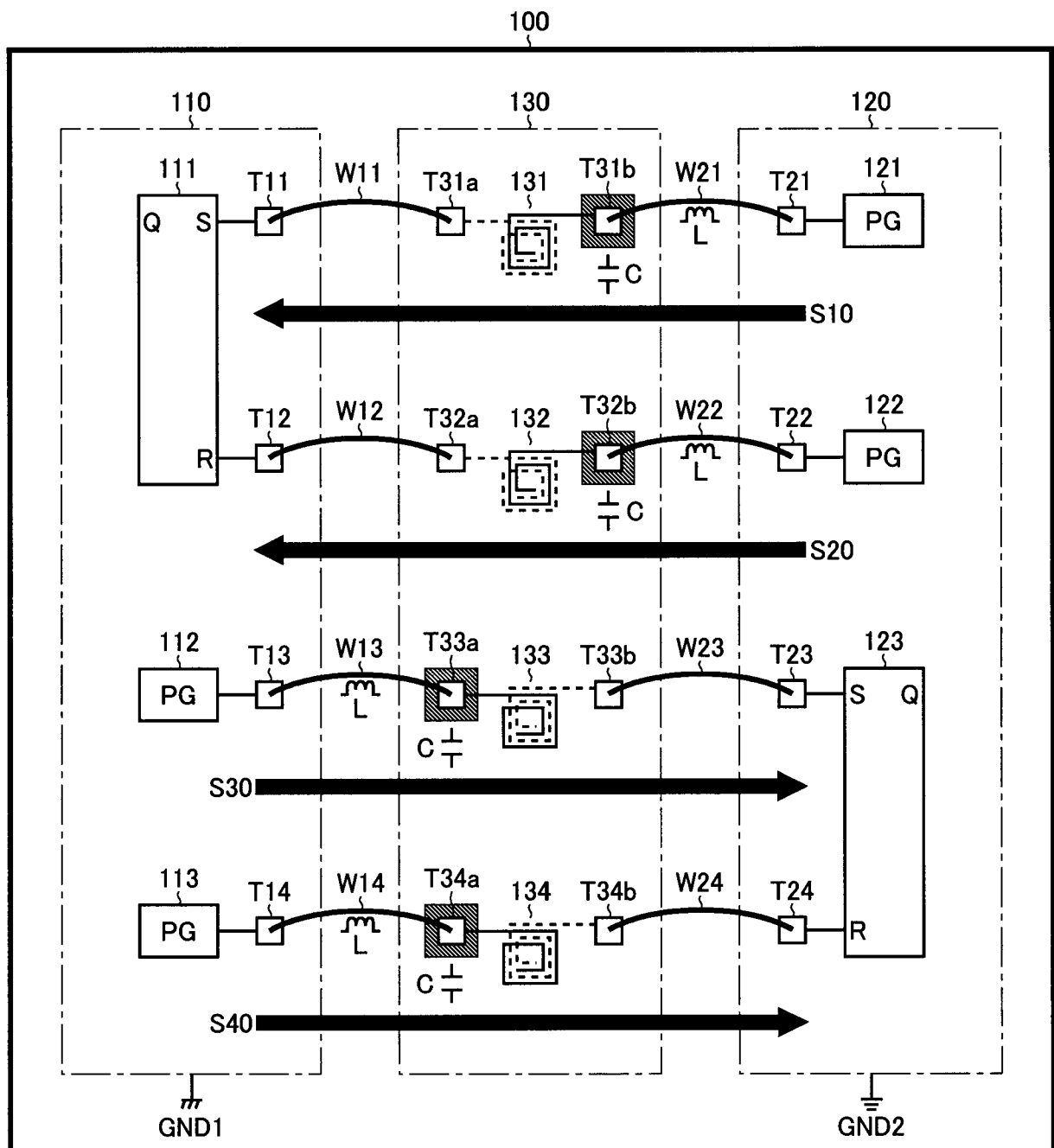
[請求項19] 前記第1電極と前記第2電極は、同一の配線層に形成されており、前記電極間距離を隔てて相互に噛み合う櫛歯を備えていることを特徴とする請求項16に記載のチップ。

[請求項20] 前記パッドを露出しつつ前記チップの表面を被覆する保護層をさらに有することを特徴とする請求項13～請求項19のいずれか一項に記載のチップ。

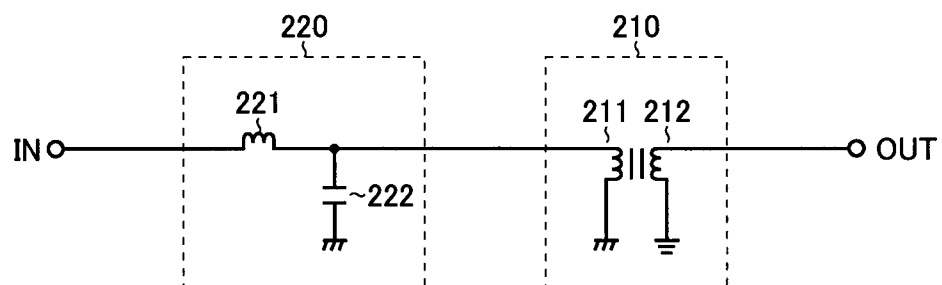
[図1]



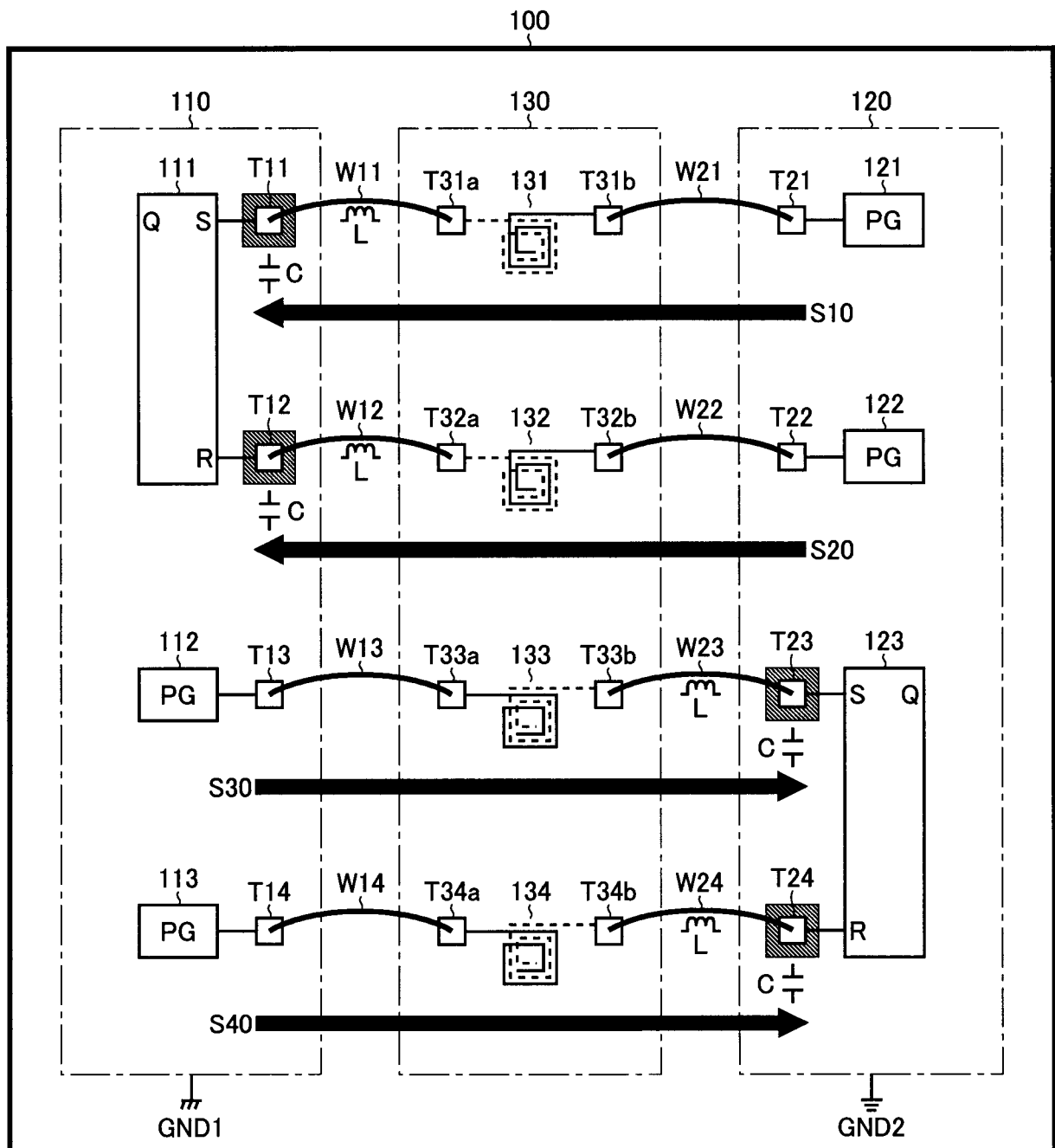
[図2]



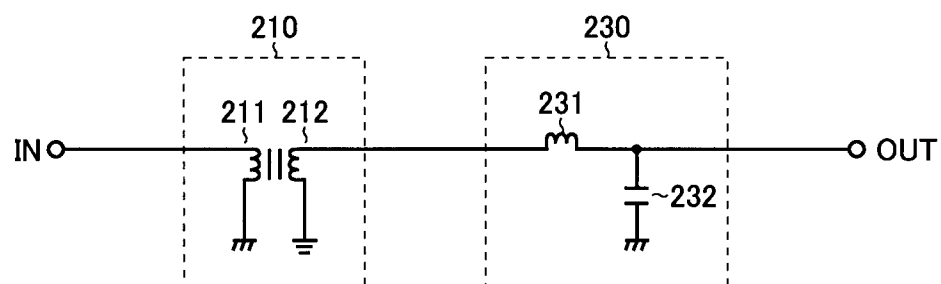
[図3]



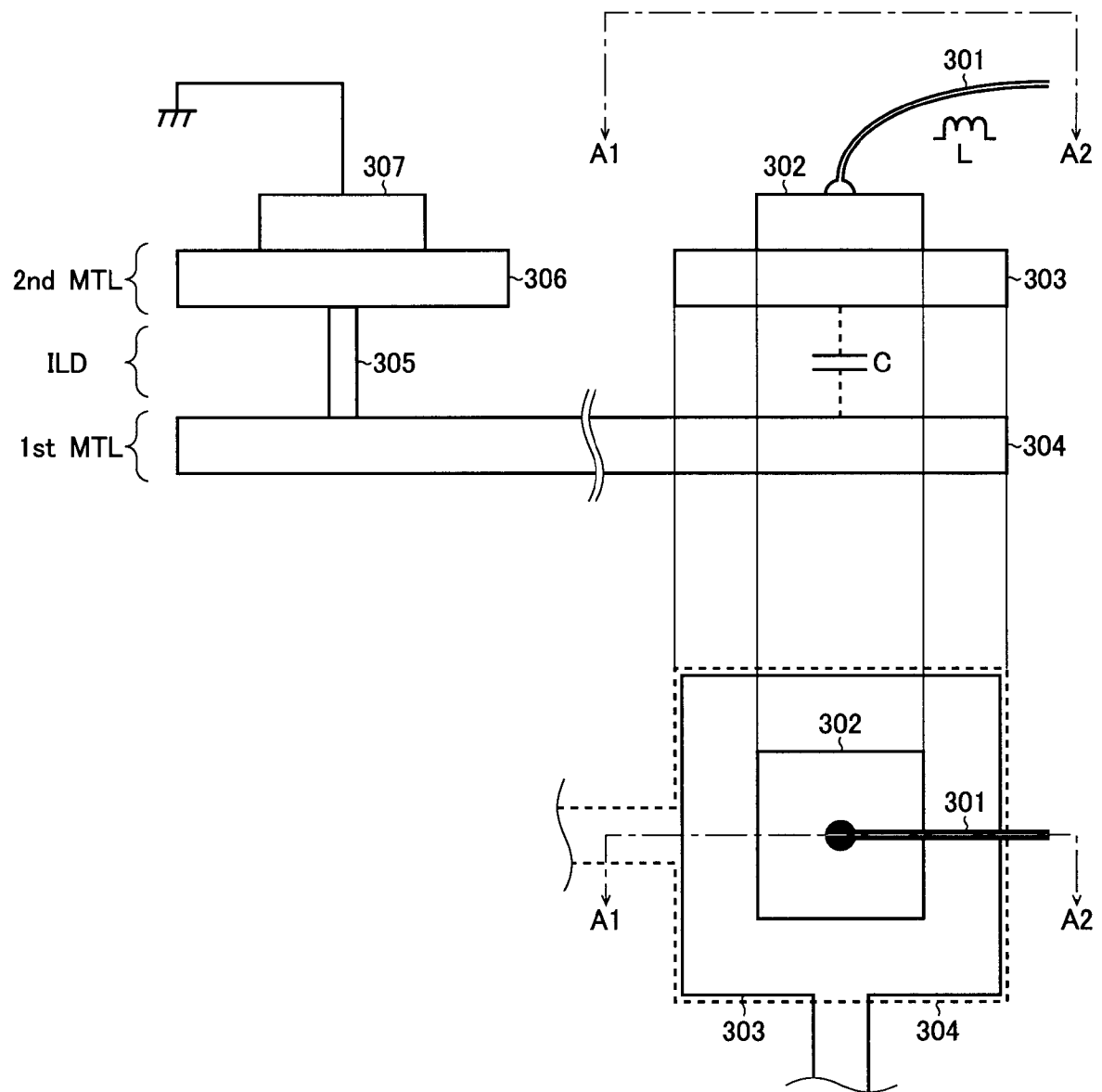
[図4]



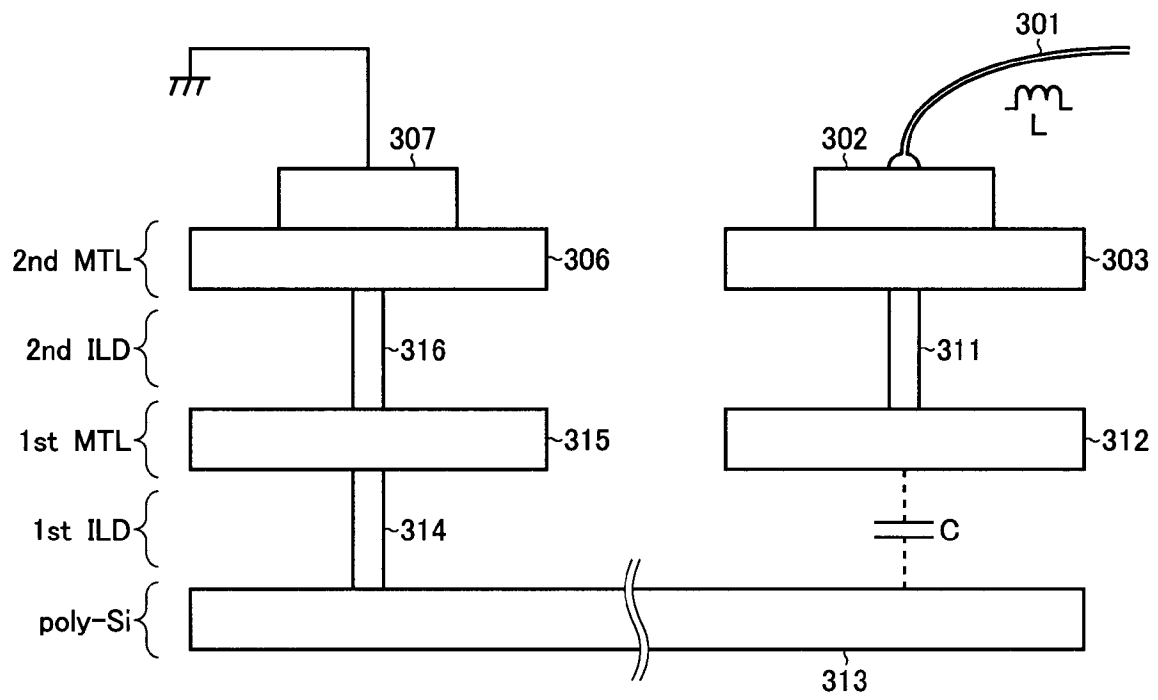
[図5]



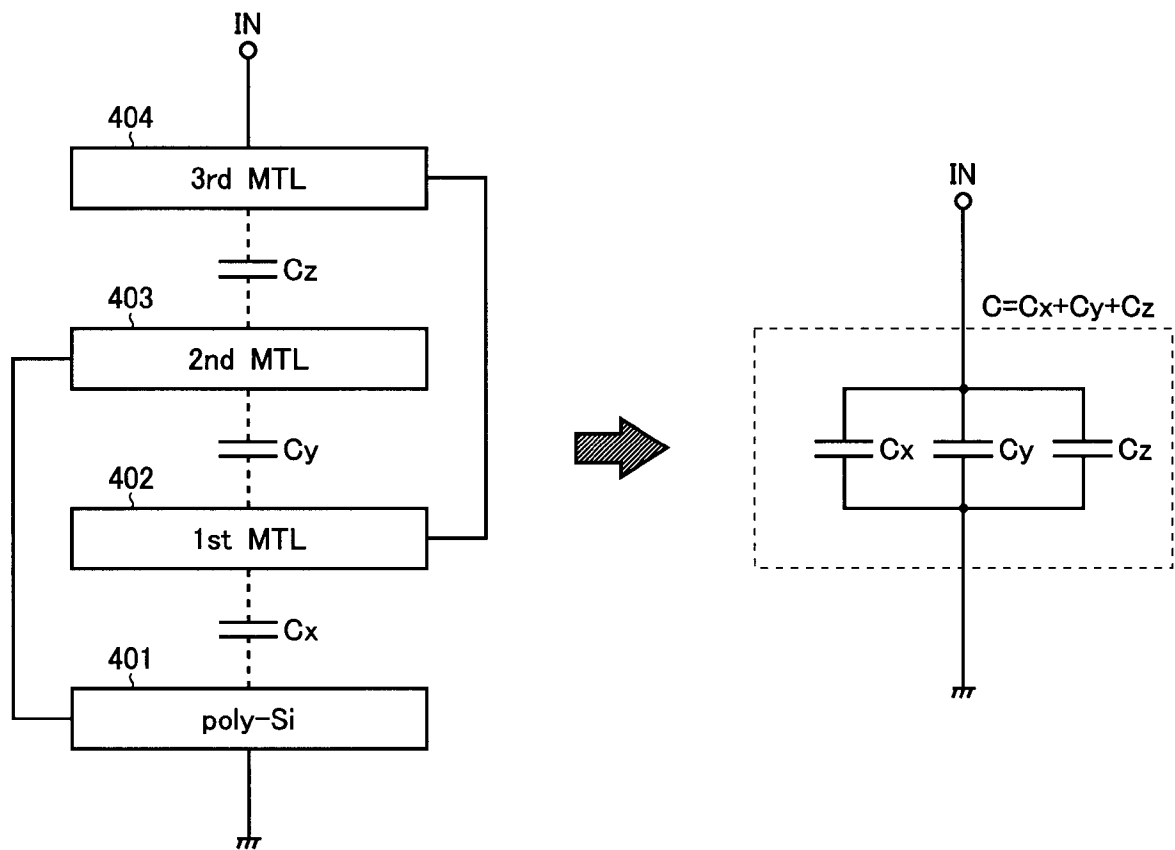
[図6]



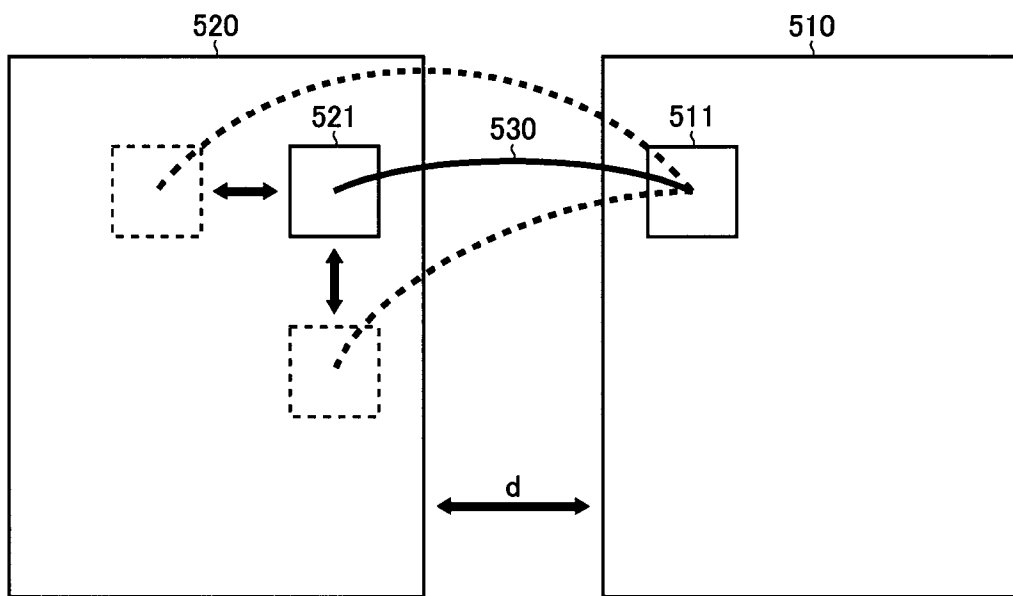
[図7]



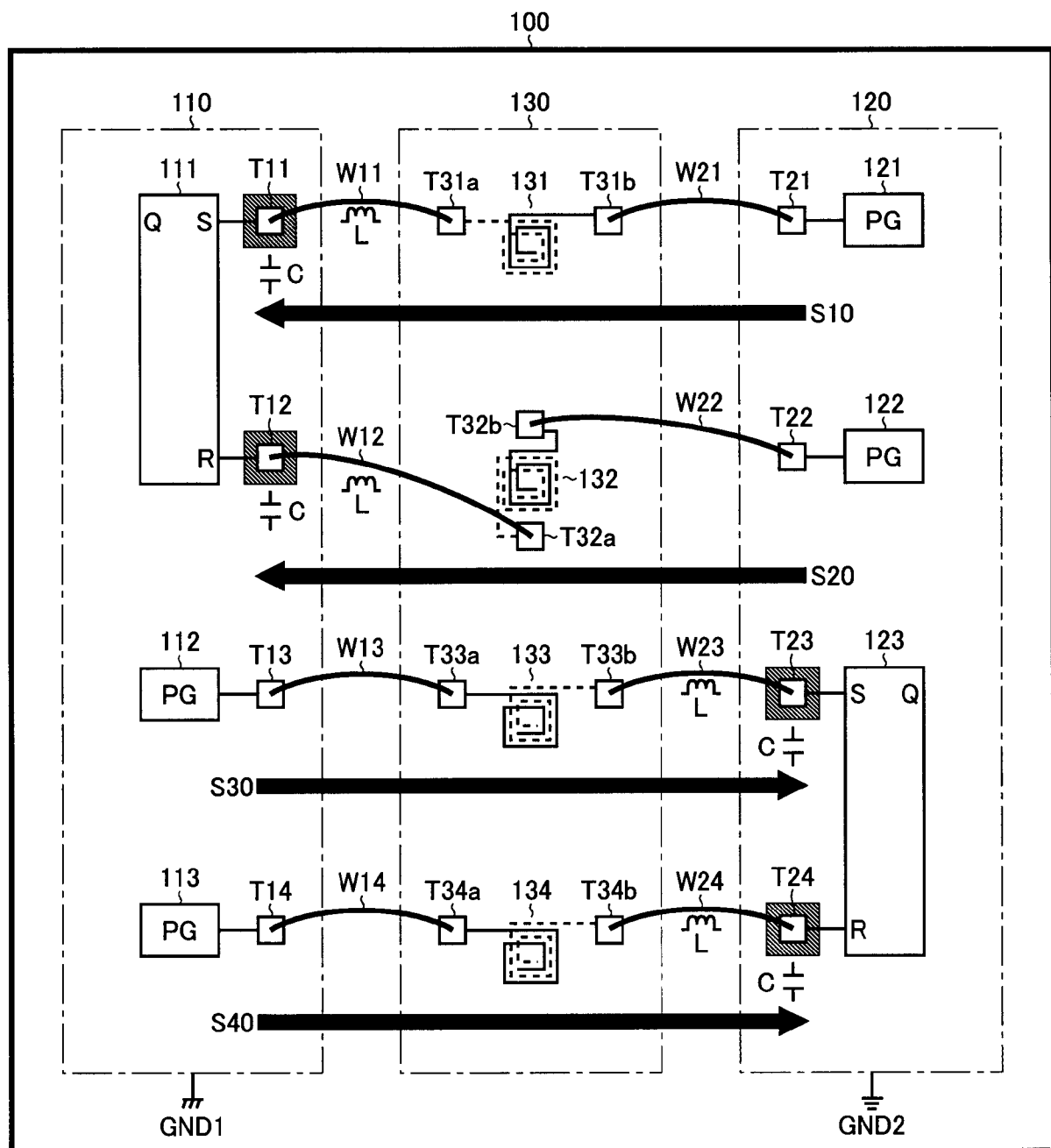
[図8]



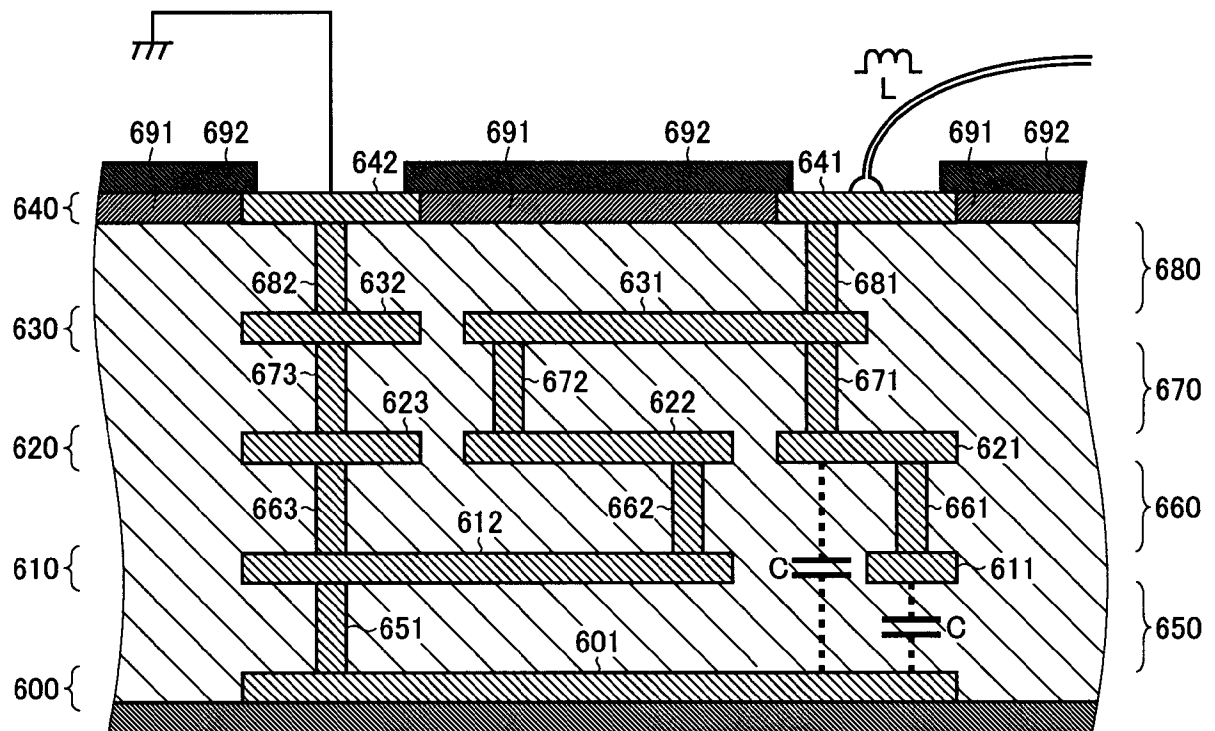
[図9]



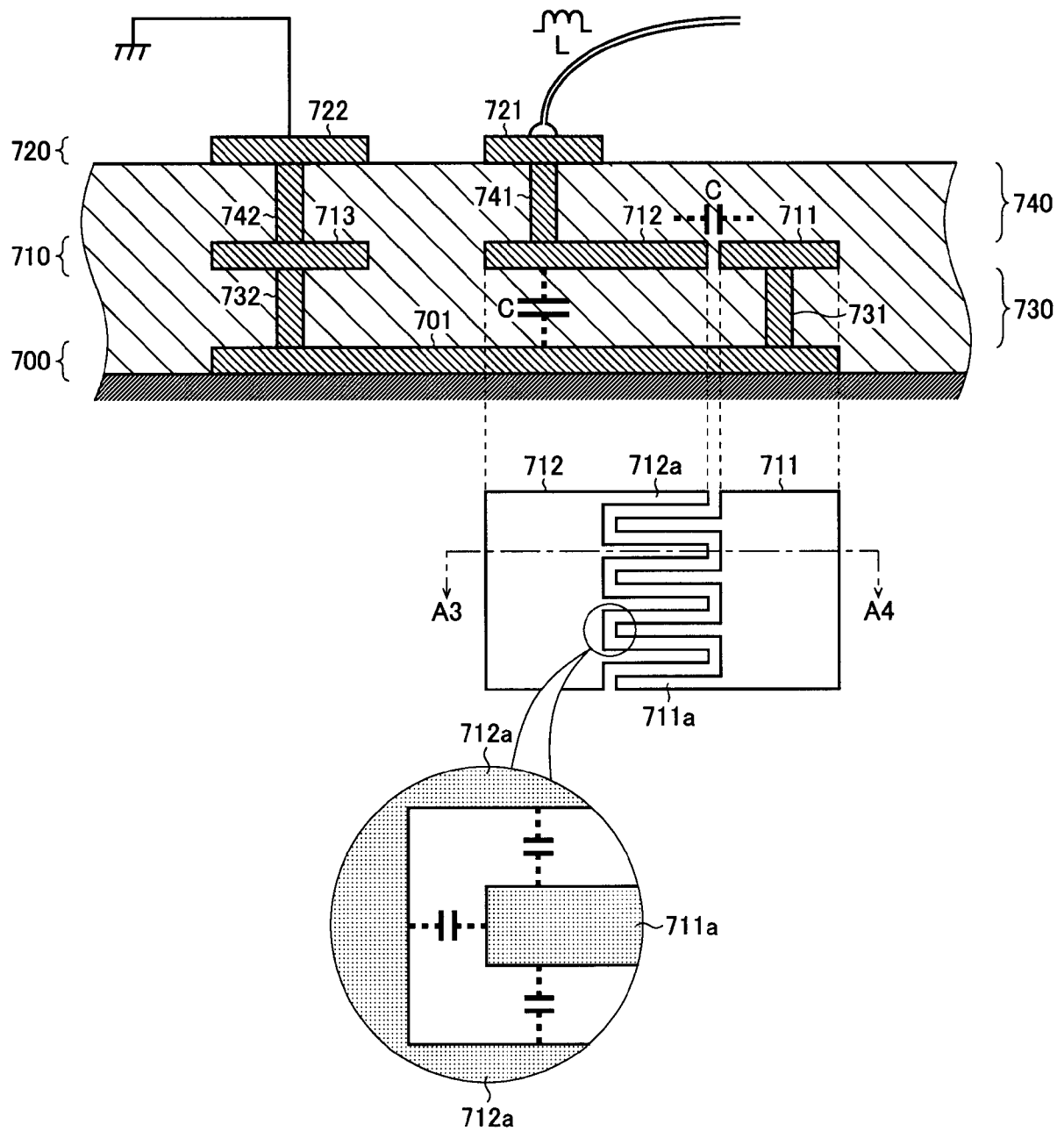
[図10]



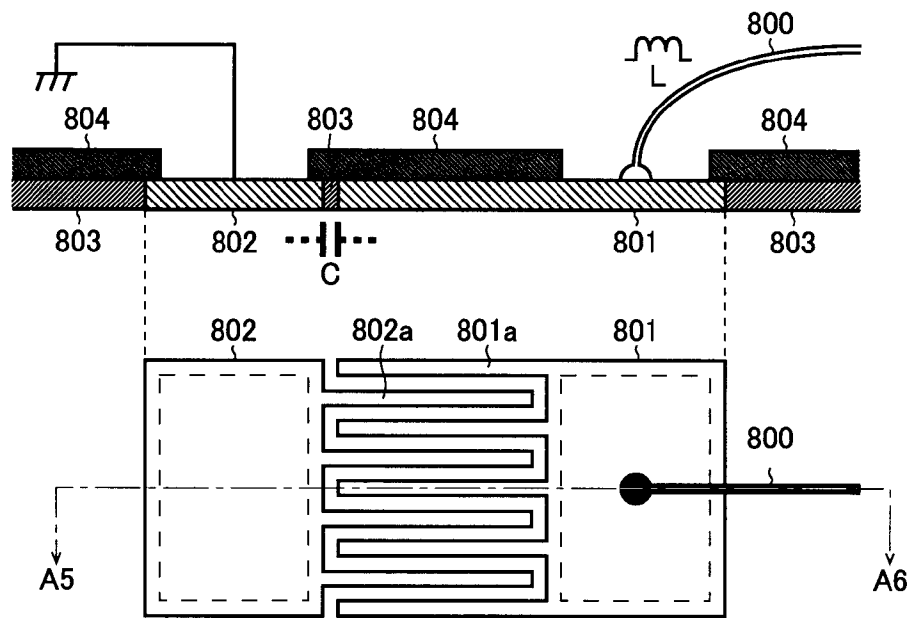
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/037537

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/822 (2006.01) i, H01L27/04 (2006.01) i, H02M3/28 (2006.01) i, H04L25/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/822, H01L27/04, H02M3/28, H04L25/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-88975 A (MITSUBISHI ELECTRIC CORP.) 07 May	12, 13
Y	2015, paragraphs [0011]-[0029], fig. 1-4 & US	14-20
A	2015/0116040 A1, paragraphs [0022]-[0040], fig. 1-4 & DE 102014221621 A1 & CN 104601124 A	1-11
Y	JP 2009-232637 A (ROHM CO., LTD.) 08 October 2009, paragraphs [0022]-[0070], [0075], fig. 1-6 (Family: none)	1-20
Y	JP 2006-128319 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 18 May 2006, paragraphs [0048]-[0052], fig. 6 (Family: none)	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10.12.2018

Date of mailing of the international search report
18.12.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/037537

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-327987 A (SEIKO EPSON CORP.) 24 November 2005, paragraphs [0032]-[0037], fig. 3 (Family: none)	1-20
Y	JP 2005-20154 A (TDK CORP.) 20 January 2005, paragraphs [0033]-[0040], fig. 3-5 (Family: none)	1-20
Y	JP 2015-167442 A (ROHM CO., LTD.) 24 September 2015, paragraphs [0062]-[0066], [0069], fig. 7, 8 & US 2015/0249386 A1, paragraphs [0070]-[0073], [0076], fig. 7, 8A	7-11, 14-20
Y	JP 2015-12571 A (LAPIS SEMICONDUCTOR CO., LTD.) 19 January 2015, paragraphs [0083], [0084], fig. 8 & US 2015/0008985 A1, paragraphs [0091], [0092], fig. 8 & CN 104283555 A	14-20
Y	JP 2003-297930 A (GURINIKUSU KK) 17 October 2003, paragraphs [0017], [0018], [0026]-[0030], fig. 1, 2, 4, 5 (Family: none)	19, 20

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H02M3/28(2006.01)i, H04L25/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/822, H01L27/04, H02M3/28, H04L25/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-88975 A（三菱電機株式会社）2015.05.07, 段落	12, 13
Y	[0011]-[0029], 図 1-4 & US 2015/0116040 A1, 段落[0022]-[0040],	14-20
A	図 1-4 & DE 102014221621 A1 & CN 104601124 A	1-11
Y	JP 2009-232637 A（ローム株式会社）2009.10.08, 段落	1-20
	[0022]-[0070], [0075], 図 1-6（ファミリーなし）	
Y	JP 2006-128319 A（松下電器産業株式会社）2006.05.18, 段落	1-20
	[0048]-[0052], 図 6（ファミリーなし）	

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.12.2018

国際調査報告の発送日

18.12.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-327987 A (セイコーエプソン株式会社) 2005. 11. 24, 段落 [0032]-[0037], 図 3 (ファミリーなし)	1-20
Y	JP 2005-20154 A (TDK株式会社) 2005. 01. 20, 段落 [0033]-[0040], 図 3-5 (ファミリーなし)	1-20
Y	JP 2015-167442 A (ローム株式会社) 2015. 09. 24, 段落 [0062]-[0066], [0069], 図 7, 8 & US 2015/0249386 A1, 段落 [0070]-[0073], [0076], 図 7, 8A	7-11, 14-20
Y	JP 2015-12571 A (ラピスセミコンダクタ株式会社) 2015. 01. 19, 段 落[0083], [0084], 図 8 & US 2015/0008985 A1, 段落[0091], [0092], 図 8 & CN 104283555 A	14-20
Y	JP 2003-297930 A (株式会社グリニクス) 2003. 10. 17, 段落 [0017], [0018], [0026]-[0030], 図 1, 2, 4, 5 (ファミリーなし)	19, 20