



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년01월19일

(11) 등록번호 10-2352905

(24) 등록일자 2022년01월14일

(51) 국제특허분류(Int. Cl.)
 H04L 7/00 (2006.01) H04L 25/14 (2006.01)
 H04L 7/02 (2006.01)
 (52) CPC특허분류
 H04L 7/0008 (2013.01)
 H04L 25/14 (2021.08)
 (21) 출원번호 10-2018-7028424
 (22) 출원일자(국제) 2017년04월11일
 심사청구일자 2020년03월31일
 (85) 번역문제출일자 2018년10월02일
 (65) 공개번호 10-2018-0133850
 (43) 공개일자 2018년12월17일
 (86) 국제출원번호 PCT/JP2017/014747
 (87) 국제공개번호 WO 2017/183508
 국제공개일자 2017년10월26일
 (30) 우선권주장
 JP-P-2016-084406 2016년04월20일 일본(JP)
 (56) 선행기술조사문헌
 KR1020150095500 A*
 (뒷면에 계속)

(73) 특허권자
 소니그룹주식회사
 일본국 도쿄도 미나토쿠 코난 1-7-1
 (72) 발명자
 타카하시 히로오
 일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
 (74) 대리인
 최달용

전체 청구항 수 : 총 23 항

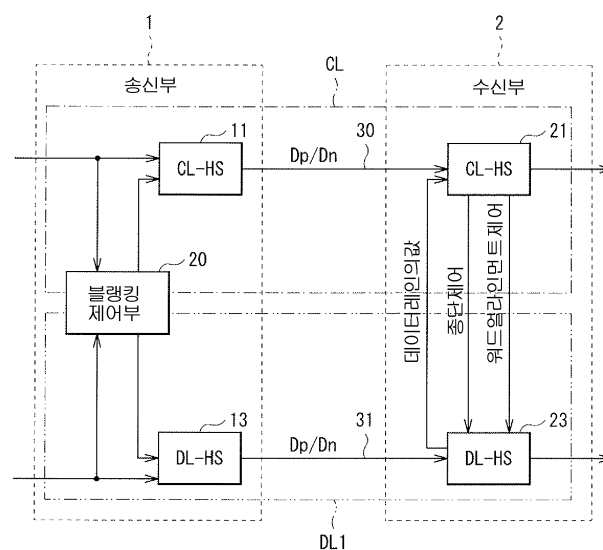
심사관 : 김성태

(54) 발명의 명칭 수신 장치, 송신 장치, 및 통신 시스템, 및, 신호 수신 방법, 신호 송신 방법, 및 통신 방법

(57) 요약

본 발명의 한 실시예에 따른 수신 장치는 데이터 신호 수신기 회로, 클럭 신호 수신기 회로 및 판별 회로를 포함한다. 데이터 신호 수신기 회로는 데이터 신호 라인을 통해 데이터 신호를 수신하고, 데이터 신호의 블랭킹 기간에 데이터 신호 라인을 통해 데이터 블랭킹 신호를 수신한다. 클럭 신호 라인을 통해 클럭 신호 및 클럭 블랭킹 신호를 수신하는 클럭 신호 수신기 회로는, 데이터 신호의 블랭킹 기간과 동기하여 출력되는 클럭 블랭킹 신호를 포함한다. 상기 판별 회로는 상기 데이터 블랭킹 신호의 신호값 및 상기 클럭 블랭킹 신호의 신호값 중 하나 또는 둘 모두에 기초하여 통신 모드를 판별한다.

대표도 - 도5



(52) CPC특허분류
H04L 7/02 (2021.08)

(56) 선행기술조사문헌
KR1020160136304 A
KR1020160135716 A
KR1020180117605 A
KR1020170016829 A
KR1020180105126 A
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 통신 모드 중 하나에서 동작하고 있는 송신 장치로부터 데이터 신호 및 상기 데이터 신호의 블랭킹 기간 중에 수신된 데이터 블랭킹 신호를 수신하도록 구성된 데이터 신호 수신기 회로와,

클럭 신호 및 상기 송신 장치로부터 상기 데이터 신호의 상기 블랭킹 기간과 동기하는 클럭 블랭킹 신호를 수신하도록 구성된 클럭 신호 수신기 회로와,

상기 데이터 블랭킹 신호의 신호값, 상기 클럭 블랭킹 신호의 신호값, 또는 양쪽 모두의 신호값에 의거하여 상기 송신 장치가 상기 복수의 통신 모드 중 하나에서 동작하고 있다고 판별하도록 구성된 판별 회로를 포함하고,

상기 복수의 통신 모드 중 제1의 모드는 고속 모드이고,

상기 복수의 통신 모드 중 제2의 모드는 저전력 모드이고,

상기 복수의 통신 모드 중 제3의 모드는 고속 유희 모드 또는 저전력 대체 모드 중 하나이고,

상기 저전력 모드는 상기 고속 모드의 데이터 송신 속도보다 낮은 데이터 송신 속도를 포함하고,

상기 저전력 모드는 상기 고속 모드의 전압 레벨과 상이한 전압 레벨을 갖는 것을 특징으로 하는 수신 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

종단 장치를 더 포함하고,

상기 고속 유희 모드는 상기 블랭킹 기간 중에 신호 액티비티(signal activity)를 갖지 않고,

상기 송신 장치가 상기 고속 유희 모드에서 동작하고 있다고 판별하는 것에 응답하여, 상기 데이터 신호 수신기 회로는 상기 블랭킹 기간 중에 상기 종단 장치의 종단 제어를 수행하지 않도록 더 구성되는 것을 특징으로 하는 수신 장치.

청구항 5

제1항에 있어서,

종단 장치를 더 포함하고,

상기 저전력 대체 모드는 상기 블랭킹 기간 중에 신호 액티비티(signal activity)를 갖지 않고,

상기 송신 장치가 상기 저전력 대체 모드에서 동작하고 있다고 판별하는 것에 응답하여, 상기 데이터 신호 수신기 회로는 상기 블랭킹 기간 중에 상기 종단 장치의 종단 제어를 수행하도록 더 구성되는 것을 특징으로 하는 수신 장치.

청구항 6

제1항에 있어서,

상기 제1의 모드 또는 상기 제3의 모드에서 동작하는 상기 송신 장치에 의해 송신된 데이터 신호는 차동 신호이

고,

상기 제2의 모드에서 동작하는 상기 송신 장치에 의해 송신된 데이터 신호는 단일 종단 신호인 것을 특징으로 하는 수신 장치.

청구항 7

제1항에 있어서,

상기 제1의 모드 또는 상기 제3의 모드에서 동작하는 상기 송신 장치에 의해 송신된 클럭 신호는 차동 신호이고,

상기 제2의 모드에서 동작하는 상기 송신 장치에 의해 송신된 상기 클럭 신호는 단일 종단 신호인 것을 특징으로 하는 수신 장치.

청구항 8

데이터 레인을 통해 제1의 모드, 제2의 모드 및 제3의 모드를 포함하는 복수의 통신 모드에서 동작하는 송신 장치로부터 데이터 신호를 수신하도록 구성된 데이터 신호 수신기 회로와,

클럭 레인을 통해 상기 복수의 통신 모드에서 동작하는 송신 장치로부터 클럭 신호를 수신하도록 구성된 클럭 신호 수신기 회로와,

상기 데이터 신호의 신호값, 및 상기 복수의 통신 모드 중 다른 모드로부터 상기 복수의 통신 모드 중 하나로의 상기 송신 장치의 천이를 나타내는 클럭 신호의 천이에 기초하여, 상기 송신 장치가 상기 복수의 통신 모드 중 하나에서 동작하고 있다고 판별하도록 구성된 판별 회로를 포함하는 것을 특징으로 하는 수신 장치.

청구항 9

제8항에 있어서,

상기 제1의 모드는 고속 모드이고,

상기 제2의 모드는 저전력 모드이고,

상기 제3의 모드는 고속 유희 모드 또는 저전력 대체 모드 중 하나인 것을 특징으로 하는 수신 장치.

청구항 10

제9항에 있어서,

상기 클럭 신호의 천이는 상기 고속 모드로부터 상기 저전력 모드로의 상기 송신 장치의 천이를 나타내는 것을 특징으로 하는 수신 장치.

청구항 11

제10항에 있어서,

상기 클럭 신호의 천이가 상기 고속 모드로부터 상기 저전력 모드로의 상기 송신 장치의 천이를 나타낼 때, 상기 송신 장치가 상기 저전력 모드에서 이미 동작하는 것을 특징으로 하는 수신 장치.

청구항 12

제9항에 있어서,

상기 클럭 신호의 천이는 상기 고속 모드로부터 상기 고속 유희 모드로의 상기 송신 장치의 천이를 나타내는 것을 특징으로 하는 수신 장치.

청구항 13

제12항에 있어서,

상기 클럭 신호의 천이가 상기 고속 모드로부터 상기 고속 유희 모드로의 상기 송신 장치의 천이를 나타낼 때, 상기 송신 장치가 상기 고속 유희 모드에서 이미 동작하는 것을 특징으로 하는 수신 장치.

청구항 14

제9항에 있어서,

상기 클럭 신호의 천이는 상기 저전력 모드로부터 상기 고속 모드로의 상기 송신 장치의 천이를 나타내는 것을 특징으로 하는 수신 장치.

청구항 15

제14항에 있어서,

상기 클럭 신호의 천이가 상기 저전력 모드로부터 상기 고속 모드로의 상기 송신 장치의 천이를 나타낼 때, 상기 송신 장치가 상기 고속 모드에서 아직 동작하고 있지 않는 것을 나타내는 것을 특징으로 하는 수신 장치.

청구항 16

제9항에 있어서,

상기 클럭 신호의 천이는 상기 고속 유희 모드로부터 상기 고속 모드로의 상기 송신 장치의 천이를 나타내는 것을 특징으로 하는 수신 장치.

청구항 17

제16항에 있어서,

상기 클럭 신호의 천이가 상기 고속 유희 모드로부터 상기 고속 모드로의 상기 송신 장치의 천이를 나타낼 때, 상기 송신 장치가 상기 고속 모드에서 아직 동작하고 있지 않는 것을 특징으로 하는 수신 장치.

청구항 18

제8항에 있어서,

상기 클럭 신호 수신기 회로는,

시간 기간 중에 클럭 레인을 통해 상기 클럭 신호가 상기 송신 장치로부터 수신되지 않는 때를 검출하고,

상기 클럭 신호가 시간 기간 중에 상기 클럭 레인을 통해 상기 클럭 신호가 송신 장치로부터 수신되지 않는 것을 검출하는 것에 응답하여, 제1의 제어 신호를 상기 판별 회로에 출력하도록 더 구성되고,

상기 데이터 신호 수신기 회로는,

상기 데이터 신호의 신호값이 제1의 값인 때를 검출하고,

상기 데이터 신호의 신호값이 상기 제1의 값인 것을 검출하는 것에 응답하여, 제2의 제어 신호를 상기 판별 회로에 출력하고,

상기 데이터 신호의 신호값이 상기 제1의 값이 아닐 때를 검출하는 것에 응답하여, 상기 제2의 제어 신호와 상이한 제3의 제어 신호를 상기 판별회로에 출력하도록 더 구성되고,

상기 판별 회로는,

상기 제1의 제어 신호, 상기 제2의 제어 신호 및 제3의 제어 신호를 수신하고,

상기 제1의 제어 신호 및 상기 제2의 제어 신호를 수신하거나 상기 제1의 제어 신호 및 상기 제3의 제어 신호를 수신하는 것에 기초하여, 상기 복수의 통신 모드 중 하나에서 상기 송신 장치가 동작하고 있는 것을 판별하도록 더 구성되는 것을 특징으로 하는 수신 장치.

청구항 19

제18항에 있어서,

상기 클럭 신호 수신기 회로는,

상기 클럭 신호와 상이한 제2의 클럭 신호를 카운트하고, 상기 클럭 신호가 시간 기간 중에 상기 클럭 레인을

통해 상기 송신 장치로부터 수신되지 않을 때를 검출하도록 구성된 카운터를 포함하고,

상기 시간 기간을 초과하는 상기 제2의 클록 신호의 복수의 클록 천이를 상기 카운터가 카운트하도록 제어하도록 더 구성된 것을 특징으로 하는 수신 장치.

청구항 20

송신 장치와 수신 장치를 포함하고,

상기 송신 장치는,

데이터 레인을 통해 데이터 신호를 송신하도록 복수의 통신 모드로 동작하고, 상기 데이터 레인을 통해 상기 데이터 신호의 블랭킹 기간에 데이터 블랭킹 신호를 송신하도록 구성된 데이터 신호 송신기 회로와,

클록 레인을 통해 상기 데이터 신호의 상기 블랭킹 기간에 동기하여 클록 신호 및 클록 블랭킹 신호를 송신하도록 구성된 클록 신호 송신기 회로와,

상기 데이터 블랭킹 신호의 신호값, 상기 클록 블랭킹 신호의 신호값, 또는 양쪽 모두의 신호값이 상기 복수의 통신 모드 중의 하나를 나타내도록 제어하는 블랭킹 제어기를 포함하고,

상기 수신 장치는,

상기 데이터 레인을 통해 상기 복수의 통신 모드 중 하나에서 동작하고 있는 송신 장치로부터 상기 데이터 신호 및 상기 데이터 신호의 상기 블랭킹 기간 중에 수신된 데이터 블랭킹 신호를 수신하도록 구성된 데이터 신호 수신기 회로와,

클록 신호 및 상기 데이터 레인을 통해 상기 송신 장치로부터 상기 데이터 신호의 상기 블랭킹 기간과 동기하는 클록 블랭킹 신호를 수신하도록 구성된 클록 신호 수신기 회로와,

상기 데이터 블랭킹 신호의 신호값, 상기 클록 블랭킹 신호의 신호값, 또는 양쪽 모두의 신호값에 의거하여 상기 송신 장치가 상기 복수의 통신 모드 중 하나에서 동작하고 있다고 판별하도록 구성된 판별 회로를 포함하고,

상기 복수의 통신 모드 중 제1의 모드는 고속 모드이며,

상기 복수의 통신 모드 중 제2의 모드는 저전력 모드이며,

상기 복수의 통신 모드 중 제3의 모드는 고속 유희 모드 또는 저전력 대체 모드 중 하나이고,

상기 저전력 모드는 상기 고속 모드의 데이터 송신 속도보다 낮은 데이터 송신 속도를 포함하고,

상기 저전력 모드는 상기 고속 모드의 전압 레벨과 상이한 전압 레벨을 포함하는 것을 특징으로 하는 통신 시스템.

청구항 21

데이터 레인을 통해 데이터 신호를 수신 장치에 송신하도록 복수의 통신 모드에서 동작하고, 상기 데이터 레인을 통해 상기 데이터 신호의 블랭킹 기간에 데이터 블랭킹 신호를 상기 수신 장치에 송신하도록 구성된 데이터 신호 송신기 회로와,

클록 레인을 통해 상기 데이터 신호의 상기 블랭킹 기간에 동기하여 클록 신호 및 클록 블랭킹 신호를 상기 수신 장치에 송신하도록 구성된 클록 신호 송신기 회로와,

상기 데이터 신호 송신기 회로가 상기 복수의 통신 모드 중 하나에서 동작하는 것을 나타내도록, 상기 데이터 블랭킹 신호의 신호값, 상기 클록 블랭킹 신호의 신호값, 또는 상기 양쪽 모두의 제어값을 제어하도록 구성된 블랭킹 제어기를 포함하고,

상기 복수의 통신 모드 중 제1의 모드는 고속 모드이며,

상기 복수의 통신 모드 중 제2의 모드는 저전력 모드이며,

상기 복수의 통신 모드 중 제3의 모드는 고속 유희 모드 또는 저전력 대체 모드 중 하나이고,

상기 저전력 모드는 상기 고속 모드의 데이터 송신 속도보다 낮은 데이터 송신 속도를 포함하고,

상기 저전력 모드는 상기 고속 모드의 전압 레벨과 상이한 전압 레벨을 포함하는 것을 특징으로 하는 송신

장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

제21항에 있어서,

상기 제1의 모드 또는 상기 제3의 모드에서 동작하는 상기 데이터 신호 송신기 회로에 의해 송신된 데이터 신호는 차동 신호이고,

상기 제2의 모드에서 동작하는 상기 데이터 신호 송신기 회로에 의해 송신된 데이터 신호는 단일 종단 신호이고,

상기 제1의 모드 또는 상기 제3의 모드에서 상기 데이터 신호 송신기 회로가 동작할 때, 상기 클록 신호 송신기 회로에 의해 송신된 클록 신호는 상기 차동 신호이고,

상기 클록 신호 송신기 회로에 의해 송신된 클록 신호는, 상기 데이터 신호 송신기 회로가 상기 제2의 모드에서 동작할 때, 상기 단일 종단 신호인 것을 특징으로 하는 송신 장치.

청구항 25

데이터 레인을 통해 복수의 통신 모드 중 하나에서 동작하는 송신 장치로부터 데이터 신호 및 상기 데이터 신호의 블랭킹 기간 중에 수신되는 데이터 블랭킹 신호를, 데이터 신호 수신기 또는 수신 장치에 의해, 수신하는 단계와,

상기 송신 장치로부터 상기 데이터 신호의 상기 블랭킹 기간과 동기하는 클록 신호 및 클록 블랭킹 신호를 수신하는 단계와,

상기 송신 장치가 상기 데이터 블랭킹 신호의 신호값, 상기 클록 블랭킹 신호의 신호값, 또는 양쪽 모두의 신호값에 기초하여 상기 복수의 통신 모드 중 하나에서 동작한다고 판별하는 단계를 포함하고,

상기 복수의 통신 모드 중 제1의 모드는 고속 모드이며,

상기 복수의 통신 모드 중 제2의 모드는 저전력 모드이며,

상기 복수의 통신 모드 중 제3의 모드는 고속 유희 모드 또는 저전력 대체 모드 중 하나이고,

상기 저전력 모드는 상기 고속 모드의 데이터 송신 속도보다 낮은 데이터 송신 속도를 포함하고,

상기 저전력 모드는 상기 고속 모드의 전압 레벨과 상이한 전압 레벨을 포함하는 것을 특징으로 하는 신호 수신 방법.

청구항 26

복수의 통신 모드 중 하나에서, 송신 장치의 데이터 신호 송신기 회로에 의해, 데이터 레인을 통해 데이터 신호를 수신 장치에 송신하도록 동작하는 단계와,

상기 복수의 통신 모드 중 하나에서 동작하는 것에 응답하여, 상기 복수의 통신 모드 중 하나를 나타내도록, 데이터 블랭킹 신호의 신호값, 클록 블랭킹 신호의 신호값 또는 양쪽 모두의 신호값을 제어하는 단계와,

상기 데이터 레인을 통해 상기 데이터 신호의 블랭킹 기간 중에 상기 데이터 블랭킹 신호를 상기 수신 장치에 송신하는 단계와,

클록 레인을 통해 상기 데이터 신호의 상기 블랭킹 기간과 동기하여 클록 신호 및 상기 클록 블랭킹 신호를 상기 수신 장치에 송신하는 단계를 포함하고,

상기 복수의 통신 모드 중 제1의 모드는 고속 모드이며,

상기 복수의 통신 모드 중 제2의 모드는 저전력 모드이며,

상기 복수의 통신 모드 중 제3의 모드는 고속 유희 모드 또는 저전력 대체 모드 중 하나이고,

상기 저전력 모드는 상기 고속 모드의 데이터 송신 속도보다 낮은 데이터 송신 속도를 포함하고,

상기 저전력 모드는 상기 고속 모드의 전압 레벨과 상이한 전압 레벨을 포함하는 것을 특징으로 하는 신호 송신 방법.

청구항 27

복수의 통신 모드 중 하나에서, 데이터 레인을 통해 송신 장치의 데이터 신호 송신기 회로에 의해 데이터 신호를 송신하도록 동작하는 단계와,

상기 복수의 통신 모드 중 하나에서 동작하는 것에 응답하여, 상기 복수의 통신 모드 중 하나를 나타내도록, 데이터 블랭킹 신호의 신호값, 클록 블랭킹 신호의 신호값 또는 양쪽 모두의 신호값을 제어하는 단계와,

상기 데이터 레인을 통해 상기 데이터 신호의 블랭킹 기간 중에 상기 데이터 블랭킹 신호를 송신하는 단계와,

클록 레인을 통해 상기 데이터 신호의 상기 블랭킹 기간과 동기하여 클록 신호 및 상기 클록 블랭킹 신호를 송신하는 단계와,

데이터 레인을 통해 복수의 통신 모드 중 하나에서 동작하는 송신 장치로부터 데이터 신호 및 상기 데이터 신호의 상기 블랭킹 기간 중에 수신되는 데이터 블랭킹 신호를 데이터 신호 수신기 또는 수신 장치에 의해 수신하는 단계와,

상기 송신 장치로부터 상기 데이터 신호의 상기 블랭킹 기간과 동기되는 클록 신호 및 클록 블랭킹 신호를 수신하는 단계와,

상기 송신 장치가 상기 데이터 블랭킹 신호의 신호값, 상기 클록 블랭킹 신호의 신호값, 또는 양쪽 모두의 신호값에 기초하여 상기 복수의 통신 모드 중 하나에서 동작한다고 판별하는 단계를 포함하고,

상기 복수의 통신 모드 중 제1의 모드는 고속 모드이며,

상기 복수의 통신 모드 중 제2의 모드는 저전력 모드이며,

상기 복수의 통신 모드 중 제3의 모드는 고속 유희 모드 또는 저전력 대체 모드 중 하나이고,

상기 저전력 모드는 상기 고속 모드의 데이터 송신 속도보다 낮은 데이터 송신 속도를 포함하고,

상기 저전력 모드는 상기 고속 모드의 전압 레벨과 상이한 전압 레벨을 포함하는 것을 특징으로 하는 통신 방법.

발명의 설명

기술 분야

[0001] 본원은 2016년 4월 20일에, 일본에 출원된 특원2016-084406호에 의거하여 우선권을 주장하고, 그 내용을 여기에 원용한다.

[0002] 본 개시는, 데이터 신호와 클록 신호의 전송에 적용되는 수신 장치, 송신 장치, 및 통신 시스템, 및, 신호 수신 방법, 신호 송신 방법, 및 통신 방법에 관한 것이다.

배경 기술

[0003] 근래, 스마트 폰 등의 휴대 디바이스나 카메라 디바이스 등에서는, 취급하는 화상 데이터의 대용량화가 진행되어, 디바이스 내 또는 다른 디바이스 사이에서의 데이터 전송에 고속화, 또한 저소비전력화가 요구되어 있다. 이와 같은 요구에 응하기 위해, 휴대 디바이스나 카메라 디바이스용의 접속 인터페이스로서, MIPI(Mobile Industry Processor Interface) 얼라이언스가 책정한 C-PHY 규격이나 D-PHY 규격이라는 고속 인터페이스 규격의 표준화가 진행되어 있다. C-PHY 규격이나 D-PHY 규격은, 통신 프로토콜의 물리층(physical layer : PHY)의 인터페이스 규격이다. 또한, C-PHY 규격이나 D-PHY 규격의 상위 프로토콜·레이어로서, 휴대 디바이스의 디스플레이용의 DSI(Display Serial Interface)나, 카메라 디바이스용의 CSI(Camera Serial Interface)가 존재한다.

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) 특허 문헌 1
(특허문헌 0002) 일본국 특표 2014-522204호 공보

발명의 내용

해결하려는 과제

- [0005] 상기한 D-PHY 규격 등에서는, 금후, 블랭킹 기간과, 실질적인 데이터 신호의 전송 기간의 각각에서, 복수의 통신 모드가 혼재하는 것이 상정될 수 있다. 그 때문에, 복수의 통신 모드의 판별을 행하는 것이 필요하게 될 수 있다.
- [0006] 복수의 통신 모드의 판별을 용이하게 행할 수 있도록 한 수신 장치, 송신 장치, 및 통신 시스템, 및, 신호 수신 방법, 신호 송신 방법, 및 통신 방법을 제공하는 것이 바람직하다.

과제의 해결 수단

- [0007] 본 발명의 한 실시예에 따른 수신 장치는 데이터 신호 수신기 회로, 클록 신호 수신기 회로 및 판별 회로를 포함한다. 데이터 신호 수신기 회로는 데이터 신호 라인을 통해 데이터 신호를 수신하고, 데이터 신호의 블랭킹 기간에 데이터 신호 라인을 통해 데이터 블랭킹 신호를 수신한다. 클록 신호 라인을 통해 클록 신호 및 클록 블랭킹 신호를 수신하는 클록 신호 수신기 회로는, 데이터 신호의 블랭킹 기간과 동기하여 출력되는 클록 블랭킹 신호를 포함한다. 상기 판별 회로는 상기 데이터 블랭킹 신호의 신호값 및 상기 클록 블랭킹 신호의 신호값 중 하나 또는 둘 모두에 기초하여 통신 모드를 판별한다.
- [0008] 본 발명의 한 실시예에 따른 송신 장치는 데이터 신호 송신기 회로, 클록 신호 송신기 회로 및 블랭킹 제어기를 포함한다. 데이터 신호 송신기 회로는 데이터 신호를 데이터 신호 라인으로 출력하고, 데이터 신호의 블랭킹 기간에 데이터 신호 라인을 통해 데이터 블랭킹 신호를 출력한다. 클록 신호 송신기 회로는 클록 신호를 클록 신호 라인으로 출력하고, 데이터 신호의 블랭킹 기간과 동기하여 클록 신호 대신에 클록 블랭킹 신호를 출력한다. 상기 블랭킹 제어기는 상기 데이터 블랭킹 신호의 신호값 및 상기 클록 블랭킹 신호의 신호값 중 하나 또는 둘 모두를 상기 통신 모드들의 판별을 가능하게 하는 값으로 제어한다.
- [0009] 본 발명의 한 실시예에 따른 통신 시스템은 송신 장치 및 수신 장치를 포함한다. 송신 장치는 데이터 신호 송신기 회로, 클록 신호 송신기 회로 및 블랭킹 제어기를 포함한다. 데이터 신호 송신기 회로는 데이터 신호를 데이터 신호 라인으로 출력하고, 데이터 신호의 블랭킹 기간에 데이터 신호 라인을 통해 데이터 블랭킹 신호를 출력한다. 클록 신호 송신기 회로는 클록 신호를 클록 신호 라인으로 출력하고, 데이터 신호의 블랭킹 기간과 동기하여 클록 신호 대신에 클록 블랭킹 신호를 출력한다. 상기 블랭킹 제어기는 상기 데이터 블랭킹 신호의 신호값 및 상기 클록 블랭킹 신호의 신호값 중 하나 또는 둘 모두를 상기 통신 모드들의 판별을 가능하게 하는 값으로 제어한다. 수신 장치는 데이터 신호 수신기, 클록 신호 수신기 회로 및 판별 회로를 포함한다. 데이터 신호 수신기 회로는 데이터 신호 라인을 통해 데이터 신호 및 데이터 블랭킹 신호를 수신한다. 클록 신호 수신기 회로는 클록 신호 라인을 통해 클록 신호 및 클록 블랭킹 신호를 수신한다. 상기 판별 회로는 상기 데이터 블랭킹 신호의 신호값 및 상기 클록 블랭킹 신호의 신호값 중 하나 또는 둘 모두에 기초하여 상기 통신 모드들을 판별한다.
- [0010] 본 발명의 한 실시예에 따른 신호 수신 방법은 데이터 신호 라인을 통해 데이터 신호를 수신하는 단계와, 상기 데이터 신호 라인을 통해 상기 데이터 신호 라인을 통해 데이터 블랭킹 신호를 수신하는 단계와, 상기 데이터 신호 라인을 통해 상기 데이터 신호 라인을 통해 데이터 블랭킹 신호를 수신하는 단계와, 클록 신호 라인을 통해 클록 신호 및 클록 블랭킹 신호를 수신하는 단계와, 데이터 신호의 블랭킹 기간과 동기하여 출력되는 클록 블랭킹 신호를 수신하는 단계와, 상기 데이터 블랭킹 신호의 신호값 및 상기 클록 블랭킹 신호의 신호값 중 하나 또는 둘 모두에 기초하여 통신 모드들을 판별하는 단계를 포함한다.
- [0011] 본 발명의 한 실시예에 따른 신호 전송 방법은 데이터 신호 라인에 데이터 신호를 출력하는 단계와, 상기 데이

터 신호의 블랭킹 구간에서 상기 데이터 신호 라인을 통해 데이터 블랭킹 신호를 출력하는 단계와, 상기 클럭 신호 라인에 클럭 신호를 출력하고, 상기 데이터 신호의 블랭킹 주기에 동기하여, 상기 클럭 신호 대신에 클럭 블랭킹 신호를 출력하는 단계와, 상기 데이터 블랭킹 신호의 신호값 및 상기 클럭 블랭킹 신호의 신호값 중 하나 또는 둘 모두를 상기 통신 모드들의 판별을 가능하게 하는 값으로 제어하는 단계를 포함한다.

[0012] 본 발명의 한 실시예에 따른 통신 방법은 데이터 신호 라인에 데이터 신호를 출력하는 단계와, 상기 데이터 신호의 블랭킹 구간에서 상기 데이터 신호 라인을 통해 데이터 블랭킹 신호를 출력하는 단계와, 상기 클럭 라인에 클럭 신호를 출력하고, 상기 데이터 신호의 블랭킹 주기에 동기하여, 상기 클럭 신호 대신에 클럭 블랭킹 신호를 출력하는 단계와, 상기 데이터 블랭킹 신호의 신호값 및 상기 클럭 블랭킹 신호의 신호값 중 하나 또는 둘 모두를 상기 통신 모드의 판별을 가능하게 하는 값으로 제어하는 단계와, 상기 데이터 신호 라인을 통해 상기 데이터 신호 및 상기 데이터 블랭킹 신호를 수신하는 단계와, 상기 클럭 신호 라인을 통해 상기 클럭 신호 및 상기 클럭 블랭킹 신호를 수신하는 단계와, 상기 데이터 블랭킹 신호의 신호값 및 상기 클럭 블랭킹 신호의 신호값 중 하나 또는 둘 모두에 기초하여 상기 통신 모드들을 판별하는 단계를 포함한다.

[0013] 본 개시의 실시예에 따른 수신 장치 또는 통신 시스템에서, 신호 수신 방법 또는 통신 방법은, 본 개시의 실시예에 따른 신호 수신 방법 또는 통신 방법에 관한 것이다, 상기 데이터 블랭킹 신호의 신호값 및 상기 클럭 블랭킹 신호의 신호값 중 하나 또는 둘 모두에 기초하여 상기 통신 모드들을 판별한다.

[0014] 본 개시의 실시예에 따른 전송 장치 또는 통신 시스템, 또는 본 개시의 실시예에 따른 신호 전송 방법 또는 통신 방법에 관한 것이다, 상기 데이터 블랭킹 신호의 신호값 및 상기 클럭 블랭킹 신호의 신호값 중 하나 또는 둘 모두는 상기 통신 모드들의 판별을 가능하게 하는 값으로 제어된다.

발명의 효과

[0015] 본 개시의 한 실시의 형태에 관한 수신 장치 또는 통신 시스템, 또는, 신호 수신 방법 또는 통신 방법에 의하면, 데이터 블랭킹 신호와 클럭 블랭킹 신호의 적어도 일방의 신호값에 의거하여, 통신 모드를 판별하도록 하였기 때문에, 복수의 통신 모드의 판별을 용이하게 행할 수 있다.

[0016] 본 개시의 한 실시의 형태에 관한 송신 장치 또는 통신 시스템, 또는, 신호 송신 방법 또는 통신 방법에 의하면, 데이터 블랭킹 신호와 클럭 블랭킹 신호의 적어도 일방의 신호값을, 통신 모드를 판별 가능한 값으로 제어하도록 하였기 때문에, 복수의 통신 모드의 판별을 용이하게 행할 수 있다.

[0017] 여기에 기재된 효과는 반드시 한정되는 것이 아니고, 본 개시 중에 기재된 어느 하나의 효과라도 좋다.

[0018] 앞의 일반적인 설명 및 이후의 상세한 설명은 단지 예시적인 것임을 유의해야 한다.

도면의 간단한 설명

[0019] 도 1은 데이터 신호와 클럭 신호를 전송하는 통신 시스템의 개요를 도시하는 블록도.
 도 2는 도 1에 도시한 통신 시스템을 실현하는 비교례에 관한 통신 시스템의 한 구성례를 도시하는 블록도.
 도 3은 도 2에 도시한 통신 시스템의 구체적인 회로 구성례를 도시하는 회로도.
 도 4는 도 2에 도시한 통신 시스템에서 클럭 레인과 데이터 레인에 전송되는 각각의 신호 파형의 한 예를 도시하는 설명도.
 도 5는 본 개시의 제1의 실시의 형태에 관한 통신 시스템의 개요를 도시하는 블록도.
 도 6은 제1의 실시의 형태에 관한 통신 시스템의 구체적인 회로 구성례를 도시하는 회로도.
 도 7은 블랭킹 기간에서의 통신 모드(블랭킹 모드)의 한 예를 도시하는 설명도.
 도 8은 이미지 데이터의 프레임 구조의 한 예를 도시하는 설명도.
 도 9는 제1의 실시의 형태에 관한 통신 시스템에서 클럭 레인과 데이터 레인에 전송되는 각각의 신호 파형의 제1의 예를 도시하는 설명도.
 도 10은 제1의 실시의 형태에 관한 통신 시스템에서 클럭 레인과 데이터 레인에 전송되는 각각의 신호 파형의 제2의 예를 도시하는 설명도.

도 11은 차동 신호의 값에 관한 설명도.

도 12는 제2의 실시의 형태에 관한 통신 시스템의 개요를 도시하는 블록도.

도 13은 제2의 실시의 형태에 관한 통신 시스템의 구체적인 적용례를 도시하는 블록도.

도 14는 도 13에 도시한 적용례에서의 데이터 송신 처리의 한 예를 도시하는 흐름도.

도 15는 데이터 신호의 통신 모드(데이터 전송 모드)의 한 예를 도시하는 설명도.

도 16은 제3의 실시의 형태에 관한 통신 시스템에서 클록 레인과 데이터 레인에 전송되는 각각의 신호 파형의 제1의 예를 도시하는 설명도.

도 17은 도 16에 도시한 제1의 예에서의 통신 모드의 판별 방법의 한 예를 도시하는 설명도.

도 18은 제3의 실시의 형태에 관한 통신 시스템에서 클록 레인과 데이터 레인에 전송되는 각각의 신호 파형의 제2의 예를 도시하는 설명도.

도 19는 도 18에 도시한 제2의 예에서의 통신 모드의 판별 방법의 한 예를 도시하는 설명도.

도 20은 제3의 실시의 형태에 관한 통신 시스템에서 클록 레인과 데이터 레인에 전송되는 각각의 신호 파형의 제3의 예를 도시하는 설명도.

도 21은 도 20에 도시한 제3의 예에서의 통신 모드의 판별 방법의 한 예를 도시하는 설명도.

도 22는 각 실시의 형태에 관한 통신 시스템이 적용되는 스마트 폰의 외관 구성의 한 예를 도시하는 사시도.

도 23은 각 실시의 형태에 관한 통신 시스템이 적용되는 어플리케이션 프로세서의 한 구성례를 도시하는 블록도.

도 24는 각 실시의 형태에 관한 통신 시스템이 적용되는 이미지 센서의 한 구성례를 도시하는 블록도.

도 25는 각 실시의 형태에 관한 통신 시스템이 적용되는 차량탑재용 카메라의 설치 예의 한 예를 도시하는 설명도.

도 26은 차량탑재용 카메라에 각 실시의 형태의 통신 시스템을 적용한 한 구성례를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 개시의 실시의 형태에 관해 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0021] 0. LP 신호 및 HS 차동 신호를 이용하는 통신 시스템(비교례)(도 1~도 4)

[0022] 1. 제1의 실시의 형태(블랭킹 모드의 판별 기능을 가지며, HS 차동 신호만을 이용하는 통신 시스템)(도 5~도 11)

[0023] 2. 제2의 실시의 형태(LP 신호와 HS 차동 신호를 전환 가능한 통신 시스템)(도 12~도 14)

[0024] 3. 제3의 실시의 형태(데이터 전송 모드의 판별 기능을 갖는 통신 시스템)(도 16~도 21)

[0025] 4. 적용례

[0026] 4. 1 제1의 적용례(도 22~도 24)

[0027] 4. 2 제2의 적용례(도 25~도 26)

[0028] 5. 기타의 실시의 형태

[0029] <0. LP 신호 및 HS 차동 신호를 이용하는 통신 시스템>

[0030] 일반적으로, C-PHY 규격이나 D-PHY 규격에서는, 실질적인 데이터 신호의 전송에는 고속(High Speed : HS) 차동 신호를 이용하고 있다. 또한, 클록 신호 및 데이터 신호의 블랭킹 기간에는 저전력(Low Power : LP) 신호를 이용하고 있다. HS 차동 신호와 LP 신호는 공통의 전송로에서 전송된다. 예를 들면 D-PHY 규격에서는, 클록 신호를 전송하는 하나의 전송로(클록 레인)와, 데이터 신호를 전송하는 1 또는 복수의 전송로(데이터 레인)가 존재한다. 클록 레인과 데이터 레인의 각각에서의 신호의 전송 기간에는, HS 차동 신호로 전송을 행하는 기간과 LP

신호로 전송을 행하는 기간이 존재한다. 클록 레인과 데이터 레인의 각각에서, HS 차동 신호와 LP 신호가 공통의 전송로에서 전송된다. 그렇지만, LP 신호는, 차동 신호가 아니라 싱글 엔드 신호이고, 또한, 신호 전송에 필요하게 되는 전압치가 HS 차동 신호와는 다르다. 이 때문에, HS 차동 신호와 LP 신호의 각각을 송수신하기 위한 회로가 제각기 필요하게 된다.

- [0031] 본 실시의 형태에 관한 통신 시스템을 설명하기 전에, 우선, 비교례로서, LP 신호 및 HS 차동 신호를 이용하는 통신 시스템의 개요를 설명한다.
- [0032] 도 1은, 예를 들면 C-PHY 규격이나 D-PHY 규격의 통신 인터페이스에 대응한 통신 시스템의 개요를 도시하고 있다. 도 1에 도시한 통신 시스템은, 송신부(TX)와, 수신부(RX)를 구비하고 있다. 또한, 이 통신 시스템은, 송신부(TX)와 수신부(RX)에 걸쳐서, 클록 신호를 전송하는 클록 레인(CL)과, 예를 들면 화상 데이터 등의 데이터 신호를 전송하는 데이터 레인(DL)을 구비하고 있다. 또한, 도 1에서는, 데이터 레인(DL)으로서, 4개의 데이터 레인(DL1, DL2, DL3, DL4)을 갖는 예를 도시하고 있지만, 데이터 레인(DL)의 수는 이것으로 한하지 않고, 예를 들면 하나의 데이터 레인(DL1)뿐이라도 좋다.
- [0033] 송신부(TX)는, 송신 디지털 회로(TX-DIGITAL)와, 송신 아날로그 회로(TX-ANALOG)를 갖고 있다. 송신 디지털 회로(TX-DIGITAL)와 송신 아날로그 회로(TX-ANALOG)의 사이에서는, 예를 들면 16비트나 8비트의 패럴렐 신호가 전송된다.
- [0034] 수신부(RX)는, 수신 디지털 회로(RX-DIGITAL)와, 수신 아날로그 회로(RX-ANALOG)를 갖고 있다. 데이터 레인(DL1, DL2, DL3, DL4)에서, 수신 아날로그 회로(RX-ANALOG)와 수신 디지털 회로(RX-DIGITAL)의 사이에서는, 예를 들면 16비트나 8비트의 패럴렐 신호가 전송된다. 클록 레인(CL)에서, 수신 아날로그 회로(RX-ANALOG)와 수신 디지털 회로(RX-DIGITAL)의 사이에서는, 예를 들면 2비트의 시리얼 신호가 전송된다.
- [0035] 클록 레인(CL)에서, 송신 아날로그 회로(TX-ANALOG)와 수신 아날로그 회로(RX-ANALOG)의 사이는, 차동의 클록 신호를 전송하는 클록 신호선(30)으로 접속되어 있다. 데이터 레인(DL1, DL2, DL3, DL4)에서, 송신 아날로그 회로(TX-ANALOG)와 수신 아날로그 회로(RX-ANALOG)의 사이는, 차동의 데이터 신호를 전송하는 데이터 신호선(31, 32, 33, 34)으로 접속되어 있다. 클록 신호선(30)과 데이터 신호선(31, 32, 33, 34)은 각각, 차동 신호를 전송하는 한 쌍이 포지티브 신호선(Dp)과 네가티브 신호선(Dn)을 갖고 있다. 클록 신호선(30)과 데이터 신호선(31, 32, 33, 34)에는 각각, 예를 들면 2비트의 시리얼 신호가 전송된다.
- [0036] 도 2는, 도 1에 도시한 통신 시스템을 실현하는, 비교례에 관한 통신 시스템의 한 구성례를 도시하고 있다. 또한, 도 2에서는, 도 1에서의 데이터 레인(DL)으로서, 하나의 데이터 레인(DL1)만을 나타내지만, 다른 데이터 레인(DL2, DL3, DL4)에 대해서도 개략 같은 구성이라도 좋다,
- [0037] 이 비교례에 관한 통신 시스템은, 도 1의 송신부(TX)에 상당하는 송신부(101)와, 도 1의 수신부(RX)에 상당하는 수신부(102)를 구비하고 있다.
- [0038] 클록 레인(CL)에서, 송신부(101)는, HS 차동 신호의 처리를 행하는 CL-HS 회로(111)와, LP 신호의 처리를 행하는 CL-LP 회로(112)를 갖고 있다. 데이터 레인(DL1)에서, 송신부(101)는, HS 차동 신호의 처리를 행하는 DL-HS 회로(113)와, LP 신호의 처리를 행하는 DL-LP 회로(114)를 갖고 있다.
- [0039] 클록 레인(CL)에서, 수신부(102)는, HS 차동 신호의 처리를 행하는 CL-HS 회로(121)와, LP 신호의 처리를 행하는 CL-LP 회로(122)를 갖고 있다. 데이터 레인(DL1)에서, 수신부(102)는, HS 차동 신호의 처리를 행하는 DL-HS 회로(123)와, LP 신호의 처리를 행하는 DL-LP 회로(124)를 갖고 있다.
- [0040] 도 3은, 도 2에 도시한 비교례에 관한 통신 시스템의 구체적인 회로 구성례를 도시하고 있다. 또한, 도 4는, 도 2에 도시한 비교례에 관한 통신 시스템에서 클록 레인(CL)과 데이터 레인(DL1)에 전송되는 각각의 신호 파형의 한 예를 도시하고 있다.
- [0041] 도 4에 도시한 바와 같이, 이 비교례에 관한 통신 시스템에서는, 클록 레인(CL)에서, 송신부(101)로부터 클록 신호선(30)에 출력되는 신호의 스테이터스는, HS 차동 신호로 전송하는 상태가 되는 HPS(High Speed State)의 기간과, LP 신호로 전송하는 상태가 되는 LPS(Low Power State)의 기간이 존재한다. 실질적인 클록 신호는, HPS의 기간에 HS 차동 신호로 출력된다.
- [0042] 마찬가지로, 데이터 레인(DL1)에서, 송신부(101)로부터 데이터 신호선(31)에 출력되는 신호의 스테이터스는, HS 차동 신호로 전송하는 상태가 되는 HPS의 기간과, LP 신호로 전송하는 상태가 되는 LPS의 기간이 존재한다. 실질적인 데이터 신호는, HPS의 기간에 HS 차동 신호로 출력된다. 또한, 도 4에서, 실질적인 데이터 신호의 부분

을 HST라고 기재한다. 또한, HPS의 기간에는, TRAIL 기간($T_{HS-TRAIL}$)이나 SYNC(동기)기간($T_{HS-SYNC}$) 등이 포함된다. 실질적인 데이터 신호의 부분을 포함하지 않는 블랭킹 기간은, LPS의 기간에 포함된다. 실질적인 데이터 신호는, 예를 들면 Byte 단위로 출력된다.

- [0043] 도 3에 도시한 바와 같이, 이 통신 시스템은, 송신부(101) 내의 각 회로부에 클록 신호를 공급하는 수정 발진기(XTAL)(82) 및 PLL 회로(81)와, 수신부(102) 내의 각 회로부에 클록 신호를 공급하는 수정 발진기(XTAL)(83)를 갖고 있다.
- [0044] CL-HS 회로(111)는, HS 스테이트 머신(HS FSM)(51)과, 셀렉터(52)와, 패럴렐/시리얼(PS) 변환 회로(53)와, 클록 분주기(DIV)(54)와, HS 드라이버(HS DRV)(55)를 갖고 있다. 셀렉터(52)는, Toggle 신호와, 값(0)의 신호(ALL0)와, 값(1)의 신호(ALL1)를 선택적으로 출력한다. Toggle 신호는, 예를 들면 8비트의 클록 신호(1010_1010)이다.
- [0045] CL-LP 회로(112)는, LP 스테이트 머신(LP FSM)(41)과, LP 인코더(LP ENC)(42)와, LP 드라이버(LP DRV)(43)를 갖고 있다. LP 스테이트 머신(41)에는, 클록 레인 제어 신호가 입력된다.
- [0046] DL-HS 회로(113)는, HS 스테이트 머신(HS FSM)(71)과, 셀렉터(72)와, 패럴렐/시리얼(PS) 변환 회로(73)와, HS 드라이버(HS DRV)(74)를 갖고 있다. HS 스테이트 머신(71)으로부터는, 데이터 송신 준비 완료 신호(TxReadyHS)가 출력된다. 셀렉터(72)는, 송신 데이터(TxDataHS)와, 동기 코드 신호(SYNC)와, 값(0)의 신호(ALL0)와, 값(1)의 신호(ALL1)를 선택적으로 출력한다.
- [0047] DL-LP 회로(114)는, LP 스테이트 머신(LP FSM)(61)과, LP 인코더(LP ENC)(62)와, LP 드라이버(LP DRV)(63)를 갖고 있다. LP 스테이트 머신(61)에는, 데이터 송신 요구 신호(TxRequestHS)가 입력된다.
- [0048] 또한, 송신부(101)에서, LP 드라이버(43)와, HS 드라이버(55)와, LP 드라이버(63)와, HS 드라이버(74)는, 도 1에서의 송신 아날로그 회로(TX-ANALOG)에 상당한다.
- [0049] CL-HS 회로(121)는, 클록 신호 중단 회로로서의 중단 회로(TERM)(56)와, HS 리시버(HS RCV)(57)와, 클록 분주기(DIV)(58)를 갖고 있다. 중단 회로(56)는, 중단 저항을 갖고 있다.
- [0050] CL-LP 회로(122)는, LP 리시버(LP RCV)(44)와, LP 디코더(LP DEC)(45)와, LP 스테이트 머신(LP FSM)(46)을 갖고 있다. LP 스테이트 머신(46)는, 클록 레인(CL)의 스테이터스 신호를 출력한다.
- [0051] DL-HS 회로(123)는, 데이터 신호 중단 회로로서의 중단 회로(TERM)(75)와, HS 리시버(HS RCV)(76)와, 클록 분주기(DIV)(77)와, 워드 얼라인먼트 보정 회로(ALN)(78)를 갖고 있다. 중단 회로(75)는, 중단 저항을 갖고 있다. 워드 얼라인먼트 보정 회로(ALN)(78)는, 수신 동기 신호(RxSyncHS)와, 수신 유효 신호(RxValidHS)와, 수신 데이터(RxDataHS)를 출력한다.
- [0052] DL-LP 회로(124)는, LP 리시버(LP RCV)(64), LP 디코더(LP DEC)(65), LP 스테이트 머신(LP FSM)(66)을 갖고 있다. LP 스테이트 머신(66)은, 수신 액티브 신호(RxActiveHS)를 출력한다.
- [0053] 또한, 수신부(102)에서, 주로, LP 리시버(44)와, 중단 회로(56)와, HS 리시버(57)와, LP 리시버(64)와, 중단 회로(75)와, HS 리시버(76)가, 도 1에서의 수신 아날로그 회로(RX-ANALOG)에 상당한다.
- [0054] <1. 제1의 실시의 형태>
- [0055] 다음에, 본 개시의 제1의 실시의 형태에 관해 설명한다. 이하에서는, 상기 비교례와 개략 같은 구성 및 작용을 갖는 부분에 관해서는, 적절히 설명을 생략한다.
- [0056] 도 5는, 도 1에 도시한 통신 시스템을 실현하는, 본 개시의 제1의 실시의 형태에 관한 통신 시스템의 개요를 도시하고 있다. 도 6은, 도 5에 도시한 통신 시스템의 구체적인 회로 구성례를 도시하고 있다. 또한, 도 5 등에서는, 도 1에서의 데이터 레인(DL)으로서, 하나의 데이터 레인(DL1)만을 도시하지만, 다른 데이터 레인(DL2, DL3, DL4)에 대해서도 개략 같은 구성이라도 좋다.
- [0057] 본 실시의 형태에 관한 통신 시스템은, 도 1의 송신부(TX)에 상당하는 송신부(1)(송신 장치)와, 도 1의 수신부(RX)에 상당하는 수신부(2)(수신 장치)를 구비하고 있다. 송신부(1)는, 블랭킹 제어부(20)를 갖고 있다.
- [0058] 도 2 내지 도 4에 도시한 비교례에 관한 통신 시스템에서는, 클록 신호 및 데이터 신호의 블랭킹 기간에 1.3V 정도의 전압의 LP 신호를 출력하는 통신 모드를 이용하고 있다. 그러나, 반도체 프로세스의 진화(進化)에 수반하여, 이 전압을 유지하는 것이 곤란해지고 있다.

- [0059] 그래서, 본 실시의 형태에 관한 통신 시스템에서는, 클록 레인(CL)에서, 송신부(1)로부터 클록 신호선(30)에 출력되는 신호를, 블랭킹 기간도 포함하여 전부 HS 차동 신호만으로 하고 있다. 마찬가지로, 데이터 레인(DL1)에서, 송신부(1)로부터 데이터 신호선(31)에 출력되는 신호를, 블랭킹 기간도 포함하여 전부 HS 차동 신호만으로 하고 있다.
- [0060] 또한, 본 실시의 형태에 관한 통신 시스템에서는, 블랭킹 기간에서의 통신 모드(블랭킹 모드)를 복수 갖고 있다.
- [0061] 도 7은, 본 실시의 형태에서의 블랭킹 모드의 한 예를 도시하고 있다. 본 실시의 형태에서는, 블랭킹 모드로서, 예를 들면, 상대적으로 전송 기간이 짧은 제1의 블랭킹 모드와, 상대적으로 전송 기간이 긴 제2의 블랭킹 모드를 갖고 있다.
- [0062] 제1의 블랭킹 모드는, 블랭킹 간격을 극력 작게 하는 통신(Latency Reduction Transport Efficiency : LRTE) 모드이다. LRTE 모드에서는, 전송 기간은 고정 길이로 되어 있다. 또한, LRTE 모드에서는, 중단 제어를 행하지 않는(중단 저항의 온/오프의 전환을 행하지 않는) 모드로 되어 있다.
- [0063] 제2의 블랭킹 모드는, 장기의 블랭킹 기간에 적합한(Alternate LP : ALP) 모드이다. ALP 모드에서는, 전송 기간은 가변 길이로 되어 있다. 또한, ALP 모드에서는, 중단 제어를 행하는 것이 가능(중단 저항의 온/오프의 전환이 가능)한 모드로 되어 있다.
- [0064] 도 8은, 본 실시의 형태에 관한 통신 시스템에서 전송된 이미지 데이터의 프레임 구조의 한 예를 도시하고 있다. 도 8에서는, 2프레임분의 이미지 데이터의 프레임 구조를 도시하고 있다. 프레임의 선두는 FS(프레임 스타트), 프레임의 끝은 FE(프레임 엔드)로 되어 있다. 프레임 사이는 프레임 블랭킹 기간(수직 블랭킹 기간)(Vb)으로 되어 있다. 1프레임 내에서, 1수평 기간의 선두는 PH(패킷 헤더), 1수평 기간의 끝은 PF(패킷 푸터)로 되어 있다.
- [0065] 수평 블랭킹 기간(Hb) 내에는, 위상차 방식의 오토 포커스에 이용되는 위상차 검출 데이터(PDAF)(Phase Detection Auto-Focus) 등의 데이터 신호가 삽입되어도 좋다. 수평 블랭킹 기간(Hb)에서, PDAF(Phase Detection Auto-Focus) 등의 데이터 신호가 삽입된 기간(Hb2)을 제외한 기간(Hb1)이 실질적인 수평 블랭킹 기간이 된다. 이 경우, 수평 블랭킹 기간(Hb1)은 내우 단기간이 된다. 이 때문에, 본 실시의 형태에 관한 통신 시스템에서, 수평 블랭킹 기간(Hb1)의 통신은, 블랭킹 모드로서 제1의 블랭킹 모드(LRTE 모드)가 적합하다. 또한, 수직 블랭킹 기간(Vb)의 통신은, 제2의 블랭킹 모드(ALP 모드)가 적합하다.
- [0066] 이와 같이 블랭킹 기간에 복수의 통신 모드가 혼재하는 경우, 수신부(2)측에서 복수의 통신 모드를 판별할 필요가 있다. 판별 수법의 하나로서 클록 신호가 멈추어 있는 기간의 길이를 측정하는 수법이 생각되지만, 이 경우, 수신부(2)측에서 카운터를 준비할 필요가 있다.
- [0067] 그래서, 본 실시의 형태에서는, 카운터를 이용하는 일 없이, 복수의 통신 모드의 판별을 행하는 것을 가능하게 한다. 본 실시의 형태에서는, 송신부(1)에서, 블랭킹 제어부(20)가, 통신 모드에 응하여, 데이터 블랭킹 신호와 클록 블랭킹 신호의 신호값을, 예를 들면 후술하는 도 9 및 도 10에 도시한 바와 같은, 통신 모드를 판별 가능한 값으로 제어한다. 또한, 수신부(2)에서, 후술하는 클록 상태 판별 회로(59)(도 6)가, 예를 들면 후술하는 도 9 및 도 10에 도시한 바와 같은 값을 참조하여 통신 모드를 판별한다.
- [0068] 도 9는, 본 실시의 형태에 관한 통신 시스템에서 클록 레인(CL)과 데이터 레인(DL1)에 전송되는 각각의 신호 파형의 제1의 예를 도시하고 있다. 도 9에서는, 블랭킹 기간에서의 통신 모드가 제1의 블랭킹 모드(LRTE 모드)인 예를 도시하고 있다.
- [0069] 도 10은, 본 실시의 형태에 관한 통신 시스템에서 클록 레인(CL)과 데이터 레인(DL1)에 전송되는 각각의 신호 파형의 제2의 예를 도시하고 있다. 도 10에서는, 블랭킹 기간에서의 통신 모드가 제2의 블랭킹 모드(ALP 모드)인 예를 도시하고 있다.
- [0070] 또한, 도 9 및 도 10에서, 실질적인 데이터 신호의 부분을 HST라고 기재한다. 실질적인 데이터 신호의 전후의 기간에는 SYNC(동기)기간($T_{HS-SYNC}$)과 TRAIL 기간($T_{HS-TRAIL}$)이 포함되어 있어도 좋다.
- [0071] 도 6에 도시한 바와 같이, 본 실시의 형태에 관한 통신 시스템은, 송신부(1) 내의 각 회로부에 클록 신호를 공급하는 수정 발진기(XTAL)(82) 및 PLL 회로(81)와, 수신부(2) 내의 각 회로부에 클록 신호를 공급하는 수정 발진기(XTAL)(83) 및 PLL 회로(84)를 갖고 있다.

- [0072] (송신부(1)의 상세한 구성례)
- [0073] 클록 레인(CL)에서, 송신부(1)는, HS 차동 신호의 처리를 행하는 CL-HS 회로(11)를 갖고 있다. 데이터 레인(DL1)에서, 송신부(1)는, HS 차동 신호의 처리를 행하는 DL-HS 회로(13)를 갖고 있다.
- [0074] CL-HS 회로(11)는, 클록 신호 및 클록 블랭킹 신호로서 HS 차동 신호를 클록 신호선(30)에 출력하는 차동 클록 신호 송신 회로라도 좋다. DL-HS 회로(13)는, 데이터 신호 및 데이터 블랭킹 신호로서 HS 차동 신호를 데이터 신호선(31)에 출력하는 차동 데이터 신호 송신 회로라도 좋다.
- [0075] 본 실시의 형태에서의 송신부(1)에는, 상기 비교례에서의 LP 신호의 처리를 행하는 CL-LP 회로(112) 및 DL-LP 회로(114)에 상당하는 회로는 포함되어 있지 않아도 좋다.
- [0076] CL-HS 회로(11)는, 도 6에 도시한 바와 같이, 도 3에서의 CL-HS 회로(111)와 개략 같은 회로를 갖고 있어도 좋다. 즉, CL-HS 회로(11)는, HS 스테이트 머신(HS FSM)(51)과, 셀렉터(52)와, 패럴렐/시리얼(PS) 변환 회로(53)와, 클록 분주기(DIV)(54)와, HS 드라이버(HS DRV)(55)를 갖고 있어도 좋다. 셀렉터(52)는, Toggle 신호와, 값(0)의 신호(ALL0)와, 값(1)의 신호(ALL1)를 선택적으로 출력한다. Toggle 신호는, 예를 들면 8비트의 클록 신호(1010_1010)이다. 본 실시의 형태에서는, 클록 레인 제어 신호와 데이터 송신 요구 신호(TxRequestHS)가, HS 스테이트 머신(51)에 입력된다.
- [0077] DL-HS 회로(13)는, 도 6에 도시한 바와 같이, 도 3에서의 DL-HS 회로(113)와 개략 같은 회로를 갖고 있어도 좋다. 즉, DL-HS 회로(13)는, HS 스테이트 머신(HS FSM)(71)과, 셀렉터(72)와, 패럴렐/시리얼(PS) 변환 회로(73)와, HS 드라이버(HS DRV)(74)를 갖고 있어도 좋다. HS 스테이트 머신(71)으로부터는, 데이터 송신 준비 완료 신호(TxReadyHS)가 출력된다. 셀렉터(72)는, 송신 데이터(TxDataHS)와, 동기 코드 신호(SYNC)와, 값(0)의 신호(ALL0)와, 값(1)의 신호(ALL1)를 선택적으로 출력한다.
- [0078] 블랭킹 제어부(20)는, 도 6에 도시한 바와 같이, HS 스테이트 머신(51)과 HS 스테이트 머신(71)을 갖고 있어도 좋다.
- [0079] (송신부(1)에서의 모드 제어 동작의 예)
- [0080] 도 9의 제1의 블랭킹 모드에 의한 통신을 행하는 경우, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, DL-HS 회로(13)로부터 데이터 신호선(31)에, 데이터 신호에 대신하여, 예를 들면 값(1)의 데이터 블랭킹 신호가 출력되도록, DL-HS 회로(13)를 제어한다.
- [0081] 또한, 제1의 블랭킹 모드에 의한 통신을 행하는 경우, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 클록 신호에 대신하여 소정의 기간 이상에 걸쳐서, 예를 들면 값(0)의 클록 블랭킹 신호가 연속한 차동 블랭킹 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 여기서, 소정의 기간이란, 클록 신호의 클록 주기보다도 긴 기간이다. 클록 블랭킹 신호를, 클록 신호의 클록 주기보다도 긴 기간에 걸쳐서 값(0)의 신호값이 연속한 신호로 함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 시작된 것을 검출하는 것이 가능해진다.
- [0082] 또한, 제1의 블랭킹 모드에 의한 통신을 행하는 경우, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간 종료 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 클록 블랭킹 신호에 대신하여, 소정의 기간 이상에 걸쳐서 클록 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 클록 블랭킹 신호에 대신하여 소정의 기간 이상에 걸치는 클록 신호를 출력함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 종료되고, 데이터 신호의 전송이 시작되는 것을 검출하는 것이 가능해진다.
- [0083] 한편, 도 10의 제2의 블랭킹 모드에 의한 통신을 행하는 경우, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, DL-HS 회로(13)로부터 데이터 신호선(31)에, 데이터 신호에 대신하여, 값(0)의 데이터 블랭킹 신호가 출력되도록, DL-HS 회로(13)를 제어한다.
- [0084] 또한, 제2의 블랭킹 모드에 의한 통신을 행하는 경우, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 클록 신호에 대신하여 소정의 기간 이상에 걸쳐서, 예를 들면 값(0)의 클록 블랭킹 신호가 연속하는 차동 블랭킹 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 여기서, 소정의 기간이란, 클록 신호의 클록 주기보다도 긴 기간이다. 클록 블랭킹 신호를, 클록 신호의 클록 주기보다도 긴 기간에 걸쳐서 값(0)의 신호값이 연속하는 신호로 함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 시작된 것을 검출하는 것이 가능해진다.

- [0085] 또한, 제2의 블랭킹 모드에 의한 통신을 행하는 경우, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간 종료 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 값(0)의 클록 블랭킹 신호에 대신하여, 소정의 기간 이상에 걸쳐서, 예를 들면 값(1)의 클록 블랭킹 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 값(0)의 클록 블랭킹 신호에 대신하여 소정의 기간 이상에 걸치는 값(1)의 클록 블랭킹 신호를 출력함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 종료되고, 데이터 신호의 전송이 시작되는 것을 검출하는 것이 가능해진다.
- [0086] 도 9 및 도 10에 도시한 예와 같이, 데이터 신호의 블랭킹 기간의 시작시의 데이터 블랭킹 신호의 값을, 제1의 블랭킹 모드와 제2의 블랭킹 모드에서 다른 값으로 함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 통신 모드를 판별하는 것이 가능해진다.
- [0087] 또한, 도 9 및 도 10에 도시한 클록 블랭킹 신호 및 데이터 블랭킹 신호의 값은 한 예이고, 도 9 및 도 10의 예와는 다른 값을 이용하여도 상관없다.
- [0088] 또한, 도 11에, 차동 신호의 값의 한 예를 도시한다. 값(0)의 클록 블랭킹 신호 및 데이터 블랭킹 신호는, 차동(0)(Differential-0)이 되는 차동 신호라도 좋다. 또한, 값(1)의 클록 블랭킹 신호 및 데이터 블랭킹 신호는, 차동(1)(Differential-1)이 되는 차동 신호라도 좋다. 보다 구체적으로는, 도 11에 도시한 바와 같이, 값(0)의 차동 신호는, 차동 신호의 전송선에서의 포지티브 신호선(Dp)의 전압 레벨이 Low로 되고, 네가티브 신호선(Dn)의 전압 레벨이 High가 되는 차동 신호인 것이라도 좋다. 또한, 값(1)의 차동 신호는, 차동 신호의 전송선에서의 포지티브 신호선(Dp)의 전압 레벨이 High가 되고, 네가티브 신호선(Dn)의 전압 레벨이 Low가 되는 차동 신호인 것이라도 좋다.
- [0089] (수신부(2)의 상세한 구성례)
- [0090] 클록 라인(CL)에서, 수신부(2)는, HS 차동 신호의 처리를 행하는 CL-HS 회로(21)를 갖고 있다. 데이터 라인(DL1)에서, 수신부(2)는, HS 차동 신호의 처리를 행하는 DL-HS 회로(23)를 갖고 있다.
- [0091] DL-HS 회로(23)는, 데이터 신호 및 데이터 블랭킹 신호로서 HS 차동 신호를 데이터 신호선(31)을 통하여 수신하는 차동 데이터 신호 수신 회로라도 좋다. CL-HS 회로(21)는, 클록 신호 및 클록 블랭킹 신호로서 HS 차동 신호를 클록 신호선(30)을 통하여 수신하는 차동 클록 신호 수신 회로라도 좋다.
- [0092] 본 실시의 형태에서의 수신부(2)에는, 상기 비교례에서의 LP 신호의 처리를 행하는 CL-LP 회로(122) 및 DL-LP 회로(124)에 상당하는 회로는 포함되어 있지 않아도 좋다.
- [0093] DL-HS 회로(23)는, 도 6에 도시한 바와 같이, 도 3에서의 DL-HS 회로(123)와 개략 같은 회로를 갖고 있어도 좋다. 즉, 데이터 신호선(31)에 접속된 데이터 신호 종단 회로로서의 종단 회로(TERM)(75)와, HS 리시버(HS RCV)(76)와, 클록 분주기(DIV)(77)와, 워드 얼라인먼트 보정 회로(ALN)(78)를 갖고 있어도 좋다. 종단 회로(75)는, 종단 저항을 갖고 있다. 워드 얼라인먼트 보정 회로(ALN)(78)는, 수신 동기 신호(RxSyncHS)와, 수신 유효 신호(RxValidHS)와, 수신 데이터(RxDataHS)를 출력한다.
- [0094] CL-HS 회로(21)는, 도 6에 도시한 바와 같이, 도 3에서의 CL-HS 회로(121)와 개략 같은 회로를 갖고 있어도 좋다. 즉, CL-HS 회로(21)는, 클록 신호선(30)에 접속된 클록 신호 종단 회로로서의 종단 회로(TERM)(56)와, HS 리시버(HS RCV)(57)와, 클록 분주기(DIV)(58)를 갖고 있어도 좋다. 종단 회로(56)는, 종단 저항을 갖고 있다.
- [0095] CL-HS 회로(21)는, 또한, 클록(CL) 상태 판별 회로(59)를 갖고 있다. 클록 상태 판별 회로(59)에는, HS 리시버(57)를 통하여 송신부(1)의 CL-HS 회로(11)로부터의 클록 신호와 클록 블랭킹 신호가 입력된다. 또한, 클록 상태 판별 회로(59)에는, HS 리시버(76)를 통하여 송신부(1)의 DL-HS 회로(13)로부터의 데이터 블랭킹 신호가 입력된다.
- [0096] (수신부(2)에서의 모드 판별의 예)
- [0097] 클록 상태 판별 회로(59)는, 예를 들면, 데이터 신호의 블랭킹 기간의 시작시의 데이터 블랭킹 신호의 값을 참조함으로써, 블랭킹 모드의 판별을 행한다. 클록 상태 판별 회로(59)는, 예를 들면 도 9의 예와 같이 데이터 블랭킹 신호의 값이 1인 경우에는, 제1의 블랭킹 모드라고 판별한다. 또한, 클록 상태 판별 회로(59)는, 예를 들면 도 10의 예와 같이 데이터 블랭킹 신호의 값이 0인 경우에는, 제2의 블랭킹 모드라고 판별한다.
- [0098] (수신부(2)에서의 종단 제어 및 워드 얼라인먼트 제어의 예)
- [0099] 도 10의 예와 같이 제2의 블랭킹 모드인 경우, 수신부(2)는 종단 제어의 처리를 행하여도 좋다. 클록 상태 판별

회로(59)는, 종단 제어 회로로서의 기능을 갖고 있다. 클록 상태 판별 회로(59)는, 예를 들면 값(0)의 클록 블랭킹 신호에 의거하여, 데이터 신호 종단 회로(종단 회로(75)) 및 클록 신호 종단 회로(종단 회로(56))에 대해 각각의 종단 저항을 오프 시키는 제어를 행한다. 또한, 클록 상태 판별 회로(59)는, 데이터 신호의 블랭킹 기간 종료 시각에 동기하여 출력된, 값(1)의 클록 블랭킹 신호에 의거하여, 종단 회로(75) 및 종단 회로(56)에 대해 각각의 종단 저항을 온 시키는 제어를 행한다.

[0100] 또한, 종단 저항의 온/오프에 수반하여, 도 10에 도시한 바와 같이, 클록 레인(CL) 및 데이터 레인(DL1)의 블랭킹 기간에서의 신호의 전압 진폭이 변화한다. 또한, 블랭킹 기간에서 종단 제어를 오프 시킴에 의해, 클록 신호선(30) 및 데이터 신호선(31)에 흐르는 전류치를 저감할 수 있다.

[0101] 또한, 클록 상태 판별 회로(59)는, 수신 액티브 신호(RxActiveHS)를 출력하여 워드 얼라인먼트 보정 회로(78)에 대해, 워드 얼라인먼트 제어를 행하는 기능을 갖고 있다. 블랭킹 기간이 종료되고, 데이터 신호의 전송이 시작되는 것을 클록 상태 판별 회로(59)에서 적절하게 검출함으로써, 동기 코드 신호(SYNC)를 검출하고, 워드 얼라인먼트 보정 회로(78)에서 적절하게 워드 얼라인먼트 제어를 행할 수가 있다.

[0102] [효과]

[0103] 이상과 같이, 본 실시의 형태에 의하면, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, 클록 신호선(30)에, 클록 신호에 대신하여, 클록 블랭킹 신호로서, 소정의 기간 이상에 걸쳐서 소정의 값이 연속하는 차동 블랭킹 신호를 출력하도록 하였기 때문에, 데이터 전송시의 저소비 전력화를 도모할 수 있다. 또한, 본 실시의 형태에 의하면, 상기한 비교례에 관한 통신 시스템에 비하여, LP 신호의 처리를 행하는 회로가 불필요하게 되어, 회로 규모를 삭감할 수 있다.

[0104] 또한, 본 실시의 형태에 의하면, 송신부(1)측에서 데이터 블랭킹 신호의 신호값을 블랭킹 모드를 판별 가능한 값으로 제어하고, 수신부(2)측에서 데이터 블랭킹 신호의 신호값에 의거하여 블랭킹 모드를 판별하도록 하였기 때문에, 수신부(2)측에서 블랭킹 모드를 판별하기 위한 카운터를 이용하는 일 없이, 복수의 블랭킹 모드의 판별을 용이하게 행할 수 있다.

[0105] 또한, 본 명세서에 기재된 효과는 어디까지나 예시이고 한정되는 것이 아니고, 또한 다른 효과가 있어도 좋다. 이후의 다른 실시의 형태의 효과에 대해서도 마찬가지이다.

[0106] <2. 제2의 실시의 형태>

[0107] 다음에, 본 개시의 제2의 실시의 형태에 관해 설명한다. 이하에서는, 상기 비교례, 또는 상기 제1의 실시의 형태와 개략 같은 구성 및 작용을 갖는 부분에 관해서는, 적절히 설명을 생략한다.

[0108] 도 12는, 본 개시의 제2의 실시의 형태에 관한 통신 시스템의 개요를 도시하고 있다. 본 실시의 형태에 관한 통신 시스템은, 도 1의 송신부(TX)에 해당하는 송신부(1B)(송신 장치)와, 도 1의 수신부(RX)에 해당하는 수신부(2B)(수신 장치)를 구비하고 있다.

[0109] 상기 제1의 실시의 형태에 관한 통신 시스템에서는, 클록 레인(CL)과 데이터 레인(DL1)의 각각에서 전송되는 신호를, 블랭킹 기간도 포함하여 전부 HS 차동 신호만으로 하고 있다. 이에 대해, 본 실시의 형태에 관한 통신 시스템은, LP 신호로의 통신도 가능하게 하는 전환 회로를 구비하고, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드와, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드를 전환 가능하게 한 것이다.

[0110] 본 실시의 형태에 관한 통신 시스템에서, 송신부(1B)는, 상기 제1 및 제2의 실시의 형태에 관한 통신 시스템과 개략 같은 기능을 실현하는 블랭킹 제어부(20)를 갖고 있다.

[0111] 또한, 송신부(1B)는, 클록 레인(CL)에서, HS 차동 신호의 처리를 행하는 CL-HS 회로(11)와, LP 신호의 처리를 행하는 CL-LP 회로(12)와, 전환 스위치(15)와, 셀렉터(17)를 갖고 있다.

[0112] CL-LP 회로(12)는, LP 신호로서 제1의 싱글 엔드 신호를 출력하는 제1의 싱글 엔드 신호 송신 회로라도 좋다. CL-LP 회로(12)는, 도 2에서의 CL-LP 회로(112)와 개략 같은 기능을 갖는 것이라도 좋다. 전환 스위치(15)는, 클록 신호선(30)에, CL-HS 회로(11)와 CL-LP 회로(12)와의 어느 일방으로부터 신호 출력이 이루어지도록, 신호 출력의 경로를 전환하는 제1의 송신 전환 회로라도 좋다. 셀렉터(17)는, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드에서는 블랭킹 제어부(20)로부터의 제어 신호가 CL-HS 회로(11)에 입력되도록 하고, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드에서는, 블랭킹 제어부(20)로부터의 제어 신호가

CL-HS 회로(11)에 입력되지 않도록 하는 회로이다.

- [0113] 또한, 송신부(1B)는, 데이터 레인(DL1)에서, HS 차동 신호의 처리를 행하는 DL-HS 회로(13)와, LP 신호의 처리를 행하는 DL-LP 회로(14)와, 전환 스위치(16)와, 셀렉터(18)를 갖고 있다.
- [0114] DL-LP 회로(14)는, LP 신호로서 제2의 싱글 엔드 신호를 출력하는 제2의 싱글 엔드 신호 송신 회로라도 좋다. DL-LP 회로(14)는, 도 2에서의 DL-LP 회로(114)와 개략 같은 기능을 갖는 것이라도 좋다. 전환 스위치(16)는, 데이터 신호선(31)에 DL-HS 회로(13)와 DL-LP 회로(14)의 어느 일방부터 신호 출력이 이루어지도록, 신호 출력의 경로를 전환하는 제2의 송신 전환 회로라도 좋다. 셀렉터(18)는, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드에서는 블랭킹 제어부(20)로부터의 제어 신호가 DL-HS 회로(13)에 입력되도록 하고, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드에서는, 블랭킹 제어부(20)로부터의 제어 신호가 DL-HS 회로(13)에 입력되지 않도록 하는 회로이다.
- [0115] 수신부(2B)는, 클록 레인(CL)에서, HS 차동 신호의 처리를 행하는 CL-HS 회로(21)와, LP 신호의 처리를 행하는 CL-LP 회로(22)와, 셀렉터(25)와, 셀렉터(27)와, 셀렉터(28)를 갖고 있다. CL-LP 회로(22)는, LP 신호로서 제1의 싱글 엔드 신호를 클록 신호선(30)을 통하여 수신하는 제1의 싱글 엔드 신호 수신 회로라도 좋다. CL-LP 회로(22)는, 도 2에서의 CL-LP 회로(122)와 개략 같은 기능을 갖는 것이라도 좋다.
- [0116] 셀렉터(25)는, LP 신호로서 제1의 싱글 엔드 신호를 수신하는지의 여부를 전환하는 제1의 수신 전환 회로라도 좋다. 셀렉터(25)는, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드에서는 클록 신호선(30)을 통하여 수신한 신호가 CL-LP 회로(22)에 입력되지 않도록 하고, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드에서는, 클록 신호선(30)을 통하여 수신한 신호가 CL-LP 회로(22)에 입력되도록 하는 회로이다. 셀렉터(27)는, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드에서는 CL-HS 회로(21)로부터의 종단 제어의 신호가 DL-HS 회로(23)에 입력되도록 하고, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드에서는, HS 회로(21)로부터의 종단 제어의 신호가 입력되지 않도록 하는 회로이다. 셀렉터(28)는, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드에서는 CL-HS 회로(21)로부터의 워드 얼라인먼트 제어의 신호가 DL-HS 회로(23)에 입력되도록 하고, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드에서는, HS 회로(21)로부터의 워드 얼라인먼트 제어의 신호가 입력되지 않도록 하는 회로이다.
- [0117] 또한, 수신부(2B)는, 데이터 레인(DL1)에서, HS 차동 신호의 처리를 행하는 DL-HS 회로(23)와, LP 신호의 처리를 행하는 DL-LP 회로(24)와, 셀렉터(26)를 갖고 있다. DL-LP 회로(24)는, LP 신호로서 제2의 싱글 엔드 신호를 데이터 신호선(31)을 통하여 수신하는 제2의 싱글 엔드 신호 수신 회로라도 좋다.
- [0118] 셀렉터(26)는, LP 신호로서 제2의 싱글 엔드 신호를 수신하는지의 여부를 전환하는 제2의 수신 전환 회로라도 좋다. 셀렉터(26)는, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드에서는 데이터 신호선(31)을 통하여 수신한 신호가 DL-LP 회로(24)에 입력되지 않도록 하고, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드에서는, 데이터 신호선(31)을 통하여 수신한 신호가 DL-LP 회로(24)에 입력되도록 하는 회로이다.
- [0119] 도 13은, 본 실시의 형태에 관한 통신 시스템의 구체적인 적용례를 도시하고 있다.
- [0120] 예를 들면, 본 실시의 형태에 관한 통신 시스템은, 도 13에 도시한 바와 같이, 이미지 센서(IS)로부터 어플리케이션 프로세서(AP)에의 데이터 전송에 적용 가능하다. 송신부(1B)는, 이미지 센서(IS) 내에 마련된다. 수신부(2B)는, 어플리케이션 프로세서(AP) 내에 마련된다. 이미지 센서(IS)와 어플리케이션 프로세서(AP)의 사이는, 클록 신호선(30)과 데이터 신호선(31)에 의해 접속된다. 클록 신호선(30)과 데이터 신호선(31)에 따른 신호의 전송은 일방향으로 되어 있다.
- [0121] 또한, 이미지 센서(IS)와 어플리케이션 프로세서(AP)의 사이는, 쌍방향의 제어 버스(35)에 의해 접속된다. 제어 버스(35)는, I^2C (Inter-Integrated Circuit) 인터페이스나 그 확장 판인 I^3C 인터페이스를 이용할 수 있다.
- [0122] 도 14는, 도 13에 도시한 이미지 센서(IS) 및 어플리케이션 프로세서(AP)를 포함하는 기기에서의 데이터 송신 처리의 한 예를 도시하고 있다.
- [0123] 이미지 센서(IS) 및 어플리케이션 프로세서(AP)를 포함하는 기기의 전원 투입이 이루어지면(스텝 S101), 어플리케이션 프로세서(AP)가, 제어 버스(35)를 사용하여, 이미지 센서(IS)의 레지스터 설정을 관독한다(스텝 S102). 이에 의해, 어플리케이션 프로세서(AP)는, 이미지 센서(IS)가 LP 신호 없음에서의 통신에 대응하고 있는지의 여부를

판단한다(스텝 S103). 즉, LP 신호를 이용하지 않고 HS 차동 신호만으로 통신을 행하는 모드와, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드와의 어느 모드에 대응하고 있는지를 판단한다.

[0124] LP 신호 없음에서의 통신에 대응하고 있지 않다고 판단한 경우(스텝 S103 ; N)에는, 어플리케이션 프로세서(AP)는, LP 신호와 HS 차동 신호의 쌍방을 이용하여 통신을 행하는 모드로 간주하고, 제어 버스(35)를 사용하여, 이미지 센서(IS)에 송신 시작 지시의 신호를 출력한다(스텝 S109). 다음에, 이미지 센서(IS)는, 송신 시작 지시의 신호를 받아, 데이터 신호의 송신을 시작한다(스텝 S110).

[0125] 한편, LP 신호 없음에서의 통신에 대응하고 있다고 판단한 경우(스텝 S103 ; Y)에는, 어플리케이션 프로세서(AP)는, 제어 버스(35)를 사용하여, LP 신호 없음에서의 통신을 유효화하는 설정을 이미지 센서(IS)에 송신한다(스텝 S104).

[0126] 다음에, 어플리케이션 프로세서(AP)는, 이미지 센서(IS)의 레지스터 설정을 참조하여, 이미지 센서(IS)가 제1의 블랭킹 모드(LRTE 모드)에서의 통신에 대응하고 있는지의 여부를 판단한다(스텝 S105). 제1의 블랭킹 모드에서의 통신에 대응하고 있지 않다고 판단한 경우(스텝 S105 ; N)에는, 후술하는 스텝 S107의 처리로 진행한다. 제1의 블랭킹 모드에서의 통신에 대응하고 있다고 판단한 경우(스텝 S105 ; Y)에는, 어플리케이션 프로세서(AP)는, 제어 버스(35)를 사용하여, 제1의 블랭킹 모드에서의 통신을 유효화하는 설정을 이미지 센서(IS)에 송신한다(스텝 S106).

[0127] 다음에, 어플리케이션 프로세서(AP)는, 이미지 센서(IS)의 레지스터 설정을 참조하여, 이미지 센서(IS)가 제2의 블랭킹 모드(ALP 모드)에서의 통신에 대응하고 있는지의 여부를 판단한다(스텝 S107). 제2의 블랭킹 모드에서의 통신에 대응하고 있지 않다고 판단한 경우(스텝 S107 ; N)에는, 어플리케이션 프로세서(AP)는, 제어 버스(35)를 사용하여, 이미지 센서(IS)에 송신 시작 지시의 신호를 출력한다(스텝 S109). 다음에, 이미지 센서(IS)는, 송신 시작 지시의 신호를 받아, 데이터 신호의 송신을 시작한다(스텝 S110).

[0128] 한편, 제2의 블랭킹 모드에서의 통신에 대응하고 있다고 판단한 경우(스텝 S107 ; Y)에는, 어플리케이션 프로세서(AP)는, 제어 버스(35)를 사용하여, 제2의 블랭킹 모드에서의 통신을 유효화한 설정을 이미지 센서(IS)에 송신한다(스텝 S108). 다음에, 어플리케이션 프로세서(AP)는, 제어 버스(35)를 사용하여, 이미지 센서(IS)에 송신 시작 지시의 신호를 출력한다(스텝 S109). 다음에, 이미지 센서(IS)는, 송신 시작 지시의 신호를 받아, 데이터 신호의 송신을 시작한다(스텝 S110).

[0129] <3. 제3의 실시의 형태>

[0130] 다음에, 본 개시의 제3의 실시의 형태에 관해 설명한다. 이하에서는, 상기 비교례, 상기 제1의 실시의 형태 또는 상기 제2의 실시의 형태와 개략 같은 구성 및 작용을 갖는 부분에 관해서는, 적절히 설명을 생략한다.

[0131] 상기 제1 및 제2의 실시의 형태에서는, 통신 모드의 판별로서, 블랭킹 모드의 판별을 행하는 예를 기술하였지만, 같은 판별 수법에 의해 데이터 신호의 통신 모드(데이터 전송 모드)를 판별하는 것도 가능하다.

[0132] 도 15는, 본 실시의 형태에서 판별하는 데이터 전송 모드의 한 예를 도시하고 있다. 본 실시의 형태에서는, 데이터 전송 모드로서, 예를 들면, 상대적으로 전송 속도가 고속인 제1의 데이터 전송 모드(고속 전송 모드)와, 상대적으로 전송 속도가 저속인 제2의 데이터 전송 모드(저속 전송 모드)를 판별한다. 고속 전송 모드와 저속 전송 모드는 함께 차동 신호의 전송을 행하는 모드이고, 예를 들면 전압 진폭을 바꿈에 의해 전송 속도가 서로 다르다.

[0133] 또한, 본 실시의 형태에서의 통신 시스템의 기본 구성은, 도 5 및 도 6의 구성과 개략 같아도 좋다. 송신부(1)에서, 블랭킹 제어부(20)는, 통신 모드에 응하여, 데이터 블랭킹 신호와 클록 블랭킹 신호의 신호값을, 예를 들면 후술하는 도 17, 도 19, 및 도 21에 도시한 바와 같은, 통신 모드를 판별 가능한 값으로 제어한다. 또한, 수신부(2)에서, 클록 상태 판별 회로(59)는, 예를 들면 후술하는 도 17, 도 19, 및 도 21에 도시한 바와 같은 값을 참조하여 통신 모드를 판별한다.

[0134] (데이터 전송 모드의 판별 방법의 제1의 예)

[0135] 도 16은, 본 실시의 형태에 관한 통신 시스템에서 클록 레인(CL)과 데이터 레인(DL1)에 전송되는 각각의 신호 파형의 제1의 예를 도시하고 있다. 도 16에서는, 도 9의 예와 마찬가지로 블랭킹 기간에서의 통신 모드가 제1의 블랭킹 모드(LRTE 모드)인 예를 도시하고 있다. 도 17은, 블랭킹 기간에서의 통신 모드가 제1의 블랭킹 모드인 경우에 있어서의 데이터 신호의 통신 모드의 판별 방법의 한 예를 도시하고 있다.

- [0136] 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, DL-HS 회로(13)로부터 데이터 신호선(31)에, 데이터 신호에 대신하여, 값(D_n0)의 데이터 블랭킹 신호가 출력되도록, DL-HS 회로(13)를 제어한다.
- [0137] 또한, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 클록 신호에 대신하여 소정의 기간 이상에 걸쳐서 값(C_n0)의 클록 블랭킹 신호가 연속하는 차동 블랭킹 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 여기서, 소정의 기간이란, 클록 신호의 클록 주기보다도 긴 기간이다. 클록 블랭킹 신호를, 클록 신호의 클록 주기보다도 긴 기간에 걸쳐서 값(C_n0)의 신호값이 연속하는 신호로 함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 시작된 것을 검출하는 것이 가능해진다.
- [0138] 또한, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간 종료 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 클록 블랭킹 신호에 대신하여, 소정의 기간 이상에 걸쳐서 클록 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 클록 블랭킹 신호에 대신하여 소정의 기간 이상에 걸치는 클록 신호를 출력함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 종료되고, 데이터 신호의 전송이 시작되는 것을 검출하는 것이 가능해진다.
- [0139] 수신부(2)에서, 클록 상태 판별 회로(59)는, 예를 들면 도 17에 도시한 바와 같은 값을 참조하여 통신 모드를 판별한다.
- [0140] 클록 상태 판별 회로(59)는, 예를 들면, ($C_n0=0$, $D_n0=0$)인 경우는 고속 전송 모드, ($C_n0=1$, $D_n0=1$)인 경우는 저속 전송 모드라고 판별한다. 또한, 클록 상태 판별 회로(59)는, 예를 들면, ($C_n0=0$, $D_n0=1$)인 경우는 블랭킹 기간에서의 통신 모드가 제1의 블랭킹 모드(LRTE 모드)라고 판별한다. 또한, ($C_n0=1$, $D_n0=0$)는, 예를 들면 장래적으로 기타의 통신 모드의 판별에 이용 가능한 예비의 값(「Reserved」)으로 한다.
- [0141] 또한, 도 17에 도시한 값과 통신 모드와의 조합은 한 예이고, 도 17과는 다른 조합이라도 상관없다. 또한, 3종류 이상의 데이터 전송 모드의 판별을 행하여도 좋다.
- [0142] (데이터 전송 모드의 판별 방법의 제2의 예)
- [0143] 도 18은, 본 실시의 형태에 관한 통신 시스템에서 클록 레인(CL)과 데이터 레인(DL1)에 전송되는 각각의 신호 파형의 제2의 예를 도시하고 있다. 도 18에서는, 도 10의 예와 마찬가지로 블랭킹 기간에서의 통신 모드가 제2의 블랭킹 모드(ALP 모드)인 예를 도시하고 있다. 도 19는, 블랭킹 기간에서의 통신 모드가 제2의 블랭킹 모드인 경우에 있어서의 데이터 신호의 통신 모드의 판별 방법의 한 예를 도시하고 있다.
- [0144] 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, DL-HS 회로(13)로부터 데이터 신호선(31)에, 데이터 신호에 대신하여, 값($D0$)의 데이터 블랭킹 신호가 출력되도록, DL-HS 회로(13)를 제어한다. 또한, 블랭킹 제어부(20)는, 블랭킹 기간 종료 시각에 동기하여, DL-HS 회로(13)로부터 데이터 신호선(31)에, 값($D0$)의 데이터 블랭킹 신호에 대신하여, 값($D1$)의 데이터 블랭킹 신호가 출력되도록, DL-HS 회로(13)를 제어한다.
- [0145] 또한, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간의 시작 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 클록 신호에 대신하여 소정의 기간 이상에 걸쳐서 값($C0$)의 클록 블랭킹 신호가 연속한 차동 블랭킹 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 여기서, 소정의 기간이란, 클록 신호의 클록 주기보다도 긴 기간이다. 클록 블랭킹 신호를, 클록 신호의 클록 주기보다도 긴 기간에 걸쳐서 값($C0$)의 신호값이 연속한 신호로 함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 시작된 것을 검출하는 것이 가능해진다.
- [0146] 또한, 블랭킹 제어부(20)는, 데이터 신호의 블랭킹 기간 종료 시각에 동기하여, CL-HS 회로(11)로부터 클록 신호선(30)에, 값($C0$)의 클록 블랭킹 신호에 대신하여, 소정의 기간 이상에 걸쳐서 값($C1$)의 클록 블랭킹 신호가 출력되도록, CL-HS 회로(11)를 제어한다. 값($C0$)의 클록 블랭킹 신호에 대신하여 소정의 기간 이상에 걸치는 값($C1$)의 클록 블랭킹 신호를 출력함으로써, 수신부(2)의 클록 상태 판별 회로(59)에서, 신호의 변화를 검출할 수 있고, 블랭킹 기간이 종료되고, 데이터 신호의 전송이 시작되는 것을 검출하는 것이 가능해진다.
- [0147] 수신부(2)에서, 클록 상태 판별 회로(59)는, 예를 들면 도 19에 도시한 바와 같은 값을 참조하여 통신 모드를 판별한다.

- [0148] 클록 상태 판별 회로(59)는, 예를 들면, (C0=0, C1=1)이면서 (D0=0, D1=0)인 경우는 고속 전송 모드라고 판별한다. 또한, 클록 상태 판별 회로(59)는, 예를 들면, (C0=0, C1=1)이면서 (D0=0, D1=1)인 경우는 저속 전송 모드라고 판별한다. 또한, 기타의 값은, 예를 들면 장래적으로 기타의 통신 모드의 판별에 이용 가능한 예비의 값(「Reserved」)이라고 한다. 단, 중단 제어를 행하기 위해서는, 클록 블랭킹 신호의 값(C0, C1) 및 데이터 블랭킹 신호의 값(D0, D1) 중, 적어도 일방의 값을 블랭킹 기간 내에 전환할 필요가 있다. 이 때문에, 중단 제어를 행하는 경우에는, (C0=0, C1=0)이면서 (D0=0, D1=0)와, (C0=0, C1=0)이면서 (D0=1, D1=1)와, (C0=1, C1=1)이면서 (D0=0, D1=0)와, (C0=1, C1=1)이면서 (D0=1, D1=1)는, 통신 모드의 판별에는 사용하지 않는다.
- [0149] 또한, 도 19에 도시한 값과 통신 모드의 조합은 한 예이고, 도 19와는 다른 조합이라도 상관없다. 또한, 3종류 이상의 데이터 전송 모드의 판별을 행하여도 좋다.
- [0150] (데이터 전송 모드의 판별 방법의 제3의 예)
- [0151] 도 20은, 본 실시의 형태에 관한 통신 시스템에서 클록 라인(CL)과 데이터 라인(DL1)에 전송되는 각각의 신호 파형의 제3의 예를 도시하고 있다. 도 21은, 도 20에 도시한 제3의 예에서의 통신 모드의 판별 방법의 한 예를 도시하고 있다.
- [0152] 도 20에서는, 통신 모드가, 고속 전송 모드→LRTE 모드→저속 전송 모드→고속 전송 모드의 순서로 천이하는 예를 도시하고 있다.
- [0153] 수신부(2)에서, 클록 상태 판별 회로(59)는, 상기 제2의 예와 마찬가지로, 예를 들면 도 21에 도시한 바와 같은, 클록 라인(CL)의 값(C0, C1)과 데이터 라인(DL1)의 값(D0, D1)을 참조하여 통신 모드를 판별한다. 또한, 도 21에는, 모드 천이시의 중단 저항의 온/오프 상태의 예도 도시한다.
- [0154] 클록 상태 판별 회로(59)는, 예를 들면, (C0=0, C1=1)이면서 (D0=0, D1=0)인 경우는 고속 전송 모드로 천이한다고 판별한다. 또한, 클록 상태 판별 회로(59)는, 예를 들면, (C0=0, C1=0)이면서 (D0=1, D1=1)인 경우는 LRTE 모드로 천이한다고 판별한다. 또한, 클록 상태 판별 회로(59)는, 예를 들면, (C0=0, C1=1)이면서 (D0=0, D1=1)인 경우는 저속 전송 모드로 천이한다고 판별한다. 또한, 기타의 값은, 예를 들면 장래적으로 기타의 통신 모드의 판별에 이용 가능한 예비의 값(「Reserved」)이라고 한다.
- [0155] 또한, 도 21에 도시한 값과 통신 모드와의 조합은 한 예이고, 도 21과는 다른 조합이라도 상관없다.
- [0156] <4. 적용례>
- [0157] 다음에, 상기 각 실시의 형태에서 설명한 통신 시스템의 적용례에 관해 설명한다.
- [0158] [4. 1 제1의 적용례]
- [0159] 도 22는, 상기 각 실시의 형태의 통신 시스템이 적용되는 스마트 폰(300)(다기능 휴대 전화)의 외관을 도시하는 것이다. 이 스마트 폰(300)에는, 다양한 디바이스가 탑재되어 있고, 그들의 디바이스 사이에서 데이터의 교환을 행하는 통신 시스템에서, 상기 각 실시의 형태의 통신 시스템이 적용되고 있다.
- [0160] 도 23은, 스마트 폰(300)에 사용된 어플리케이션 프로세서(310)의 한 구성례를 도시하는 것이다. 어플리케이션 프로세서(310)는, CPU(Central Processing Unit)(311)와, 메모리 제어부(312)와, 전원 제어부(313)와, 외부 인터페이스(314)와, GPU(Graphics Processing Unit)(315)와, 미디어 처리부(31)(6)와, 디스플레이 제어부(317)와, MIPI 인터페이스(318)를 갖고 있다. CPU(311), 메모리 제어부(312), 전원 제어부(313), 외부 인터페이스(314), GPU(315), 미디어 처리부(31)(6), 디스플레이 제어부(317)는, 이 예에서는, 시스템 버스(319)에 접속되고, 이 시스템 버스(319)를 통하여, 서로 데이터의 교환을 할 수 있게 되어 있다.
- [0161] CPU(311)는, 프로그램에 따라, 스마트 폰(300)에서 취급되는 다양한 정보를 처리하는 것이다. 메모리 제어부(312)는, CPU(311)가 정보 처리를 행할 때에 사용하는 메모리(501)를 제어하는 것이다. 전원 제어부(313)는, 스마트 폰(300)의 전원을 제어하는 것이다.
- [0162] 외부 인터페이스(314)는, 외부 디바이스와 통신하기 위한 인터페이스이고, 이 예에서는, 무선 통신부(502) 및 이미지 센서(410)와 접속되어 있다. 무선 통신부(502)는, 휴대 전화의 기지국과 무선 통신을 하는 것이고, 예를 들면, 베이스밴드부나, RF(Radio Frequency) 프런트 엔드부 등을 포함하여 구성된다. 이미지 센서(410)는, 화상을 취득하는 것이고, 예를 들면 CMOS 센서를 포함하여 구성된다.
- [0163] GPU(315)는, 화상 처리를 행하는 것이다. 미디어 처리부(31)(6)는, 음성이나, 문자나, 도형 등의 정보를 처리하

는 것이다. 디스플레이 제어부(317)는, MIPI 인터페이스(318)를 통하여, 디스플레이(504)를 제어하는 것이다.

[0164] MIPI 인터페이스(318)는 화상 신호를 디스플레이(504)에 송신하는 것이다. 화상 신호로서는, 예를 들면, YUV 형식이나 RGB 형식 등의 신호를 이용할 수 있다. 이 MIPI 인터페이스(318)와 디스플레이(504) 사이의 통신 시스템에는, 예를 들면, 상기 각 실시의 형태의 통신 시스템이 적용된다.

[0165] 도 24는, 이미지 센서(410)의 한 구성례를 도시하는 것이다. 이미지 센서(410)는, 센서부(411)와, ISP(Image Signal Processor)(412)와, JPEG(Joint Photographic Experts Group) 인코더(413)와, CPU(414)와, RAM(Random Access Memory)(415)와, ROM(Read Only Memory)(416)과, 전원 제어부(417)와, I²C(Inter-Integrated Circuit) 인터페이스(418)와, MIPI 인터페이스(419)를 갖고 있다. 이들의 각 블록은, 이 예에서는, 시스템 버스(420)에 접속되고, 이 시스템 버스(420)를 통하여, 서로 데이터의 교환을 할 수 있게 되어 있다.

[0166] 센서부(411)는, 화상을 취득하는 것이고, 예를 들면 CMOS 센서에 의해 구성되는 것이다. ISP(412)는, 센서부(411)가 취득한 화상에 대해 소정의 처리를 행하는 것이다. JPEG 인코더(413)는, ISP(412)가 처리한 화상을 인코드하여 JPEG 형식의 화상을 생성하는 것이다. CPU(414)는, 프로그램에 따라 이미지 센서(410)의 각 블록을 제어하는 것이다. RAM(415)은, CPU(414)가 정보 처리를 행할 때에 사용하는 메모리이다. ROM(416)은, CPU(414)에서 실행되는 프로그램을 기억하는 것이다. 전원 제어부(417)는, 이미지 센서(410)의 전원을 제어하는 것이다. I²C 인터페이스(418)는, 어플리케이션 프로세서(310)로부터 제어 신호를 수취하는 것이다. 또한, 도시하지 않지만, 이미지 센서(410)는, 어플리케이션 프로세서(310)로부터, 제어 신호에 더하여 클럭 신호도 수취하게 되어 있다. 구체적으로는, 이미지 센서(410)는, 다양한 주파수의 클럭 신호에 의거하여 동작할 수 있도록 구성되어 있다.

[0167] MIPI 인터페이스(419)는, 화상 신호를 어플리케이션 프로세서(310)에 송신하는 것이다. 화상 신호로서는, 예를 들면, YUV 형식이나 RGB 형식 등의 신호를 이용할 수 있다. 이 MIPI 인터페이스(419)와 어플리케이션 프로세서(310) 사이의 통신 시스템에는, 예를 들면, 상기 각 실시의 형태의 통신 시스템이 적용된다.

[0168] [4. 2 제2의 적용례]

[0169] 도 25 및 도 26에, 촬상 장치에의 적용례로서, 차량탑재용 카메라의 구성례를 도시한다. 도 25는 차량탑재용 카메라의 설치례의 한 예를 도시하고, 도 26은 차량탑재용 카메라의 내부 구성례를 도시하고 있다.

[0170] 예를 들면, 도 25에 도시한 바와 같이, 차량(301)의 프런트(전방)에 차량탑재용 카메라(401), 좌우에 차량탑재용 카메라(402, 403), 또한 리어(후방)에 차량탑재용 카메라(404)가 설치된다. 차량탑재용 카메라(401~404)는 각각, 차내 네트워크를 통해 ECU(302)(Electrical Control Unit ; 전자 제어 유닛)에 접속되어 있다.

[0171] 차량(301)의 프런트에 비치된 차량탑재용 카메라(401)의 화상 취입 각도는, 예를 들면 도 25에 a로 나타내는 범위이다. 차량탑재용 카메라(402)의 화상 취입 각도는, 예를 들면 도 25에 b로 나타내는 범위이다. 차량탑재용 카메라(403)의 화상 취입 각도는, 예를 들면 도 25에 c로 나타내는 범위이다. 차량탑재용 카메라(404)의 화상 취입 각도는, 예를 들면 도 25에 d로 나타내는 범위이다. 차량탑재용 카메라(401~404)는 각각, 취입한 화상을 ECU(302)에 출력한다. 이 결과, 차량(301)의 전방, 좌우, 후방의 360도(전방위)의 화상을 ECU(302)에서의 취입할 수 있다.

[0172] 예를 들면, 도 26에 도시한 바와 같이, 차량탑재용 카메라(401~404)는 각각, 이미지 센서(431)와, DSP(Digital Signal Processing) 회로(432)와, 셀렉터(433)와, SerDes(SERializer / DESerializer) 회로(444)를 갖고 있다.

[0173] DSP 회로(432)는, 이미지 센서(431)로부터 출력된 촬상 신호에 대해 각종의 화상 신호 처리를 행하는 것이다. SerDes 회로(444)는, 신호의 시리얼/패럴렐 변환을 행하는 것이고, 예를 들면 FPD-Link III 등의 차량탑재 인터페이스 칩으로 구성되어 있다.

[0174] 셀렉터(433)는, 이미지 센서(431)로부터 출력된 촬상 신호를, DSP 회로(432)를 통하여 출력하는지, DSP 회로(432)를 이용하지 않고 출력 하는지를 선택하는 것이다.

[0175] 이미지 센서(431)와 DSP 회로(432) 사이의 접속 인터페이스(441)에, 예를 들면, 상기 실시의 형태의 통신 시스템이 적용 가능하다. 또한, 이미지 센서(431)와 셀렉터(433)의 사이의 접속 인터페이스(442)에, 예를 들면, 상기 각 실시의 형태의 통신 시스템이 적용 가능하다.

[0176] <5. 기타의 실시의 형태>

- [0177] 본 개시에 의한 기술은, 상기 각 실시의 형태의 설명으로 한정되지 않고 여러가지의 변형 실시가 가능하다.
- [0178] 예를 들면, 본 기술은 이하와 같은 구성을 취할 수 있다.
- [0179] (1)
- [0180] 데이터 신호를 데이터 신호선을 통하여 수신함과 함께, 상기 데이터 신호의 블랭킹 기간에 상기 데이터 신호선을 통하여 데이터 블랭킹 신호를 수신하는 데이터 신호 수신 회로와,
- [0181] 클럭 신호와, 상기 데이터 신호의 블랭킹 기간에 동기하여 출력된 클럭 블랭킹 신호를, 클럭 신호선을 통하여 수신하는 클럭 신호 수신 회로와,
- [0182] 상기 데이터 블랭킹 신호와 상기 클럭 블랭킹 신호의 적어도 일방의 신호값에 의거하여, 통신 모드를 판별하는 판별 회로를 구비하는 수신 장치.
- [0183] (2)
- [0184] 상기 판별 회로는, 적어도 상기 블랭킹 기간에서의 통신 모드를 판별하는 상기 (1)에 기재된 수신 장치.
- [0185] (3)
- [0186] 상기 판별 회로는, 상기 블랭킹 기간에서의 통신 모드로서, 제1의 블랭킹 모드와, 상기 제1의 블랭킹 모드보다도 전송 기간이 긴 제2의 블랭킹 모드를 판별하는 상기 (2)에 기재된 수신 장치.
- [0187] (4)
- [0188] 상기 판별 회로는, 적어도 상기 데이터 신호의 통신 모드를 판별하는 상기 (1) 내지 (3)의 어느 하나에 기재된 수신 장치.
- [0189] (5)
- [0190] 상기 판별 회로는, 상기 데이터 신호의 통신 모드로서, 제1의 데이터 전송 모드와, 상기 제1의 데이터 전송 모드보다도 전송 속도가 저속인 제2의 데이터 전송 모드를 판별하는 상기 (4)에 기재된 수신 장치.
- [0191] (6)
- [0192] 상기 데이터 신호 수신 회로는, 상기 데이터 신호 및 상기 데이터 블랭킹 신호로서 차동의 신호를 상기 데이터 신호선을 통하여 수신하는 차동 데이터 신호 수신 회로이고,
- [0193] 상기 클럭 신호 수신 회로는, 상기 클럭 신호 및 상기 클럭 블랭킹 신호로서 차동의 신호를 상기 클럭 신호선을 통하여 수신하는 차동 클럭 신호 수신 회로인 상기 (1) 내지 (5)의 어느 하나에 기재된 수신 장치.
- [0194] (7)
- [0195] 데이터 신호를 데이터 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 데이터 블랭킹 신호를 상기 데이터 신호선을 통하여 출력하는 데이터 신호 송신 회로와,
- [0196] 클럭 신호를 클럭 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 동기하여, 상기 클럭 신호에 대응하여 클럭 블랭킹 신호를 출력하는 클럭 신호 송신 회로와,
- [0197] 상기 데이터 블랭킹 신호와 상기 클럭 블랭킹 신호의 적어도 일방의 신호값을, 통신 모드를 판별 가능한 값으로 제어하는 블랭킹 제어부를 구비하는 송신 장치.
- [0198] (8)
- [0199] 상기 블랭킹 제어부는, 상기 신호값을, 적어도 상기 블랭킹 기간에서의 통신 모드를 판별 가능한 값으로 제어하는 상기 (7)에 기재된 송신 장치.
- [0200] (9)
- [0201] 상기 블랭킹 제어부는, 상기 신호값을, 상기 블랭킹 기간에서의 통신 모드로서, 제1의 블랭킹 모드와, 상기 제1의 블랭킹 모드보다도 전송 기간이 긴 제2의 블랭킹 모드를 판별 가능한 값으로 제어하는 상기 (8)에 기재된 송신 장치.
- [0202] (10)

- [0203] 상기 블랭킹 제어부는, 상기 신호값을, 적어도 상기 데이터 신호의 통신 모드를 판별 가능한 값으로 제어하는 상기 (7) 내지 (9)의 어느 하나에 기재된 송신 장치.
- [0204] (11)
- [0205] 상기 블랭킹 제어부는, 상기 신호값을, 상기 데이터 신호의 통신 모드로서, 제1의 데이터 전송 모드와, 상기 제1의 데이터 전송 모드보다도 전송 속도가 저속인의 제2의 데이터 전송 모드를 판별 가능한 값으로 제어하는 상기 (10)에 기재된 송신 장치.
- [0206] (12)
- [0207] 상기 데이터 신호 송신 회로는, 상기 데이터 신호 및 상기 데이터 블랭킹 신호로서 차동의 신호를 상기 데이터 신호선을 통하여 출력하는 차동 데이터 신호 송신 회로이고,
- [0208] 상기 클록 신호 송신 회로는, 상기 클록 신호 및 상기 클록 블랭킹 신호로서 차동의 신호를 상기 클록 신호선을 통하여 출력하는 차동 클록 신호 송신 회로인 상기 (7) 내지 (11)의 어느 하나에 기재된 송신 장치.
- [0209] (13)
- [0210] 송신 장치와, 수신 장치를 구비하고,
- [0211] 상기 송신 장치는,
- [0212] 데이터 신호를 데이터 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 데이터 블랭킹 신호를 상기 데이터 신호선을 통하여 출력하는 데이터 신호 송신 회로와,
- [0213] 클록 신호를 클록 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 동기하여, 상기 클록 신호에 대신하여 클록 블랭킹 신호를 출력하는 클록 신호 송신 회로와,
- [0214] 상기 데이터 블랭킹 신호와 상기 클록 블랭킹 신호의 적어도 일방의 신호값을, 통신 모드를 판별 가능한 값으로 제어하는 블랭킹 제어부를 가지며,
- [0215] 상기 수신 장치는,
- [0216] 상기 데이터 신호와 상기 데이터 블랭킹 신호를 상기 데이터 신호선을 통하여 수신하는 데이터 신호 수신 회로와,
- [0217] 상기 클록 신호와 상기 클록 블랭킹 신호를 상기 클록 신호선을 통하여 수신하는 클록 신호 수신 회로와,
- [0218] 상기 데이터 블랭킹 신호와 상기 클록 블랭킹 신호의 적어도 일방의 신호값에 의거하여, 상기 통신 모드를 판별하는 판별 회로를 갖는 통신 시스템.
- [0219] (14)
- [0220] 데이터 신호를 데이터 신호선을 통하여 수신함과 함께, 상기 데이터 신호의 블랭킹 기간에 상기 데이터 신호선을 통하여 데이터 블랭킹 신호를 수신하는 것과,
- [0221] 클록 신호와, 상기 데이터 신호의 블랭킹 기간에 동기하여 출력된 클록 블랭킹 신호를, 클록 신호선을 통하여 수신하는 것과,
- [0222] 상기 데이터 블랭킹 신호와 상기 클록 블랭킹 신호의 적어도 일방의 신호값에 의거하여, 통신 모드를 판별하는 것을 포함하는 신호 수신 방법.
- [0223] (15)
- [0224] 데이터 신호를 데이터 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 데이터 블랭킹 신호를 상기 데이터 신호선을 통하여 출력하는 것과,
- [0225] 클록 신호를 클록 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 동기하여, 상기 클록 신호에 대신하여 클록 블랭킹 신호를 출력하는 것과,
- [0226] 상기 데이터 블랭킹 신호와 상기 클록 블랭킹 신호의 적어도 일방의 신호값을, 통신 모드를 판별 가능한 값으로 제어하는 것을 포함하는 신호 송신 방법.

- [0227] (16)
- [0228] 데이터 신호를 데이터 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 데이터 블랭킹 신호를 상기 데이터 신호선을 통하여 출력하는 것과,
- [0229] 클럭 신호를 클럭 신호선에 출력함과 함께, 상기 데이터 신호의 블랭킹 기간에 동기하여, 상기 클럭 신호에 대응하여 클럭 블랭킹 신호를 출력하는 것과,
- [0230] 상기 데이터 블랭킹 신호와 상기 클럭 블랭킹 신호의 적어도 일방의 신호값을, 통신 모드를 판별 가능한 값으로 제어하는 것과,
- [0231] 상기 데이터 신호와 상기 데이터 블랭킹 신호를 상기 데이터 신호선을 통하여 수신하는 것과,
- [0232] 상기 클럭 신호와 상기 클럭 블랭킹 신호를 상기 클럭 신호선을 통하여 수신하는 것과,
- [0233] 상기 데이터 블랭킹 신호와 상기 클럭 블랭킹 신호의 적어도 일방의 신호값에 의거하여, 상기 통신 모드를 판별하는 것을 포함하는 통신 방법.

부호의 설명

- [0234] 1, 1B : 송신부(송신 장치)
- 2, 2B : 수신부(수신 장치)
- 11 : CL-HS 회로(차동 클럭 신호 송신 회로)
- 12 : CL-LP 회로(제1의 싱글 엔드 신호 송신 회로)
- 13 : DL-HS 회로(차동 데이터 신호 송신 회로)
- 14 : DL-LP 회로(제2의 싱글 엔드 신호 송신 회로)
- 15 : 전환 스위치(제1의 송신 전환 회로)
- 16 : 전환 스위치(제2의 송신 전환 회로)
- 17 : 셀렉터
- 18 : 셀렉터
- 20 : 블랭킹 제어부
- 21 : CL-HS 회로(차동 클럭 신호 수신 회로)
- 22 : CL-LP 회로(제1의 싱글 엔드 신호 수신 회로)
- 23 : DL-HS 회로(차동 데이터 신호 수신 회로)
- 24 : DL-LP 회로(제2의 싱글 엔드 신호 수신 회로)
- 25 : 셀렉터(제1의 수신 전환 회로)
- 26 : 셀렉터(제2의 수신 전환 회로)
- 27 : 셀렉터
- 28 : 셀렉터
- 30 : 클럭 신호선
- 31 : 데이터 신호선
- 32 : 데이터 신호선
- 33 : 데이터 신호선
- 34 : 데이터 신호선

35 : 제어 버스

41 : LP 스테이트 머신(LP FSM)

42 : LP 인코더(LP ENC)

43 : LP 드라이버(LP DRV)

44 : LP 리시버(LP RCV)

45 : LP 디코더(LP DEC)

46 : LP 스테이트 머신(LP FSM)

51 : HS 스테이트 머신(HS FSM)

52 : 셀렉터

53 : 패럴렐/시리얼(PS) 변환 회로

54 : 클록 분주기(DIV)

55 : HS 드라이버(HS DRV)

56 : 종단 회로(TERM)(클록 신호 종단 회로)

57 : HS 리시버(HS RCV)

58 : 클록 분주기(DIV)

59 : 클록(CL) 상태 판별 회로

61 : LP 스테이트 머신(LP FSM)

62 : LP 인코더(LP ENC)

63 : LP 드라이버(LP DRV)

64 : LP 리시버(LP RCV)

65 : LP 디코더(LP DEC)

66 : LP 스테이트 머신(LP FSM)

71 : HS 스테이트 머신(HS FSM)

72 : 셀렉터

73 : 패럴렐/시리얼(PS) 변환 회로

74 : HS 드라이버(HS DRV)

75 : 종단 회로(TERM)(데이터 신호 종단 회로)

76 : HS 리시버(HS RCV)

77 : 클록 분주기(DIV)

78 : 워드 얼라인먼트 보정 회로(ALN)

81 : PLL 회로

82 : 수정 발진기(XTAL)

83 : 수정 발진기(XTAL)

84 : PLL 회로

101 : 송신부

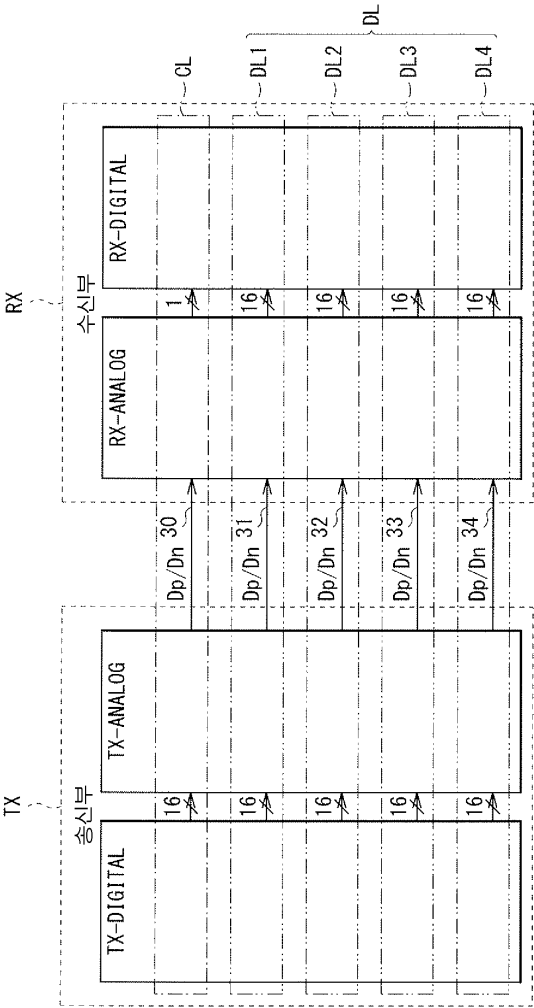
102 : 수신부

111 : CL-HS 회로
 112 : CL-LP 회로
 113 : DL-HS 회로
 114 : DL-LP 회로
 121 : CL-HS 회로
 122 : CL-LP 회로
 123 : DL-HS 회로
 124 : DL-LP 회로
 300 : 스마트 폰
 301 : 차량
 302 : ECU
 310 : 어플리케이션 프로세서
 311 : CPU
 312 : 메모리 제어부
 313 : 전원 제어부
 314 : 외부 인터페이스
 315 : GPU
 316 : 미디어 처리부
 317 : 디스플레이 제어부
 318 : 미디어 처리부
 319 : 시스템 버스
 401, 402, 403, 404 : 차량탑재용 카메라
 410 : 이미지 센서
 411 : 센서부
 412 : ISP
 413 : JPEG 인코더
 414 : CPU
 415 : RAM
 416 : ROM
 417 : 전원 제어부
 418 : I₂C 인터페이스
 419 : MIPI 인터페이스
 420 : 시스템 버스
 431 : 이미지 센서
 432 : DSP 회로

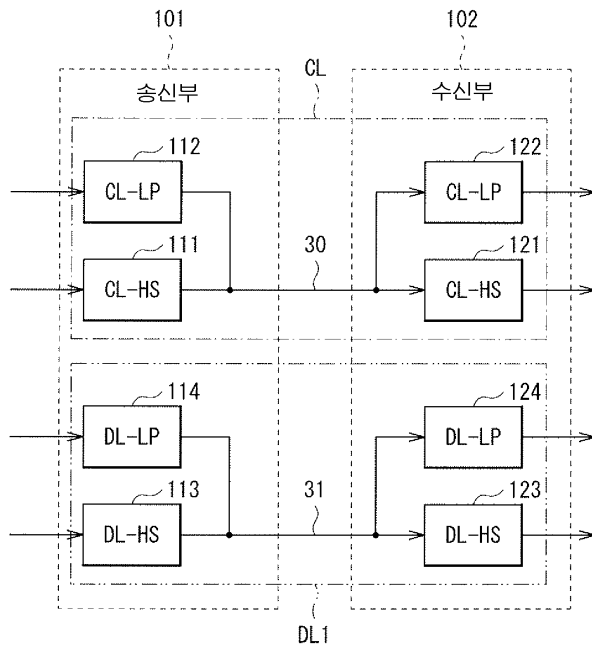
433 : 셀렉터
434 : SerDes 회로
441 : 접속 인터페이스
442 : 접속 인터페이스
501 : 메모리
502 : 무선 통신부
504 : 디스플레이
AP : 어플리케이션 프로세서
IS : 이미지 센서
TX : 송신부
RX : 수신부
Dp : 신호선
Dn : 신호선
CL : 클록 라인
DL, DL1, DL2, DL3, DL4 : 데이터 라인

도면

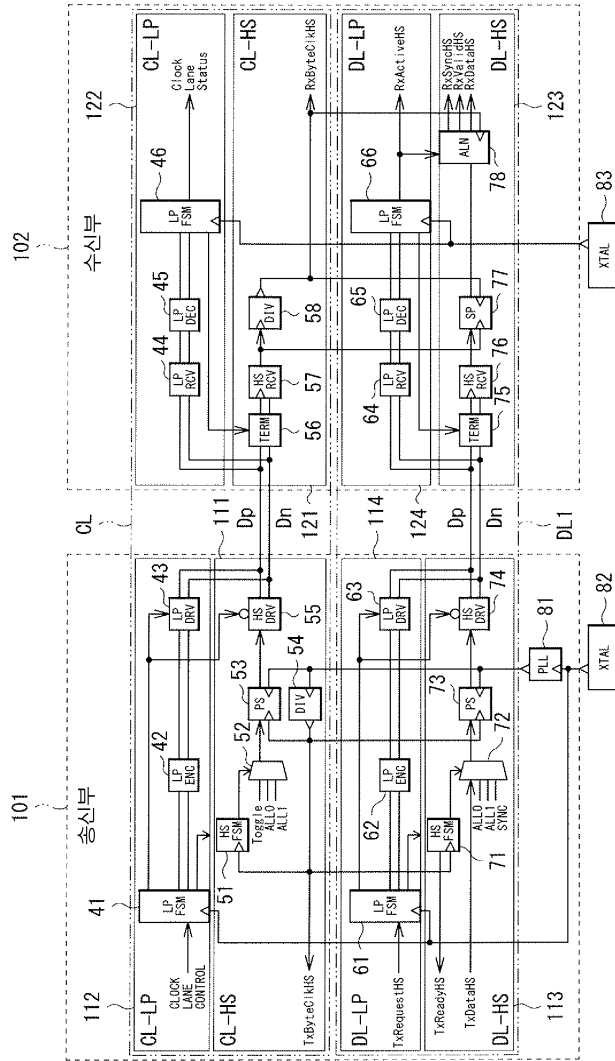
도면1



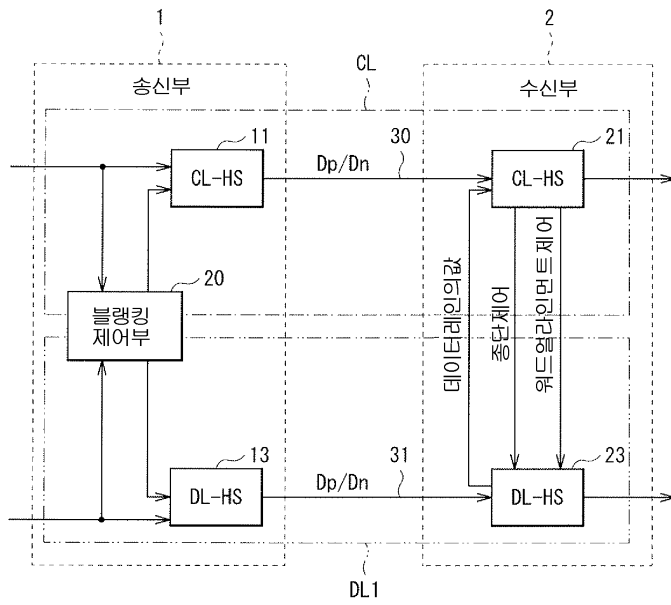
도면2



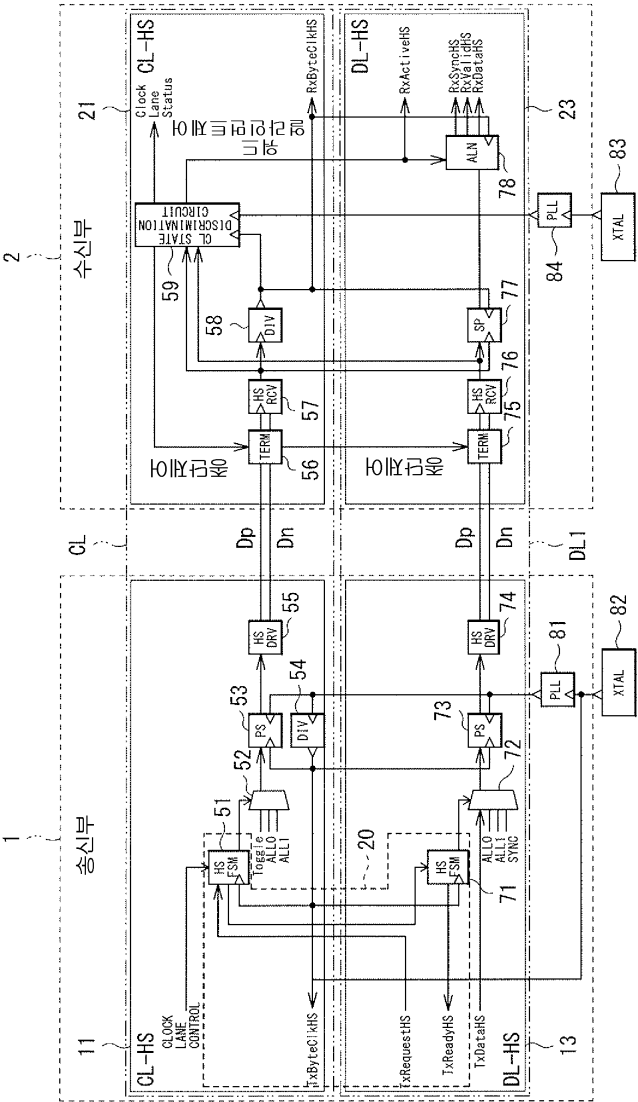
도면3



도면5



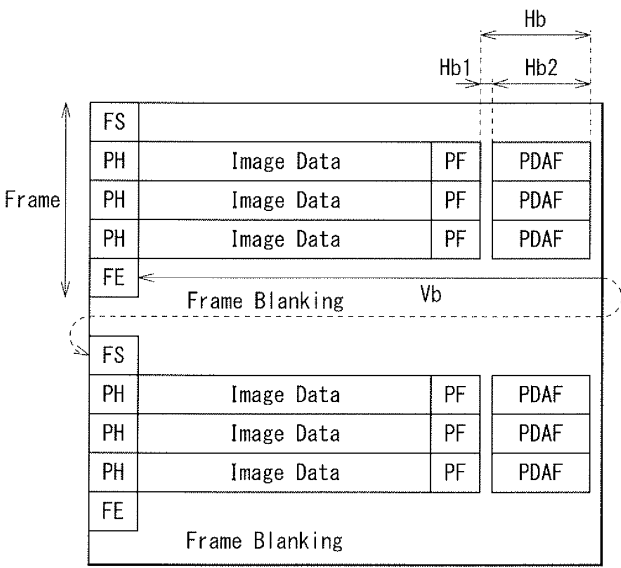
도면6



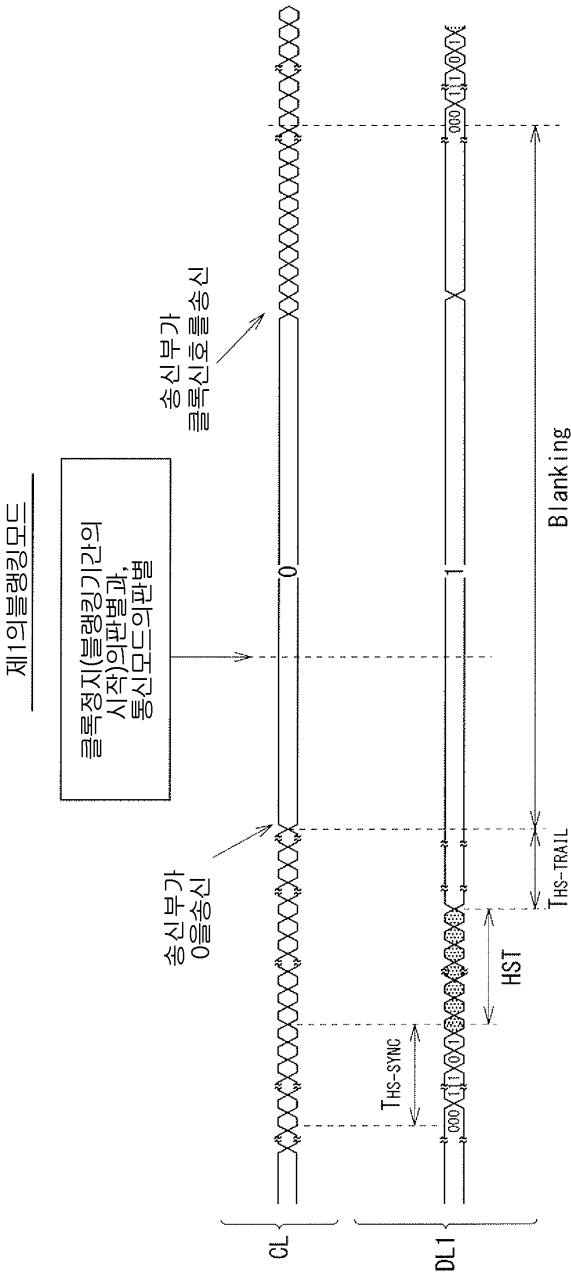
도면7

블랭킹모드	전송기간 (블랭킹기간)	종단제어
제1의블랭킹모드 (LRTE)	짧다, 고정길이	없음
제2의블랭킹모드 (ALP)	길다, 가변길이	있음

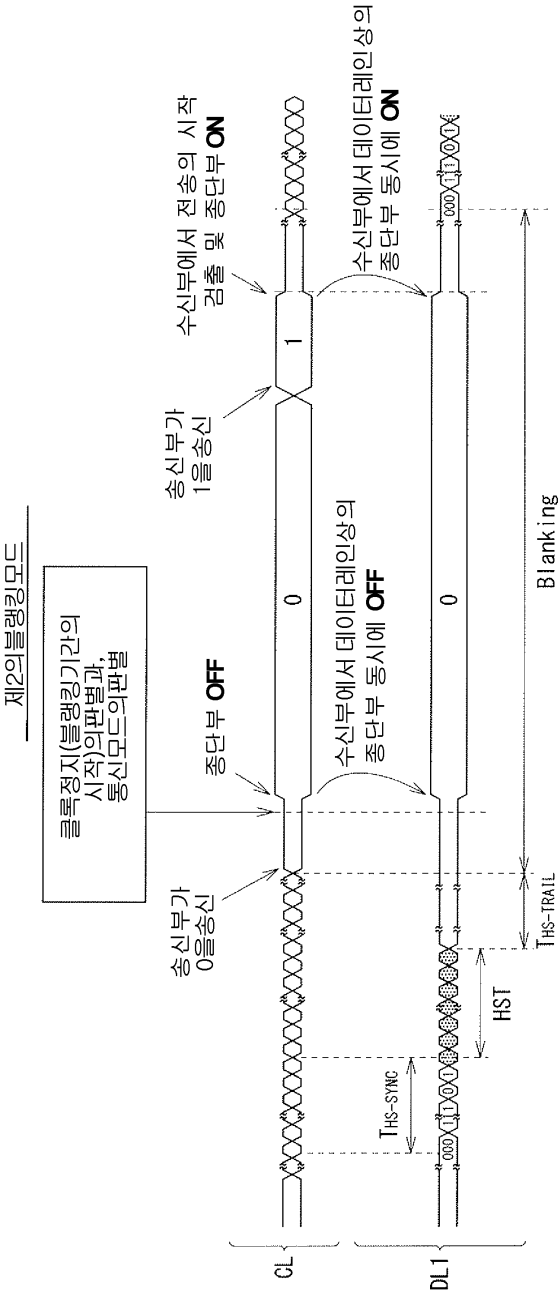
도면8



도면9



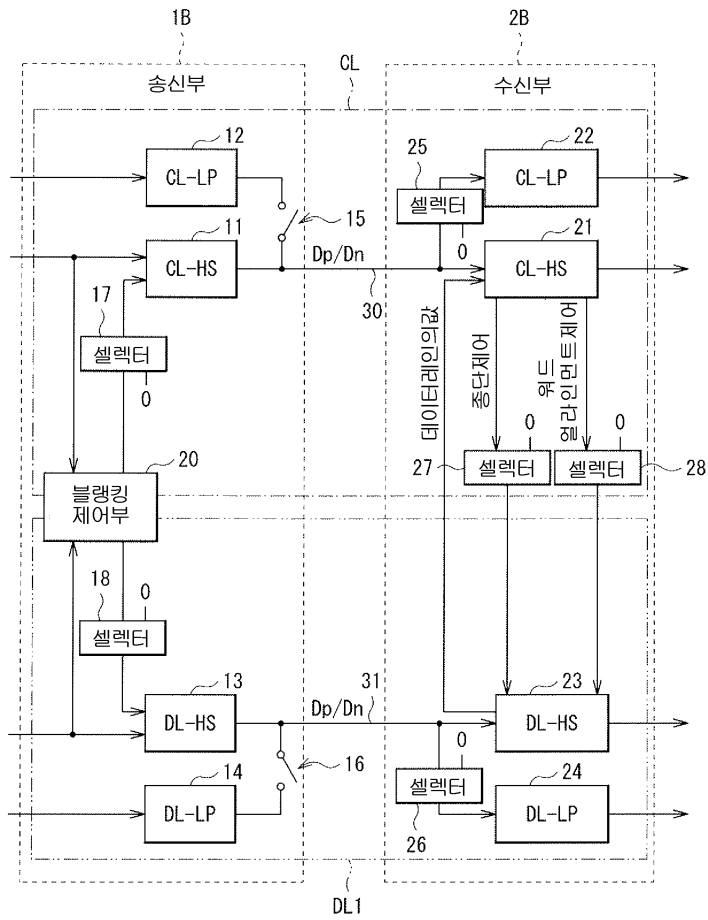
도면10



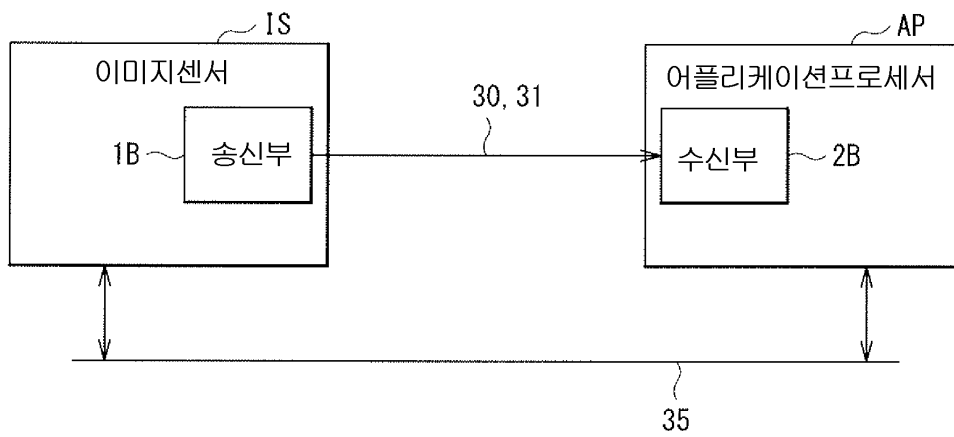
도면11

State Code	Line Voltage Levels		High-Speed
	Dp-Line	Dn-Line	Burst Mode
0	HS Low	HS High	Differential-0
1	HS High	HS Low	Differential-1

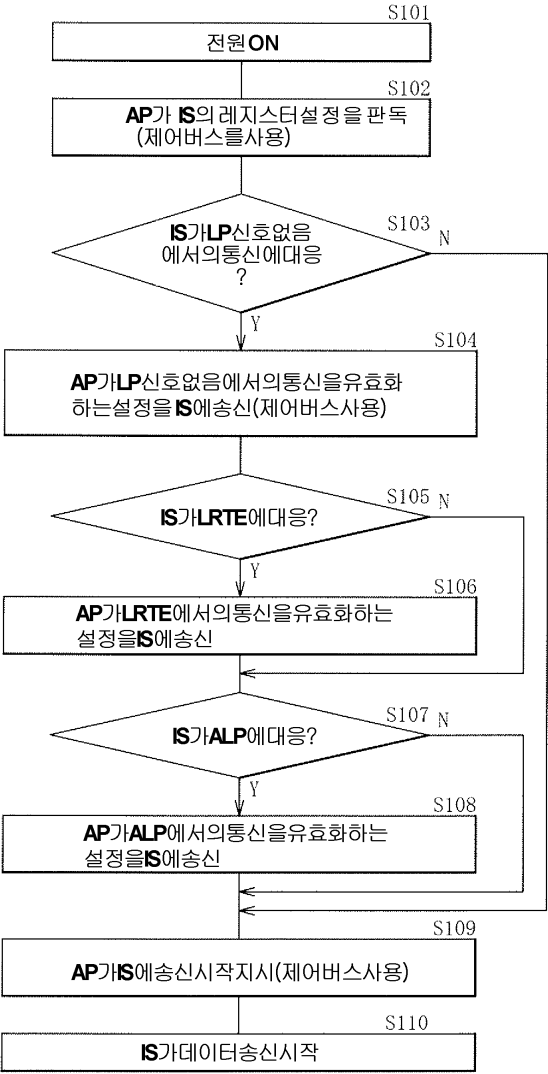
도면12



도면13



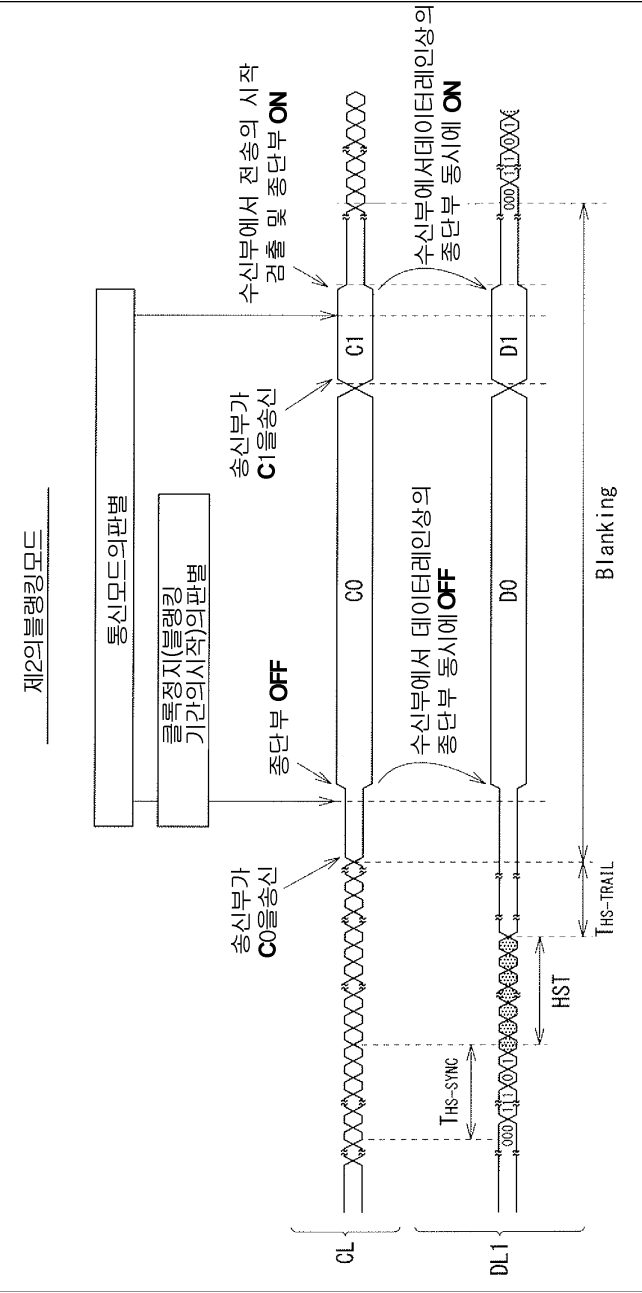
도면14



도면15

데이터 전송 모드	전송 속도
제1의 데이터 전송 모드 (고속 전송 모드)	고속
제2의 데이터 전송 모드 (저속 전송 모드)	저속

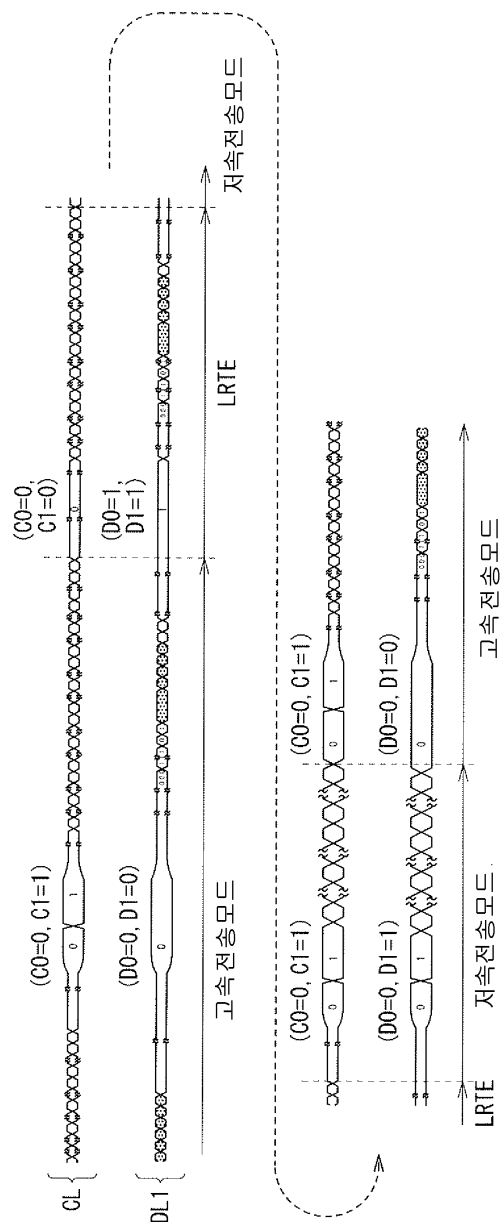
도면18



도면 19

		(C0, C1)			
		(0, 1)	(1, 0)	(0, 0)	(1, 1)
(D0, D1)	(0, 0)	고속전송모드	Reserved	—	—
	(0, 1)	저속전송모드	Reserved	Reserved	Reserved
	(1, 0)	Reserved	Reserved	Reserved	Reserved
	(1, 1)	Reserved	Reserved	—	—

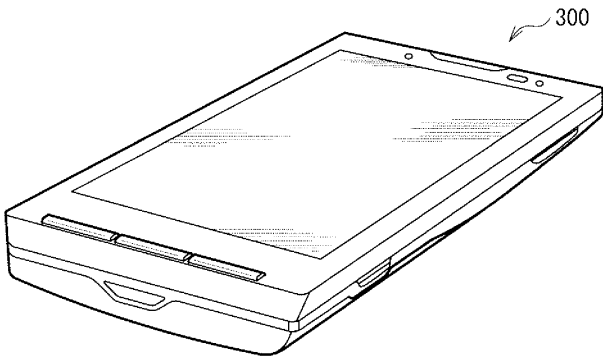
도면 20



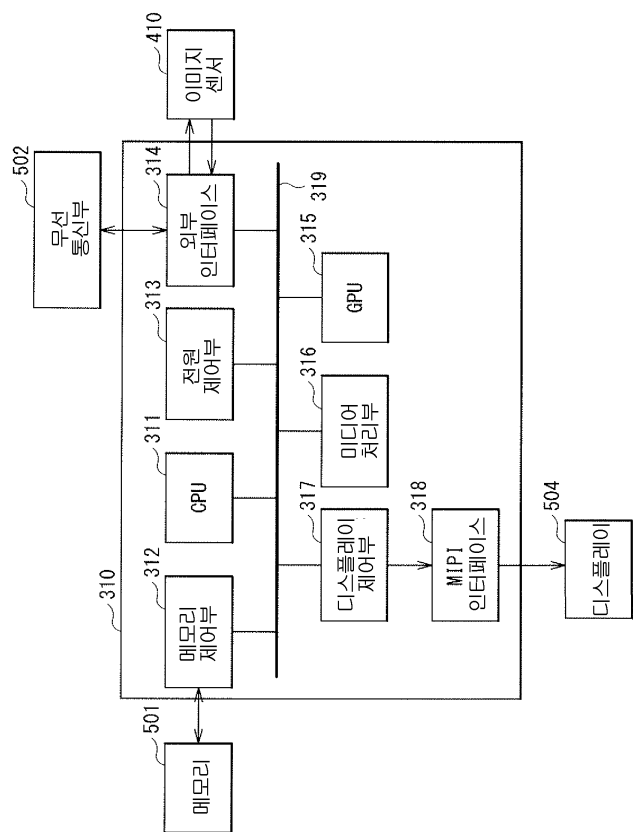
도면21

C0	D0	중단 ON/OFF	C1	D1	중단 ON/OFF	내용
0	0	OFF	0	0	Reserved	Reserved
				1	Reserved	Reserved
	1	ON	1	0	ON	고속전송모드시작
				1	OFF	저속전송모드시작
1	0	Reserved	0	0	Reserved	Reserved
				1	ON	LRTE STARTS
			1	0	Reserved	Reserved
				1	Reserved	Reserved
	1	Reserved	0	0	Reserved	Reserved
				1	Reserved	Reserved
			1	0	Reserved	Reserved
				1	Reserved	Reserved
	0	Reserved	0	0	Reserved	Reserved
				1	Reserved	Reserved
			1	0	Reserved	Reserved
				1	Reserved	Reserved
	1	Reserved	0	0	Reserved	Reserved
				1	Reserved	Reserved
	0	Reserved	1	0	Reserved	Reserved
				1	Reserved	Reserved

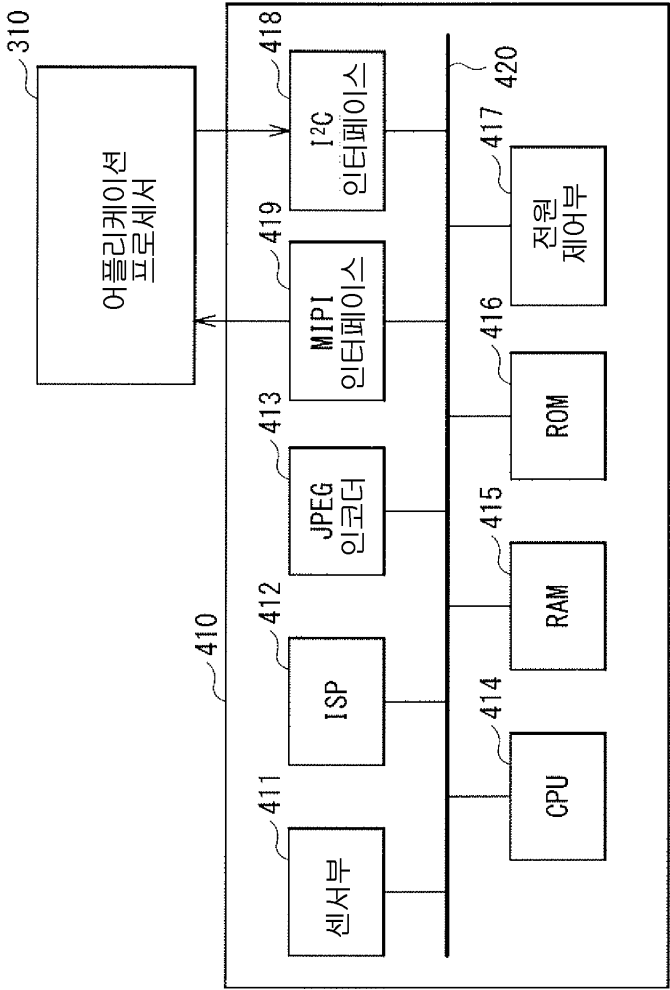
도면22



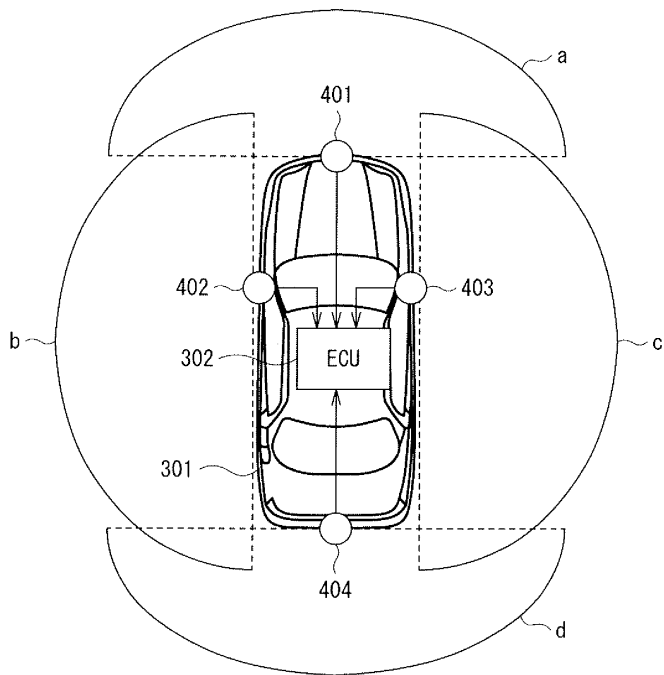
도면23



도면24



도면25



도면26

