



(12) 发明专利

(10) 授权公告号 CN 101355089 B

(45) 授权公告日 2012. 06. 27

(21) 申请号 200810144235. 2

(22) 申请日 2008. 07. 22

(30) 优先权数据

2007-195252 2007. 07. 26 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 黑川义元 池田隆之

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(56) 对比文件

US 2002009890 A1, 2002. 01. 24,

US 2002009890 A1, 2002. 01. 24,

CN 1956225 A, 2007. 05. 02,

CN 1956225 A, 2007. 05. 02,

审查员 刘佳秋

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 29/786(2006. 01)

H01L 27/15(2006. 01)

H01L 27/32(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

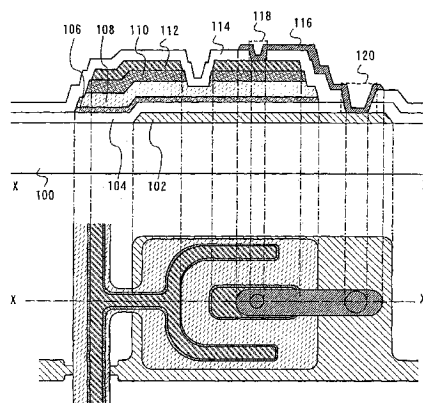
权利要求书 3 页 说明书 34 页 附图 31 页

(54) 发明名称

显示装置

(57) 摘要

本发明的目的在于提供一种包括由其尺寸小且耐压性高的薄膜晶体管构成的保护电路的显示装置。在显示装置的保护电路中,使用重叠有非晶半导体层、微晶半导体层、接触于该微晶半导体层的栅极绝缘层、以及栅电极层的薄膜晶体管。因为微晶半导体层的电流驱动能力高,所以可以缩小晶体管的尺寸。此外,通过具有非晶半导体层,可以提高耐压性。在此,显示装置是指液晶显示装置或者发光装置。



1. 一种显示装置,包括:
输入端子;
像素部;以及
在所述输入端子和所述像素部之间的至少具有薄膜晶体管的保护电路,其特征在于,
所述薄膜晶体管包括:
栅电极;
覆盖所述栅电极的栅极绝缘层;
所述栅极绝缘层上的微晶半导体层;
所述微晶半导体层上的缓冲层;
所述缓冲层上的源区及漏区;
接触于所述源区的源电极;以及
接触于所述漏区的漏电极,其中
重叠于所述源区及所述漏区的所述缓冲层的区域,厚于重叠于沟道形成区的缓冲层的区域,
在所述源电极及所述漏电极上设置包括第一开口部和第二开口部的保护绝缘层,
所述第一开口部设置为到达所述源电极和所述漏电极中的一个,
所述第二开口部设置为到达所述栅电极,
在所述保护绝缘层上设置使所述第一开口部和所述第二开口部连接的电极。
2. 根据权利要求1所述的显示装置,其特征在于,
所述缓冲层是非晶半导体层。
3. 根据权利要求2所述的显示装置,其特征在于,
所述非晶半导体层包括氮。
4. 根据权利要求2所述的显示装置,其特征在于,
所述非晶半导体层包括氢。
5. 根据权利要求2所述的显示装置,其特征在于,
所述非晶半导体层包括氟、氯、以及碘中的至少一种。
6. 根据权利要求1所述的显示装置,其特征在于,
所述源区和所述漏区的端部与所述缓冲层的凹部实质上一致。
7. 根据权利要求1所述的显示装置,其特征在于,
所述显示装置是包括液晶元件的液晶显示装置。
8. 根据权利要求1所述的显示装置,其特征在于,
所述显示装置是包括发光元件的发光装置。
9. 一种显示装置,包括:
输入端子;
像素部;以及
在所述输入端子和所述像素部之间的至少具有薄膜晶体管的保护电路,其特征在于,
所述薄膜晶体管包括:
第一导电层;
覆盖所述第一导电层的第一绝缘层;

所述第一绝缘层上的微晶半导体层；
所述微晶半导体层上的非晶半导体层；
所述微晶半导体层上的第一杂质半导体层及第二杂质半导体层；以及
一对第二导电层，其中的每一层接触于所述第一杂质半导体层或所述第二杂质半导体层，其中

重叠于所述第一杂质半导体层及所述第二杂质半导体层的所述非晶半导体层的区域，
厚于重叠于沟道形成区的所述非晶半导体层的区域，

在所述一对第二导电层上设置包括第一开口部和第二开口部的第二绝缘层，

所述第一开口部设置为到达所述一对第二导电层中的一层，

所述第二开口部设置为到达所述第一导电层，

在所述第二绝缘层上设置使所述第一开口部和所述第二开口部连接的第三导电层。

10. 根据权利要求 9 所述的显示装置，其特征在于，

所述非晶半导体层包括氮。

11. 根据权利要求 9 所述的显示装置，其特征在于，

所述非晶半导体层包括氢。

12. 根据权利要求 9 所述的显示装置，其特征在于，

所述非晶半导体层包括氟、氯以及碘中的至少一种。

13. 根据权利要求 9 所述的显示装置，其特征在于

所述第一杂质半导体层及所述第二杂质半导体层的端部与所述非晶半导体层的凹部实质上一致。

14. 根据权利要求 9 所述的显示装置，其特征在于，

所述显示装置是包括液晶元件的液晶显示装置。

15. 根据权利要求 9 所述的显示装置，其特征在于，

所述显示装置是包括发光元件的发光装置。

16. 一种显示装置，包括：

输入端子；

像素部；以及

在所述输入端子和所述像素部之间的至少具有薄膜晶体管的保护电路，其特征在于，

所述薄膜晶体管包括：

栅电极；

覆盖所述栅电极的栅极绝缘层；

所述栅极绝缘层上的微晶硅层；

所述微晶硅层上的缓冲层；

所述缓冲层上的源区及漏区；

接触于所述源区的源电极；以及

接触于所述漏区的漏电极，其中

重叠于所述源区及所述漏区的所述缓冲层的区域，厚于重叠于沟道形成区的缓冲层的区域，

在所述源电极及所述漏电极上设置包括第一开口部和第二开口部的保护绝缘层，

- 所述第一开口部设置为到达所述源电极和所述漏电极中的一个，
所述第二开口部设置为到达所述栅电极，
在所述保护绝缘层上设置使所述第一开口部和所述第二开口部连接的电极。
17. 根据权利要求 16 所述的显示装置，其特征在于，
所述缓冲层是非晶半导体层。
18. 根据权利要求 17 所述的显示装置，其特征在于，
所述非晶半导体层包括氮。
19. 根据权利要求 17 所述的显示装置，其特征在于，
所述非晶半导体层包括氢。
20. 根据权利要求 17 所述的显示装置，其特征在于，
所述非晶半导体层包括氟、氯、以及碘中的至少一种。
21. 根据权利要求 16 所述的显示装置，其特征在于，
所述源区和所述漏区的端部与所述缓冲层的凹部实质上一致。
22. 根据权利要求 16 所述的显示装置，其特征在于，
所述显示装置是包括液晶元件的液晶显示装置。
23. 根据权利要求 16 所述的显示装置，其特征在于，
所述显示装置是包括发光元件的发光装置。

显示装置

技术领域

[0001] 本发明涉及具有薄膜晶体管的显示装置。本发明特别涉及液晶显示装置或者发光装置。

背景技术

[0002] 近年来,通过使用在具有绝缘表面的衬底上形成的半导体薄膜(厚度为几 nm 至几百 nm 左右)来构成薄膜晶体管的技术引人注目。薄膜晶体管广泛地应用于诸如 IC、电光装置等的电子装置。特别是,用作如液晶显示装置等图像显示装置的开关元件的开发是当务之急的。

[0003] 在以薄膜晶体管为典型的半导体元件中,怎样抑制引起元件的退化或绝缘击穿的带电现象(charging)是在半导体器件的制造工序中的重要课题之一。特别地,因为伴随高集成化,栅极绝缘膜等各种绝缘膜的厚度减少,所以带电现象所引起的绝缘击穿成为更重大的问题。

[0004] 发生带电现象的原因、环境是极为复杂且涉及许多方面。因此,不但需要明确发生带电现象的原因和环境,而且需要设法提高半导体器件的结构本身的对于带电现象所引起的退化或绝缘击穿的耐性。为了防止带电现象所引起的退化或绝缘击穿,通过利用使用二极管(保护二极管)构成的保护电路,来确保放电路径是 very 有效的。通过确保放电路径,可以防止储存在绝缘膜中的电荷在半导体元件的附近放电,并且可以防止由于放电时的能量而半导体元件退化或破坏的现象(ESD:静电放电)。

[0005] 此外,通过设置保护电路,即使在杂音与信号、电源电压一起被输入的情况下,也可以防止该杂音所引起的电路的错误工作,并且可以该杂音所引起的半导体元件的退化或破坏。

[0006] 在如液晶显示装置等的图像显示装置中,作为开关元件,主要使用利用非晶半导体膜的薄膜晶体管或者利用多晶半导体膜的薄膜晶体管。

[0007] 作为多晶半导体膜的形成方法,一般知道如下技术:通过利用光学系统将脉冲振荡的受激准分子激光束加工为线状,并且在对于非晶半导体膜扫描线状激光束的同时进行照射来实现晶化。

[0008] 此外,作为图像显示装置的开关元件,除了利用非晶半导体膜的薄膜晶体管或利用多晶半导体膜的薄膜晶体管以外,一般还知道利用微晶半导体膜的薄膜晶体管(例如,参照专利文献 1 至 4)。

[0009] 作为利用微晶半导体膜的薄膜晶体管的制造方法,一般知道如下技术:在栅极绝缘膜上形成非晶硅膜,并在该非晶硅膜上形成金属膜,且对该金属膜照射二极管激光,来将非晶硅膜变成为微晶硅膜。在该制造方法中,形成在非晶硅膜上的金属膜只进行将二极管激光的光能量转换为热能量的任务,并且在以后工序中被去掉。就是说,只利用从金属膜的传导加热对非晶硅膜进行加热,并且利用该热来形成微晶硅膜(例如,参照非专利文献 1)。

[0010] [专利文献 1] 日本专利特开平 4-242724 号公报

[0011] [专利文献 2] 日本专利特开 2005-49832 号公报

[0012] [专利文献 3] 美国专利第 4409134 号

[0013] [专利文献 4] 美国专利第 5591987 号

[0014] [非专利文献 1] Toshiaki Arai 以及其他、SID'07 DIGEST、2007、pp. 1370-1373

[0015] 在利用非晶半导体膜的薄膜晶体管中,载流子的迁移率低。就是说,电流驱动能力低。因此,有如下问题:当通过使用利用非晶半导体膜的薄膜晶体管来形成保护电路时,为了实行充分的静电击穿对策,不得不形成尺寸大的晶体管,而阻碍窄边框化。此外,还有如下问题:通过形成尺寸大的晶体管,电连接到栅电极的扫描线和电连接到源电极或漏电极的信号线之间的电容增大,而导致耗电量的增大。

[0016] 对利用多晶半导体膜的薄膜晶体管来说,与利用非晶半导体膜的薄膜晶体管相比,其迁移率高二位数以上,所以可以在一个衬底上形成液晶显示装置的像素部和其周边的驱动电路。然而,对利用多晶半导体膜的薄膜晶体管来说,与利用非晶半导体膜的薄膜晶体管相比,由于半导体膜的晶化而制造工序变为复杂。因此,有成品率低且成本高的问题。

[0017] 另一方面,有如下问题:微晶半导体膜的晶粒的表面容易氧化。因此,沟道形成区中的晶粒在薄膜晶体管的制造工序中容易氧化,而在晶粒的表面上形成氧化膜。在此,有该氧化膜阻碍载流子的迁移,而薄膜晶体管的电特性降低(例如,迁移率降低)的问题。

[0018] 此外,对用于保护电路的薄膜晶体管常常施加高电压,或者有时流过大电流。

[0019] 此外,为了以少工序成品率好地制造显示装置,优选同时地形成:形成在像素内的薄膜晶体管;形成在与该薄膜晶体管相同的衬底上且构成保护电路的薄膜晶体管。

发明内容

[0020] 鉴于上述问题,本发明的目的在于以低成本成品率好地制造包括电特性良好且可靠性高的薄膜晶体管的显示装置。

[0021] 本发明之一在显示装置中使用微晶半导体层作为构成保护电路的薄膜晶体管的半导体层。在该微晶半导体层上设置非晶半导体层作为缓冲层。以下,说明该薄膜晶体管的结构。

[0022] 本发明的薄膜晶体管是反交错型,覆盖栅电极地具有栅极绝缘膜,在该栅极绝缘膜上具有用作沟道形成区的微晶半导体层(也称为半非晶半导体层),在该微晶半导体层上具有缓冲层,在该缓冲层上具有一对源区及漏区,并且具有接触于源区及漏区的一对源电极及漏电极。此外,在与源电极及漏电极相对的区域中,源电极及漏电极的一部分、以及缓冲层的一部分露出。

[0023] 或者,优选使源区及漏区的一部分露出地具有接触于源区及漏区的一对源电极及漏电极。这是为了降低源电极及漏电极之间的漏电流的。此时,源区及漏区具有接触于源电极及漏电极的区域、以及不接触于源电极及漏电极的区域。此外,在源电极及漏电极的端部的外侧形成源区及漏区的端部。

[0024] 本发明的显示装置是一种具有输入端子、以及像素部的显示装置,在所述输入端子和所述像素部之间至少包括一个保护电路,其中,所述保护电路至少包括一个薄膜晶体管,并且所述薄膜晶体管包括栅电极、覆盖所述第一栅电极地设置的栅极绝缘层、设置在所述栅极绝缘层上的微晶半导体层、设置在所述微晶半导体层上的缓冲层、设置在所述缓冲

层上的一部分的源区及漏区,该源区及漏区的侧面在与所述缓冲层的凹部的侧面大概相同的表面上存在、接触于所述源区上地设置的源电极、接触于所述漏电极上地设置的漏电极,并且在所述缓冲层中,重叠于所述源区及漏区的区域厚于重叠于沟道形成区的区域,并且在所述源电极及漏电极上包括保护绝缘层,并且所述保护绝缘层包括第一开口部及第二开口部,并且到达所述源电极或漏电极地设置所述第一开口部,并且到达所述栅电极上地设置所述第二开口部,并且在所述保护绝缘层上设置有使所述第一开口部和所述第二开口部连接的电极。

[0025] 由于源电极及漏电极的端部与源区及漏区的端部不一致,并且在源电极及漏电极的端部的外侧形成源区及漏区的端部,而源电极及漏电极的端部的距离变大,所以可以降低源电极及漏电极之间的漏电流而防止短路。另外,电场不集中于源电极及漏电极和源区及漏区的端部,可以降低栅电极、源电极及漏电极之间的漏电流。

[0026] 此外,缓冲层在其一部分包括凹部,并且该凹部的侧面与源区及漏区的端部一致。因为缓冲层在其一部分包括凹部且源区和漏区的泄漏路径(leak path)的距离大,所以可以降低源区及漏区之间的漏电流,并且可以减少截止电流。

[0027] 此外,也在微晶半导体层和源区及漏区之间包括缓冲层。微晶半导体层用作沟道形成区。此外,缓冲层防止微晶半导体层的氧化,而用作高电阻区。因为在微晶半导体层和源区及漏区之间具有设置有凹部的缓冲层,所以可以形成迁移率高、漏电流小、耐压性高的薄膜晶体管。通过降低薄膜晶体管的漏电流,可以减少截止电流。

[0028] 缓冲层可以由非晶半导体形成,并且优选使其包括氮、氢、和卤中的任一种以上。通过使非晶半导体层包括氮、氢、和卤中的任一种以上,可以降低包括在微晶半导体层中的晶粒氧化。

[0029] 缓冲层可以通过等离子体 CVD 法或溅射法等形成。此外,可以在形成非晶半导体层之后,使非晶半导体层暴露于氮等离子体、氢等离子体、或者卤等离子体,来使非晶半导体层氮化、氢化或卤化。

[0030] 通过在微晶半导体层的表面上设置缓冲层,可以降低微晶半导体层包括的晶粒(特别是其表面)的氧化,而可以降低薄膜晶体管的电特性的恶化。

[0031] 可以在衬底上直接形成微晶半导体层。具体地说,可以通过以氢化硅(硅烷等)为原料气体,且利用等离子体 CVD 法,来进行成膜。通过利用上述方法而制造出的微晶半导体层也包括在非晶半导体层中包括大约 0.5nm 以上且 20nm 以下的半导体晶粒的微晶半导体。因此,与在使用多晶半导体层的情况不同,不一定需要在形成半导体层之后,提供激光晶化法等晶化工序。通过利用微晶半导体层,可以削减薄膜晶体管的制造工序的数目,而提高显示装置的成品率,其结果,可以抑制成本。在本说明书中,将通过成膜而可以得到的膜(层)称为微晶半导体膜(层),并且将在成膜之后以不熔化程度的能量密度照射激光束来使结晶生长而可以取得的膜(层)称为 LPSAS 膜(层)。此外,利用频率为 1GHz 以上的微波的等离子体的电子密度高,而容易分离作为原料气体的氢化硅。因此,与频率为几十 MHz 以上且几百 MHz 以下的微波等离子体 CVD 法相比,可以容易制造微晶半导体层,而可以提高成膜速度。由此,可以提高显示装置的批量生产性(生产性)。

[0032] 此外,在本发明中,通过将具有微晶半导体层的薄膜晶体管使用于保护电路来制造显示装置。利用微晶半导体层的薄膜晶体管的迁移率大约为 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 以上且 $20\text{cm}^2/$

V·sec 以下,是利用非晶半导体层的薄膜晶体管的迁移率的大约 2 倍至 20 倍。因此,也可以在与像素部相同的衬底上集成形成驱动电路的一部分或整体,来形成系统化面板(system-on-panel)。

[0033] 此外,具体地说,元件衬底既可以处于只形成有显示元件的像素电极的状态,又可以处于在形成成为像素电极的导电层之后且在进行蚀刻来形成像素电极之前的状态。就是说,可以处于所有状态。

[0034] 另外,本说明中的液晶显示装置是指图像显示装置或者光源(包括照明装置)。此外,安装有连接器例如 FPC(柔性印刷电路)、TAB(带式自动接合)胶带或者 TCP(带载封装)的模块、在 TAB 胶带或者 TCP 的端部设置有印刷线路板的模块、或者通过 COG(玻璃上芯片安装)方式在显示元件直接安装有 IC(集成电路)的模块也都包括在液晶显示装置中。

[0035] 另外,在本说明书中的 LPSAS 是指通过对成膜后的微晶半导体层进行激光处理(Laser Process;以下也称为“LP”)而取得的结晶半导体。

[0036] 另外,在本发明中的微晶半导体层的形成中,在栅极绝缘层上堆积微晶硅(半非晶硅,以下也称为“SAS”)层。然后,从微晶半导体层的表面一侧照射激光束。激光束以半非晶硅层不熔化的能量密度照射。换言之,在本发明中的 LP 是通过利用辐射加热且不使半非晶硅层熔化而进行的引起固相结晶生长的。换言之,它是利用堆积了的半非晶硅层不成为液相的临界区域的,并且在该意思上也可以称为“临界生长”。

[0037] 上述激光束可以作用到半非晶硅层和栅极绝缘层的界面。由此,可以以形成在半非晶硅层的结晶为核,进行固相结晶生长,来形成结晶性改善了的半非晶硅层。典型地,以形成在半非晶硅层的表面一侧的结晶为核,固相结晶生长从该表面向与栅极绝缘层的界面进展,来形成实质上柱形的结晶。或者,以形成在半非晶硅层中的结晶为核,使该晶核向半非晶硅层的表面和栅极绝缘层的界面进行固相结晶生长,而可以形成结晶性改善了的半非晶硅层。利用 LP 处理的固相结晶生长不是扩大结晶粒径的,而是向激光的照射方向(层的厚度方向)进展结晶生长的。

[0038] 在上述 LP 处理中,通过将激光束聚焦为特长矩形(成形为线状激光束),例如可以利用一次激光束扫描处理在 730mm×920mm 的玻璃衬底上的半非晶硅层。在此情况下,将使线状激光束彼此重叠的比例(重叠率)设定为 0%至 90%、优选为 0%至 67%,来进行处理。由此,缩短对于一个衬底需要的处理时间,而可以提高生产率。但是,激光束的形状不局限于线状,也可以为面状。此外,在 LP 处理中对玻璃衬底的尺寸没有限制,而可以应用于各种尺寸的衬底。通过进行 LP 处理,改善微晶半导体层和栅极绝缘层的界面区域的结晶性,而可以提高具有底栅结构的晶体管的电特性。

[0039] 根据这种临界生长,不形成发生在现有的低温多晶硅的表面的凹凸(称为皱纹的凸状体),而 LP 处理后的硅表面成为平滑。

[0040] 如上所述,通过使激光束对成膜后的半非晶硅层直接起作用而得到的结晶硅层在其生长机理及形成的层的膜质上极为不同于现有的依然堆积的微晶硅层、利用传导加热而其性质改变了的微晶硅层(非专利文献 1 所示的)。

[0041] 另外,在本说明书中,非晶半导体层优选包括氮、氢、氟、或者氯。

[0042] 根据本发明,可以以低成本且成品率好地制造具有电特性良好且可靠性高的薄膜晶体管的显示装置。

附图说明

- [0043] 图 1 是说明使用于本发明的薄膜晶体管的结构的一个例子的图；
- [0044] 图 2 是说明可以应用本发明的显示装置的一个例子的图；
- [0045] 图 3A 至 3F 是说明应用本发明的保护电路的电路结构的例子的图；
- [0046] 图 4A 至 4C 是说明使用于本发明的薄膜晶体管的制造方法的一个例子的图；
- [0047] 图 5A 至 5C 是说明使用于本发明的薄膜晶体管的制造方法的一个例子的图；
- [0048] 图 6 是使用于本发明的用于制造薄膜晶体管的等离子体 CVD 装置的俯视图；
- [0049] 图 7 是定义本说明书中的锥形角的图；
- [0050] 图 8 是说明可以应用本发明的液晶显示装置的图；
- [0051] 图 9 是说明可以应用本发明的液晶显示装置的图；
- [0052] 图 10 是说明可以应用本发明的液晶显示装置的图；
- [0053] 图 11 是说明可以应用本发明的液晶显示装置的图；
- [0054] 图 12 是说明可以应用本发明的液晶显示装置的图；
- [0055] 图 13 是说明可以应用本发明的液晶显示装置的图；
- [0056] 图 14 是说明可以应用本发明的液晶显示装置的图；
- [0057] 图 15 是说明可以应用本发明的液晶显示装置的图；
- [0058] 图 16 是说明可以应用本发明的液晶显示装置的图；
- [0059] 图 17 是说明可以应用本发明的液晶显示装置的图；
- [0060] 图 18 是说明可以应用本发明的液晶显示装置的图；
- [0061] 图 19 是说明可以应用本发明的液晶显示装置的图；
- [0062] 图 20 是说明可以应用本发明的液晶显示装置的图；
- [0063] 图 21 是说明可以应用本发明的液晶显示装置的图；
- [0064] 图 22A 和 22B 是说明可以应用本发明的发光装置的制造方法的一个例子图；
- [0065] 图 23A 至 23C 是说明可以应用本发明的发光装置的图；
- [0066] 图 24 是说明可以应用本发明的显示装置的结构框图；
- [0067] 图 25 是说明可以应用本发明的显示装置的驱动电路的等效电路图；
- [0068] 图 26 是说明可以应用本发明的显示装置的驱动电路的等效电路图；
- [0069] 图 27A 和 27B 是说明本发明的液晶显示面板的俯视图及剖视图；
- [0070] 图 28A 和 28B 是说明本发明的液晶显示面板的俯视图及剖视图；
- [0071] 图 29A 至 29C 是说明使用本发明的显示装置的电子设备的图；
- [0072] 图 30 是使用本发明的显示装置的电子设备的图。

具体实施方式

[0073] 下面,参照附图而说明本发明的实施方式。但是,本发明不局限于以下说明。这是因为如下缘故:所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。此外,当使用附图而说明本发明的结构时,在不同附图之间共同使用表示相同部分的附图标记。

[0074] 实施方式 1

[0075] 在本实施方式中,参照附图说明本发明的一个方式。

[0076] 首先,参照图 2 说明本发明的半导体显示装置的结构。图 2 表示形成有半导体显示装置的衬底 130 的俯视图。在衬底 130 上形成有像素部 131。此外,输入端子 132 及输入端子 133 对形成在衬底 130 上的像素电路供应用来显示图像的信号及电源电力。

[0077] 另外,本发明不局限于图 2 所示的方式。就是说,可以在衬底 130 上形成有扫描线驱动电路及信号线驱动电路中的一方或双方。

[0078] 并且,形成在衬底 130 上的扫描线一侧的输入端子 132 及信号线一侧的输入端子 133 利用纵横延伸的布线与像素部 131 连接,该布线与保护电路 134 至 137 连接。

[0079] 像素部 131 利用布线 139 与输入端子 132 连接。保护电路 134 配置在像素部 131 和输入端子 132 之间且连接到布线 139。通过设置保护电路 134,可以保护像素部 131 具有的薄膜晶体管等各种半导体元件,并且可以防止这些元件的退化或破坏。另外,布线 139 虽然在附图中指示一个布线,但是与布线 139 平行设置的多个布线都具有与布线 139 同样的连接关系。另外,布线 139 是用作扫描线的。

[0080] 另外,在扫描线一侧,除了设置在输入端子 132 和像素部 131 之间的保护电路 134 以外,还可以中间夹着像素部 131 在与输入端子 132 相反一侧也设置有保护电路(参照图 2 的保护电路 135)。

[0081] 另一方面,像素部 131 利用布线 138 与输入端子 133 连接。保护电路 136 配置在像素部 131 和输入端子 133 之间且连接到布线 138。通过设置保护电路 136,可以保护像素部 131 具有的薄膜晶体管等各种半导体元件,并且可以防止这些元件的退化或破坏。另外,布线 138 虽然在附图中指示一个布线,但是与布线 138 平行设置的多个布线都具有与布线 138 同样的连接关系。另外,布线 138 是用作信号线的。

[0082] 另外,在信号线一侧,除了设置在输入端子 133 和像素部 131 之间的保护电路 136 以外,还可以中间夹着像素部 131 在与输入端子 133 相反一侧也设置有保护电路(参照图 2 的保护电路 137)。

[0083] 另外,无需都设置保护电路 134 至 137。然而,至少需要设置保护电路 134。这是因为如下缘故:通过在扫描线发生过大的电流,像素部 131 具有的薄膜晶体管的栅极绝缘层被破坏,而有可能发生许多点缺陷。

[0084] 此外,通过不但设置保护电路 134,而且设置保护电路 136,可以防止在信号线发生过大的电流。因此,与只设置保护电路 134 的情况相比,可靠性提高,且成品率提高。通过具有保护电路 136,也可以防止在形成薄膜晶体管后的研磨工序等中有时发生的由于静电的破坏。

[0085] 再者,通过具有保护电路 135 及保护电路 137,可以进一步提高可靠性。此外,也可以提高成品率。保护电路 135 及保护电路 137 设置在与输入端子 132 及输入端子 133 相反一侧。因此,这些有助于防止在显示装置的制造工序(例如,研磨工序)中发生的各种半导体元件的退化及破坏。

[0086] 另外,在图 2 中,通过利用诸如 COG 方式、TAB 方式等已知方式将与衬底 130 另行形成的信号线驱动电路以及扫描线驱动电路安装到衬底 130。然而,不局限于此,也可以在衬底 130 上形成扫描线驱动电路和像素部,并且安装另行形成的信号线驱动电路。或者,

也可以将扫描线驱动电路的一部分或者信号线驱动电路的一部分与像素部 131 一起形成在衬底 130 上,并且安装扫描线驱动电路的其他部分或者信号线驱动电路的其他部分。当扫描线驱动电路的一部分设置在像素部 131 和扫描线一侧的输入端子 132 之间时,可以在扫描线一侧的输入端子 132 和衬底 130 上的扫描线驱动电路的一部分之间设置保护电路,也可以在扫描线驱动电路的一部分和像素部 131 之间设置保护电路,也可以在这些的双方设置保护电路。此外,当信号线驱动电路的一部分设置在像素部 131 和信号线一侧的输入端子 133 之间时,可以在信号线一侧的输入端子 133 和衬底 130 上的信号线驱动电路的一部分之间设置保护电路,也可以在信号线驱动电路的一部分和像素部 131 之间设置保护电路,也可以在这些的双方设置保护电路。就是说,因为驱动电路采用各种各样的方式,所以保护电路根据其方式而决定要设置的数量和地方。

[0087] 接着,参照图 3A 至 3F 将说明使用于图 2 中的保护电路 134 至 137 的保护电路的具体电路结构的例子。在具有微晶半导体层的薄膜晶体管中,n 型晶体管的迁移率高于 p 型晶体管,所以一般使用 n 型晶体管,而不是 p 型晶体管。因此,在以下说明中,只说明设置 n 型晶体管的情况。

[0088] 图 3A 所示的保护电路具有使用多个薄膜晶体管的保护二极管 151 至 154。保护二极管 151 包括串联连接的 n 型薄膜晶体管 151a 及 n 型薄膜晶体管 151b。并且,n 型薄膜晶体管 151a 的源电极及漏电极中的一方连接到 n 型薄膜晶体管 151a 及 n 型薄膜晶体管 151b 的栅电极,并且保持为电位 V_{ss} 。n 型薄膜晶体管 151a 的源电极及漏电极中的另一方连接到 n 型薄膜晶体管 151b 的源电极及漏电极中的一方。n 型薄膜晶体管 151b 的源电极及漏电极中的另一方连接到保护二极管 152。并且,其他保护二极管 152 至 154 也与保护二极管 151 同样地具有分别串联连接的多个薄膜晶体管,并且串联连接的多个薄膜晶体管的一端连接到多个薄膜晶体管的栅电极。

[0089] 另外,在本发明中,保护二极管 151 至 154 分别具有的薄膜晶体管的数量及极性不局限于图 3A 所示的结构。例如,保护二极管 151 也可以由串联连接的三个薄膜晶体管构成。

[0090] 而且,保护二极管 151 至 154 依次串联连接,并且保护二极管 152 和保护二极管 153 的中间连接到布线 155。另外,布线 155 是电连接到成为保护对象的半导体元件的。另外,与布线 155 连接的布线不局限于保护二极管 152 和保护二极管 153 之间的布线。换言之,布线 155 既可以连接到保护二极管 151 和保护二极管 152 的中间,又可以连接到保护二极管 153 和保护二极管 154 的中间。

[0091] 而且,保护二极管 154 的一端保持为电源电位 V_{dd} 。此外,保护二极管 151 至 154 中的每一个被连接,以受到反偏压的电压。

[0092] 图 3B 所示的保护电路包括保护二极管 160、保护二极管 161、电容元件 162、电容元件 163 以及电阻元件 164。电阻元件 164 是具有两个端子的电阻,对其一端从布线 165 供应电位 V_{in} ,而对其另一端供应电位 V_{ss} 。电阻元件 164 是为了当停止供应电位 V_{in} 时使布线 165 的电位成为 V_{ss} 而设置的,并且将其电阻值设定为比布线 165 的布线电阻十分大。保护二极管 160 及保护二极管 161 使用二极管连接的 n 型薄膜晶体管。

[0093] 另外,图 3A 至 3F 所示的保护二极管也可以具有进一步使多个薄膜晶体管串联连接的结构。

[0094] 在此,考虑到图 3A 至 3F 所示的保护二极管工作的情况。此时,在保护二极管 151、

152、156、161、170、171、174、175 的源电极及漏电极中,保持为电位 V_{ss} 一侧是漏电极。此外,另一方成为源电极。在保护二极管 153、154、157、160、172、173、176、177 的源电极及漏电极中,将保持为电位 V_{dd} 的一侧设定为源电极,并且将另一方设定为漏电极。另外,将构成保护二极管的薄膜晶体管的阈值电压表示为 V_{th} 。

[0095] 此外,保护二极管 151、152、156、161、170、171、174、175 当电位 V_{in} 高于电位 V_{ss} 时,受到反偏压的电压,而难以流过电流。另一方面,保护二极管 153、154、157、160、172、173、176、177 当电位 V_{in} 低于电位 V_{dd} 时,受到反偏压的电压,而难以流过电流。

[0096] 在此,将说明设置为电位 V_{out} 实质上成为电位 V_{ss} 和电位 V_{dd} 的中间的保护电路的工作。

[0097] 首先,考虑到电位 V_{in} 高于电位 V_{dd} 的情况。在电位 V_{in} 高于电位 V_{dd} 的情况下,当保护二极管 153、154、157、160、172、173、176、177 的栅电极和源电极之间的电位差 $V_{gs} = V_{in} - V_{dd} > V_{th}$ 时,该 n 型薄膜晶体管接通。在此,因为设想 V_{in} 非常高的情况,所以该 n 型薄膜晶体管接通。此时,保护二极管 151、152、156、161、170、171、174、175 具有的 n 型薄膜晶体管截止。此时,通过保护二极管 153、154、157、160、172、173、176、177,而布线 155、158、165、179A、179B 的电位成为 V_{dd} 。因而,即使由于杂音等而电位 V_{in} 非常高于电位 V_{dd} ,布线 155、158、165、179A、179B 的电位也不变高于电位 V_{dd} 。

[0098] 另一方面,在电位 V_{in} 低于电位 V_{ss} 的情况下,当保护二极管 151、152、156、161、170、171、174、175 的栅电极和源电极之间的电位差 $V_{gs} = V_{ss} - V_{in} > V_{th}$ 时,该 n 型薄膜晶体管接通。在此,因为设想 V_{in} 非常低的情况,所以 n 型薄膜晶体管接通。此时,保护二极管 153、154、157、160、172、173、176、177 具有的 n 型薄膜晶体管截止。此时,通过保护二极管 151、152、156、161、170、171、174、175,而布线 155、158、165、179A、179B 的电位成为 V_{ss} 。因而,即使由于杂音等而电位 V_{in} 非常低于电位 V_{ss} ,布线 155、158、165、179A、179B 的电位也不变低于电位 V_{ss} 。再者,电容元件 162、163 起如下作用:使输入电位 V_{in} 具有的脉冲状的杂音变钝,而缓和由于杂音而发生的电位的陡峭变化。

[0099] 另外,在电位 V_{in} 处于 $V_{ss} - V_{th}$ 至 $V_{dd} + V_{th}$ 之间的情况下,所有的保护二极管具有的 n 型薄膜晶体管截止,电位 V_{in} 输入到电位 V_{out} 。

[0100] 通过如上所述地配置保护电路,布线 155、158、165、179A、179B 的电位实质上保持为电位 V_{ss} 和电位 V_{dd} 之间。因而,可以防止布线 155、158、165、179A、179B 的电位脱离该范围。换言之,防止布线 155、158、165、179A、179B 成为非常高的电位或者非常低的电位,并且防止该保护电路的后级的电路破坏或退化,而可以保护后级的电路。

[0101] 再者,如图 3B 所示,通过在输入端子设置具有电阻元件 164 的保护电路,当不输入信号时,可以将被供应信号的所有的布线的电位成为一定(在此,电位 V_{ss})。换言之,当不输入信号时,也具有能够使布线彼此短路的作用短路环的功能。因此,可以防止起因于发生在布线之间的电位差的静电击穿。此外,因为电阻元件 164 的电阻值相对于布线电阻十分大,所以当输入信号时,可以防止供应给布线的信号降低到电位 V_{ss} 。

[0102] 在此,作为一个例子,对将阈值电压 $V_{th} = 0$ 的 n 型薄膜晶体管使用于图 3B 的保护二极管 160 及保护二极管 161 的情况进行说明。

[0103] 首先,当 $V_{in} > V_{dd}$ 时,保护二极管 160 成为 $V_{gs} = V_{in} - V_{dd} > 0$,而接通。保护二极管 161 截止。从而,布线 165 的电位成为 V_{dd} ,而成为 $V_{out} = V_{dd}$ 。

[0104] 另一方面,当 $V_{in} < V_{ss}$ 时,保护二极管 160 截止。保护二极管 161 成为 $V_{gs} = V_{ss} - V_{in} > 0$,而接通。从而,布线 165 的电位成为 V_{ss} ,而成为 $V_{out} = V_{ss}$ 。

[0105] 如此,即使在成为 $V_{in} < V_{ss}$ 或者 $V_{dd} < V_{in}$ 的情况下,也可以在 $V_{ss} < V_{out} < V_{dd}$ 的范围内进行工作。从而,即使在 V_{in} 过大或者过小的情况下,也可以防止 V_{out} 成为过大或者过小。从而,例如即使在由于杂音等而电位 V_{in} 低于电位 V_{ss} 的情况下,布线 165 的电位也不远比电位 V_{ss} 低。再者,电容元件 162 及电容元件 163 起如下作用:使输入电位 V_{in} 具有的脉冲状的杂音变钝,而缓和电位的陡峭变化。

[0106] 通过如上所述地配置保护电路,布线 165 的电位实质上保持为电位 V_{ss} 和电位 V_{dd} 之间。因而,可以防止布线 165 成为非常离开该范围的电位,而可以保护该保护电路的后级的电路(输入部电连接到 V_{out} 的电路)破坏或退化。再者,通过在输入端子设置保护电路,当不输入信号时,可以将被供应信号的所有的布线的电位保持为一定(在此,电位 V_{ss})。换言之,当不输入信号时,也具有能够使布线彼此短路的作为短路环的功能。因此,可以防止起因于发生在布线之间的电位差的静电击穿。此外,因为电阻元件 164 的电阻值十分大,所以当输入信号时,可以防止供应给布线 165 的信号的电位的降低。

[0107] 图 3C 所示的保护电路是保护二极管 160 以及保护二极管 161 分别代用两个 n 型薄膜晶体管的。

[0108] 此外,虽然图 3B 及 3C 所示的保护电路使用二极管连接的 n 型薄膜晶体管作为保护二极管,但是本发明不局限于该结构。

[0109] 此外,图 3D 所示的保护电路具有保护二极管 170 至 177、电阻元件 178。电阻元件 178 串联连接到布线 179A 和布线 179B 的中间。保护二极管 170 至 173 分别使用二极管连接的 n 型薄膜晶体管,而保护二极管 174 至 177 分别使用二极管连接的 n 型薄膜晶体管。

[0110] 保护二极管 170 和保护二极管 171 串联连接,一端保持为电位 V_{ss} ,另一端连接到电位 V_{in} 的布线 179A。保护二极管 172 和保护二极管 173 串联连接,一端保持为电位 V_{dd} ,另一端连接到电位 V_{in} 的布线 179A。保护二极管 174 和保护二极管 175 串联连接,一端保持为电位 V_{ss} ,另一端连接到电位 V_{out} 的布线 179B。保护二极管 176 和保护二极管 177 串联连接,一端保持为电位 V_{dd} ,另一端连接到电位 V_{out} 的布线 179B。

[0111] 此外,图 3E 所示的保护电路具有电阻元件 180、电阻元件 181、保护二极管 182。虽然在图 3E 中使用二极管连接的 n 型薄膜晶体管作为保护二极管 182,但是本发明不局限于该结构。也可以使用二极管连接的多个薄膜晶体管。电阻元件 180、电阻元件 181、保护二极管 182 与布线 183 串联连接。

[0112] 通过利用电阻元件 180 和电阻元件 181,缓和布线 183 的电位的急剧变动,而可以防止半导体元件的退化或破坏。此外,通过利用保护二极管 182,可以防止由于电位的变动而反偏压电流流过布线 183。

[0113] 另外,图 3A 所示的保护电路可以调换为图 3F 所示的结构。特别地,在本发明中使用的保护电路的耐压性高,所以可以使用如图 3F 所示的结构。

[0114] 另外,在只使电阻元件与布线串联连接的情况下,缓和布线的电位的急剧变动,而可以防止半导体元件的退化或破坏。此外,在只使保护二极管与布线串联连接的情况下,可以防止由于电位的变动而反方向电流流过布线。

[0115] 此外,在本发明中使用的保护电路不局限于图 3A 至 3F 所示的结构,只要是同样工

作的电路结构,就可以适当地改变设计。

[0116] 另外,作为本发明的保护电路具有的保护二极管,使用二极管连接的薄膜晶体管。作为该薄膜晶体管,使用耐压性高的薄膜晶体管。因此,即使在施加在现有的保护电路中保护电路本身有可能破坏程度的电压的情况下,也通过具有本发明的保护电路,可以防止布线成为非常高的电位或者非常低电位。在此,将参照图 1 说明构成保护电路所具有的保护二极管的薄膜晶体管。

[0117] 图 1 表示图 3A 至 3F 所示的保护二极管 160 等的俯视图及剖视图的一个例子。图 1 所示的构成保护二极管的薄膜晶体管在衬底 100 上包括第一导电层 102,覆盖第一导电层 102 地包括第一绝缘层 104,在第一绝缘层 104 上包括 LPSAS 层 106,在 LPSAS 层 106 上包括缓冲层 108,在缓冲层 108 上包括杂质半导体层 110,在杂质半导体层 110 上包括第二导电层 112,覆盖第二导电层 112 地包括第二绝缘层 114,在第二绝缘层 114 上包括第三导电层 116。各层构图形成为所希望的形状。第三导电层 116 使第一导电层 102 和第二导电层 112 通过设置在第二绝缘层 114 中的第一开口部 118 及第二开口部 120 电连接。

[0118] 另外,设置源电极及漏电极中的一方,以使其至少成为围绕源电极及漏电极中的另一方的形状(U 字型)(参照图 1)。通过将使用于显示装置的保护电路的薄膜晶体管的电极成为如图 1 所示的 U 字型形状,可以扩大该薄膜晶体管的沟道宽度,而即使在过大电流流过的情况下,也可以有效地使电流流过。因此,可以设置优越于本来功能的保护电路。

[0119] 接着,将说明图 1 所示的保护二极管的制造方法。另外,一般地说,具有微晶半导体层的 n 型薄膜晶体管的迁移率高于具有微晶半导体层的 p 型薄膜晶体管的迁移率。优选使形成在一个衬底上的所有薄膜晶体管的极性一致,以抑制制造工序数的增加。因此,这里将说明 n 型薄膜晶体管的制造方法。

[0120] 首先,在衬底 100 上形成第一导电层 102。作为衬底 100,可以使用通过熔化法、浮法(float method)制造的无碱玻璃衬底诸如钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、铝硅酸盐玻璃等;陶瓷衬底,还可以使用具有可承受本制造工序的处理温度的耐热性的塑料衬底等。此外,还可以使用在不锈钢合金等金属衬底的表面上设置绝缘层的衬底。换言之,作为衬底 100,使用具有绝缘表面的衬底。在衬底 100 是母体玻璃的情况下,其尺寸可以采用第一代(例如 320mm×400mm)、第二代(例如 400mm×500mm)、第三代(例如 550mm×650mm)、第四代(例如 680mm×880mm 或 730mm×920mm)、第五代(例如 1000mm×1200mm 或 1100mm×1300mm)、第六代(例如 1500mm×1800mm)、第七代(例如 1900mm×2200mm)、第八代(例如 2160mm×2460mm)、第九代(例如 2400mm×2800mm、2450mm×3050mm)、第十代(例如 2850mm×3050mm)等。

[0121] 第一导电层 102 用作栅电极。通过使用钛、钼、铬、钽、钨、铝、铜、钕、铈等的金属材料或以这些为主要成分的合金材料来形成第一导电层 102。在使用铝的情况下,当使用添加钽而合金化的 Al-Ta 合金时,抑制小丘,所以是优选的。此外,当使用添加钕而合金化的 Al-Nd 合金时,除了抑制小丘以外,还可以形成电阻低的布线,所以是更优选的。此外,还可以使用以掺杂磷等杂质元素的多晶硅为典型的半导体、AgPdCu 合金。此外,可以采用单层或叠层。例如,优选采用:在铝层上层叠钼层的两层的叠层结构;在铜层上层叠钼层的两层的叠层结构;或者在铜层上层叠氮化钛层或氮化钽层的两层的叠层结构。通过在电阻低的层上层叠用作阻挡层的金属层,可以防止电阻低且有可能从金属层扩散到微晶半导体层的

金属元素的扩散。或者,也可以采用:由氮化钛层和钼层构成的两层的叠层结构;或者层叠厚度为 50nm 的钨层、厚度为 500nm 的铝和硅的合金层、以及厚度为 30nm 的氮化钛层的三层的叠层结构。此外,当采用三层的叠层结构时,可以使用氮化钨而代替第一导电层的钨,也可以使用铝和钛的合金层而代替第二导电层的铝和硅的合金层,也可以使用钛层而代替第三导电层的氮化钛层。例如,当在 Al-Nd 合金层上层叠形成钼层时,可以形成优越于耐热性且电阻低的导电层。

[0122] 可以通过利用溅射法、真空淀积法,在衬底 100 上形成导电层,利用光刻技术、喷墨法,在该导电层上形成掩模,并使用该掩模蚀刻导电层,来形成第一导电层 102。另外,也可以利用喷墨法将银、金、铜等导电纳米膏喷射在衬底上,进行焙烧来形成第一导电层 102。另外,作为用来提高第一导电层 102 和衬底 100 的紧密性并且防止扩散到基底的阻挡金属,也可以将上述金属材料的氮化物层设置在衬底 100 和第一导电层 102 之间。在此,通过采用使用光掩模形成的抗蚀剂掩模蚀刻形成在衬底 100 上的导电层,来形成第一导电层 102。

[0123] 另外,因为在第一导电层 102 上在以后的工序中形成半导体层、布线层,所以其端部优选加工为锥形形状,以便防止在具有台阶的部分发生的布线破裂。此外,可以通过该工序同时形成扫描线。再者,也可以形成像素部具有的电容线。另外,扫描线是指选择像素的布线。

[0124] 接着,覆盖第一导电层 102 地依次形成用来形成第一绝缘层 104、微晶半导体层 105、缓冲层 107 以及添加有赋予一种导电型的杂质元素的杂质半导体层 109、导电层 111 的层,并且利用多级灰度掩模在导电层 111 上形成抗蚀剂掩模 140(参照图 4A)。另外,优选至少连续形成第一绝缘层 104、微晶半导体层 105 以及缓冲层 107。更优选地,连续形成第一绝缘层 104、微晶半导体层 105、缓冲层 107 以及杂质半导体层 109。通过至少连续形成第一绝缘层 104、微晶半导体层 105 以及缓冲层 107 而不接触于大气,可以形成各叠层界面而不受到大气成分或漂浮在大气中的杂质元素的污染。所以,可以降低薄膜晶体管的电特性的不均匀性,而可以成品率好地制造可靠性高的半导体器件。

[0125] 第一绝缘层 104 用作栅极绝缘层。第一绝缘层 104 可以通过利用 CVD 法或溅射法等且使用氧化硅、氮化硅、氧氮化硅或氮氧化硅形成。此外,既可以以单层形成,又可以层叠这些来形成。作为第一绝缘层 104,优选从衬底一侧依次层叠氮化硅或氮氧化硅、氧化硅或氮氧化硅,来形成。这是因为如下缘故:氮化硅及氮氧化硅当衬底 100 包括杂质元素时防止这些进入 LPSAS 层 106 的效果高,并且氧化硅及氧氮化硅与微晶半导体层的界面特性良好。或者,作为第一绝缘层 104,也可以从衬底一侧依次层叠氧化硅或氧氮化硅、氮化硅或氮氧化硅、氧化硅或氧氮化硅,来形成。此外,也可以利用氧化硅、氮化硅、氧氮化硅、或者氮氧化硅的单层来形成第一绝缘层 104。再者,优选通过利用频率为 1GHz 以上的微波等离子体 CVD 法来形成第一绝缘层 104。通过微波等离子体 CVD 法形成的氧氮化硅及氮氧化硅因为膜质细致所以耐压性高,而可以提高以后形成的薄膜晶体管的可靠性。

[0126] 第一绝缘层 104 优选具有两层结构,其中在氮氧化硅上层叠氧氮化硅。该叠层膜形成得使其厚度成为 50nm 以上、优选为 50nm 以上且 200nm 以下。氮氧化硅可以防止包括在衬底 100 中的碱金属等混入 LPSAS 层 106。此外,氧氮化硅可以防止当使用铝作为第一导电层 102 时有可能发生的小丘,还可以防止第一导电层 102 的氧化。

[0127] 另外,氧氮化硅是指具有如下组成的:氧的含有量比氮的含有量多,并且,在 55 原

子%至 65 原子%的浓度范围内包括氧,在 1 原子%至 20 原子%的浓度范围内包括氮,在 25 原子%至 35 原子%的浓度范围内包括硅,在 0.1 原子%至 10 原子%的浓度范围内包括氢。此外,氮氧化硅是指具有如下组成的:氮的含有量比氧的含有量多,并且在 15 原子%至 30 原子%的浓度范围内包括氧,在 20 原子%至 35 原子%的浓度范围内包括氮,在 25 原子%至 35 原子%的浓度范围内包括硅,在 15 原子%至 25 原子%的浓度范围内包括氢。

[0128] 另外,优选在形成第一绝缘层 104 之后且形成微晶半导体层 105 之前,在第一绝缘层 104 上形成用来提高微晶半导体层 105 的紧密性且防止由于 LP 的氧化的层。通过该处理,可以提高形成在其上的微晶半导体层 105 的紧密性,且防止 LP 时的氧化。

[0129] 微晶半导体层 105 是指通过以后的工序而成为 LPSAS 层 106 的层。微晶半导体层 105 由非晶和结晶结构(包括单晶、多晶)之间的中间结构的半导体形成。微晶半导体是具有在自由能方面上很稳定的第三状态的半导体,是具有短程序列及晶格畸变的品质半导体,并且可以以其粒径大约为 0.5nm 至 20nm 使它分散来存在于非单晶半导体中。在微晶半导体的典型例子的微晶硅中,其拉曼光谱转移到比表示单晶硅的 520.6cm^{-1} 低的波数一侧。换言之,微晶硅的拉曼光谱的峰值位于 481cm^{-1} 以上且 520.6cm^{-1} 以下的范围内。此外,包括至少 1 原子%或更多的氢或卤素,以便终止悬空键。再者,可以通过将氦、氩、氦、氖等的稀有气体元素包括在微晶半导体层中而进一步促进晶格畸变,提高稳定性,以获得良好的微晶半导体层。关于这种微晶半导体的记述例如在专利文献 3 中公开。

[0130] 另外,通过使用拉曼光谱的峰值的半值宽度,可以算出包括在微晶半导体层中的晶粒的粒径。然而,可以认为实际上包括在微晶半导体层中的晶粒不是圆形。

[0131] 可以通过利用频率为几十 MHz 至几百 MHz 的高频率等离子体 CVD 法、或频率为 1GHz 以上的微波等离子体 CVD 法,形成该微晶半导体层 105。典型地,可以使用氢稀释 SiH_4 、 Si_2H_6 等的氢化硅形成。另外,除了使用氢化硅及氢之外,还可以使用选自氦、氩、氦、氖中的一种或多种稀有气体元素进行稀释,来形成。将氢的流量比设定为氢化硅的 5 倍以上且 200 倍以下、优选为 50 倍以上且 150 倍以下、更优选为 100 倍。此外,也可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等而代替氢化硅。

[0132] 另外,因为微晶半导体层当意图性地不添加以价电子控制为目的的杂质元素时显示弱 n 型的导电性,所以优选在与成膜同时或成膜之后将赋予 p 型的杂质元素添加到用作薄膜晶体管的沟道形成区的微晶半导体层,来控制阈值电压 V_{th} 。作为赋予 p 型的杂质元素,典型有硼,并且通过以 1ppm 至 1000ppm、优选为 1ppm 至 100ppm 的比例将 B_2H_6 、 BF_3 等杂质气体混入氢化硅来形成,即可。并且,将硼的浓度设定为例如 $1 \times 10^{14}\text{cm}^{-3}$ 至 $6 \times 10^{16}\text{cm}^{-3}$,即可。

[0133] 另外,优选将微晶半导体层的氧浓度设定为 $1 \times 10^{19}\text{cm}^{-3}$ 以下、优选为 $5 \times 10^{18}\text{cm}^{-3}$ 以下,而将氮及碳的浓度设定为 $5 \times 10^{18}\text{cm}^{-3}$ 以下、优选为 $1 \times 10^{18}\text{cm}^{-3}$ 以下。通过降低有可能混入到微晶半导体层中的氧、氮及碳的浓度,可以防止微晶半导体层的沟道形成区成为 n 型半导体。此外,当这些混入的浓度在元件之间不同时,在阈值电压 V_{th} 发生不均匀性。因此,通过降低这些的浓度,可以减少衬底中的阈值电压 V_{th} 的不均匀性。

[0134] 微晶半导体层 105 以 2nm 以上且 50nm 以下、优选为 10nm 以上且 30nm 以下形成。微晶半导体层 105 用作薄膜晶体管的沟道形成区。通过将微晶半导体层 105 的厚度设定为 2nm 以上且 50nm 以下,可以取得完全耗尽型薄膜晶体管。此外,因为微晶半导体层的成膜速度是比非晶半导体层的成膜速度慢的 1/10 至 1/100,所以优选形成为薄。通过形成为薄,可

以提高处理量。此外,因为微晶半导体层由微晶构成,所以其电阻小于非晶半导体。再者,在使用微晶半导体的薄膜晶体管中,当横轴为栅电压且纵轴为源极-漏极电流时的显示电流-电压特性的曲线的上升部分的倾斜成为陡峭。因此,将微晶半导体使用于沟道形成区的薄膜晶体管优越于作为开关元件的响应性,而可以进行高速工作。此外,通过将微晶半导体使用于薄膜晶体管的沟道形成区,可以抑制薄膜晶体管的阈值电压 V_{th} 的变动。通过抑制阈值电压 V_{th} 的变动,可以制造电特性的不均匀性少的显示装置。

[0135] 此外,微晶半导体的载流子的迁移率高于非晶半导体。因此,当使用其沟道形成区由微晶半导体构成的薄膜晶体管作为显示装置的开关元件时,可以缩小沟道形成区的面积、即薄膜晶体管的面积。因此,可以使保护电路的面积狭小,而可以实现显示装置的窄边框化。

[0136] 作为缓冲层 107,通过使用与微晶半导体层 105 相同的材料,来形成非晶半导体层。非晶半导体层可以通过使用 SiH_4 、 Si_2H_6 等氢化硅且利用等离子体 CVD 法来形成。此外,可以通过利用选自氢、氩、氮及氦中的一种或多种稀有气体元素稀释上述氢化硅而使用,来形成非晶半导体层。可以通过使用氢化硅的流量的 1 倍以上且 20 倍以下、优选为 1 倍以上且 10 倍以下、更优选为 1 倍以上且 5 倍以下的流量的氢,来形成包括氢的非晶半导体层。此外,可以通过使用上述氢化硅、氮或氩,来形成包括氮的非晶半导体层。此外,可以通过使用上述氢化硅、包括氟或氯的气体 (F_2 、 Cl_2 、 HF 、 HCl 等),来形成包括氟或氯的非晶半导体层。此外,可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等,而代替氢化硅。此外,将该非晶半导体层的厚度设定为 100nm 以上且 500nm 以下、优选为 150nm 以上且 400nm 以下、更优选为 200nm 以上且 300nm 以下。

[0137] 此外,缓冲层 107 也可以通过利用将非晶半导体用作靶子且在氢或稀有气体中进行溅射而形成的非晶半导体来形成。此时,通过将氮、氩或 N_2O 包括在气氛中,可以形成包括氮的非晶半导体层。另外,通过将包括氟或氯的气体 (F_2 、 Cl_2 、 HF 、 HCl 等) 包括在气氛中,可以形成包括氟或氯的非晶半导体层。

[0138] 此外,也可以在作为缓冲层 107,在微晶半导体层 105 的表面上利用等离子体 CVD 法或溅射法形成非晶半导体层之后,利用氢等离子体、氮等离子体、或卤等离子体对非晶半导体层的表面进行处理,来使非晶半导体层的表面氢化、氮化、或卤化。或者,也可以利用氮等离子体、氩等离子体、氩等离子体、氮等离子体等对非晶半导体层的表面进行处理。

[0139] 虽然缓冲层 107 由非晶半导体形成,但是非晶半导体层优选不包括晶粒。因此,在利用频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法、或微波等离子体 CVD 法来形成的情况下,优选控制成膜条件以取得不包括晶粒的非晶半导体层。

[0140] 缓冲层 107 的一部分在以后的源区及漏区的形成工序中被蚀刻而具有凹部,但是优选以重叠于凹部的缓冲层 108 的一部分残存的厚度来形成。通过蚀刻而残存的部分(重叠于凹部的部分)的蚀刻后的厚度优选为蚀刻前的厚度的一半左右。此外,如上所述,蚀刻前的厚度为 100nm 以上且 500nm 以下、优选为 150nm 以上且 400nm 以下、更优选为 200nm 以上且 300nm 以下。此外,重叠于杂质半导体层 109 的部分的缓冲层 108 的厚度在源区及漏区的形成工序中不减少,所以为 100nm 以上且 500nm 以下、优选为 150nm 以上且 400nm 以下、更优选为 200nm 以上且 300nm 以下。如上所述,通过使成为缓冲层 108 的非晶半导体层十分厚,可以稳定性地形成 LPSAS 层 106。如此,缓冲层 108 用作防止 LPSAS 层 106 被蚀刻的

膜。

[0141] 另外,以不包括赋予一种导电型的杂质诸如磷、硼等的方式形成缓冲层 107。尤其是,为了控制阈值而添加到 LPSAS 层 106 的硼、或者包括在杂质半导体层 110 中的磷优选不混入缓冲层 108。例如,在缓冲层 108 包括磷的情况下,在 LPSAS 层 106 和缓冲层 108 之间形成 PN 结。此外,在缓冲层 108 包括硼的情况下,在缓冲层 108 和杂质半导体层 110 之间形成 PN 结。或者,通过硼和磷都混入,发生复合中心,而成为发生漏电流的原因。通过缓冲层 108 不包括赋予一种导电型的这些杂质,可以消除漏电流的发生区域,而可以谋求实现漏电流的减少。此外,通过在杂质半导体层 110 和 LPSAS 层 106 之间具有不添加有赋予一种导电型的杂质诸如磷、硼等的非晶半导体层的缓冲层 108,可以防止分别包括在成为沟道形成区的 LPSAS 层 106、成为源区及漏区的杂质半导体层 110 中的杂质的扩散。

[0142] 通过在微晶半导体层 105 的表面上形成非晶半导体层,并且还形成包括氢、氮或卤素的非晶半导体层,可以防止包括在微晶半导体层 105 中的晶粒表面的自然氧化。特别是,在非晶半导体和晶粒彼此接触的区域中,容易发生由于晶格畸变而引起的裂缝。当该裂缝与氧接触时晶粒氧化,而形成氧化硅。通过在微晶半导体层 105 的表面上具有缓冲层 107,可以防止晶粒的氧化。或者,新自由基进入该裂缝,有可能引起结晶生长,但是因为以扩大结晶面的方式进展结晶生长,所以向上方容易针状地进展结晶生长。此外,通过设置缓冲层 107,可以防止当形成源区及漏区时发生的蚀刻残渣混入 LPSAS 层 106 中。因此,可以降低元件之间的电特性的不均匀性,而可以成品率高地制造可靠性高的薄膜晶体管。

[0143] 此外,缓冲层 107 由非晶半导体或者包括氢、氮、或卤素的非晶半导体形成。因此,非晶半导体的能隙比微晶半导体大(非晶半导体的能隙为 1.6eV 至 1.8eV,而微晶半导体的能隙为 1.1eV 至 1.5eV),并电阻高,且迁移率低(微晶半导体的 1/5 至 1/10)。由此,在要形成的薄膜晶体管中,形成在杂质半导体层 109 和微晶半导体层 105 之间的缓冲层 107 用作高电阻的区域,而微晶半导体层 105 用作沟道形成区。从而,缓冲层 108 不用作沟道形成区。由此,可以降低薄膜晶体管的截止电流。在使用这种薄膜晶体管作为液晶显示装置的开关元件的情况下,可以提高液晶显示装置的对比度。

[0144] 在形成 n 型薄膜晶体管的情况下,对杂质半导体层 109 典型地添加磷作为杂质元素,对氢化硅添加包括 PH_3 等的赋予一种导电型的杂质元素的气体即可。此外,在形成 p 型薄膜晶体管的情况下,添加硼作为典型的杂质元素,对氢化硅添加 B_2H_6 等的杂质气体即可。杂质半导体层 109 可以由微晶半导体或非晶半导体形成。杂质半导体层 109 以 2nm 以上且 50nm 以下的厚度形成。换言之,优选将其具有与 LPSAS 层 106 相同程度的厚度。通过将杂质半导体层 109 的厚度设定为薄,可以提高处理量。

[0145] 在本发明中,如上所述,优选连续形成第一绝缘层 104 至杂质半导体层 109。在此,参照图 6 将说明微波等离子体 CVD 法,作为能够连续形成这些层的一个例子。此外,在本发明中,除了微波等离子体 CVD 法以外,还可以应用高频等离子体 CVD 法。图 6 是表示微波等离子体 CVD 装置的俯视截面的示意图,其包括在中央所示的公共室 210 的周围具备装载室 200、卸载室 205、第一反应室 201 至第四反应室 204 的结构。在公共室 210 和每个室之间具备闸阀 212 至 217,以防止在每个室内进行的处理互相干扰。衬底 220 装载在装载室 200、卸载室 205 的盒子 218、盒子 219,由公共室 210 的搬送装置 211 传送到第一反应室 201 至第四反应室 204。在该装置中,可以对于每个堆积膜种类分配反应室,从而可以连续形成多

个不同的膜,而不使它们接触于大气。

[0146] 在第一反应室 201 至第四反应室 204 的各个中,层叠形成第一绝缘层 104、微晶半导体层 105、缓冲层 107、以及杂质半导体层 109。在此情况下,通过转换原料气体,可以连续地层叠多个不同种类的膜来形成。在此情况下,在形成第一绝缘层 104 之后,将硅烷等的氢化硅引入到反应室内,使残留氧及氢化硅起反应,并将反应物排出到反应室的外部,从而可以降低反应室内的残留氧浓度。其结果,可以降低包括在微晶半导体层 105 中的氧浓度。此外,可以防止包括在微晶半导体层 105 中的晶粒的氧化。

[0147] 或者,在第一反应室 201 及第三反应室 203 中形成成为第一绝缘层 104 的绝缘层、微晶半导体层以及非晶半导体层,而在第二反应室 202 及第四反应室 204 中形成杂质半导体层 109。通过只将杂质半导体层 109 单独地形成,可以防止残留在反应室中的赋予一种导电型的杂质元素混入到其他层中。

[0148] 如图 6 所示,通过使用连接有多个反应室的微波等离子体 CVD 装置,可以连续形成第一绝缘层 104、微晶半导体层 105、缓冲层 107、以及杂质半导体层 109,因此可以提高批量生产性(生产率)。此外,即使在某个反应室中进行维护、清洗,也可以在其他反应室中形成膜,从而可以提高成膜节拍。另外,因为可以在不被漂浮在大气中的有可能成为污染源的杂质元素污染的状态下形成各个叠层界面,所以可以减少薄膜晶体管的电特性的不均匀性。

[0149] 此外,可以在第一反应室 201 中形成第一绝缘层 104,在第二反应室 202 中形成微晶半导体层 105 及非晶半导体层 107,在第三反应室 203 中形成杂质半导体层 109。另外,微晶半导体层的成膜速度慢,所以也可以使用多个反应室来形成微晶半导体层。例如,也可以在第一反应室 201 中形成第一绝缘层 104,在第二反应室 202 及第三反应室 203 中形成微晶半导体层 105,在第四反应室 204 中形成缓冲层 107,在第五反应室(未图示)中形成杂质半导体层 110。如此,通过使用多个反应室同时形成微晶半导体层,可以提高处理量。此时,优选利用进行成膜的种类的层涂上各反应室的内墙。

[0150] 由于当使用图 6 所示的微波等离子体 CVD 装置时,可以在各反应室中形成其组成类似的层或一种层,并且在不暴露于大气的状态下连续形成上述层,因此可以在界面不被已形成的层的残留物及漂浮在大气中的杂质元素污染的状态下形成叠层膜。

[0151] 此外,虽然在图 6 所示的微波等离子体 CVD 装置中分别设置有装载室及卸装室,但是也可以将这些室综合,而设置一个装载/卸装室。此外,也可以在微波等离子体 CVD 装置中设置备用室。由于通过在备用室中对衬底进行预热,可以在各反应室中缩短直到开始成膜的加热时间,因此可以提高处理量。

[0152] 下面,将说明成膜处理。根据其目的而选择从气体供应部供应的气体来进行成膜处理。

[0153] 在此,示出第一绝缘层 104 由两层的叠层结构构成的情况。举出形成氮氧化硅层作为第一绝缘层 104,并在该氮氧化硅层上形成氧氮化硅层的方法作为一个例子。

[0154] 首先,利用氟自由基对微波等离子体 CVD 装置的反应室的处理容器内部进行清洗。此外,通过将氟化碳、氟化氮、或氟引入到设置在反应室外侧的等离子体产生器中,进行离解,将其引入到反应室中,来进行氟自由基的引入。通过引入氟自由基,可以清洗反应室。

[0155] 通过在利用氟自由基进行清洗之后,将大量的氢引入到反应室的内部,来使反应室内的残留氟和氢彼此起反应,从而可以降低残留氟的浓度。由此,可以减少对于后面在反

应室的内墙形成的保护层的氟的混入量,并可以减少保护层的厚度。

[0156] 接着,在反应室的处理容器的内墙等的表面上堆积氧氮化硅层作为保护层。在此,将处理容器内的压力设定为 1Pa 以上且 200Pa 以下、优选为 1Pa 以上且 100Pa 以下,并且引入氦、氩、氙、氪等的稀有气体的任何一种以上的气体作为等离子体点燃用气体。再者,除了上述稀有气体以外,还引入氢。特别是,优选使用氦气体作为等离子体点燃用气体,更优选使用氦和氢的混合气体。

[0157] 氦的离子化能量较高,即 24.5eV。但是,由于准稳定状态位于大约 20eV,因此在放电中可以以大约 4eV 进行离子化。由此,放电开始电压低,且容易维持放电。从而,可以均匀地维持所产生的等离子体且可以节省电力。

[0158] 此外,也可以进一步引入氧气体作为等离子体点燃用气体。通过将氧气体与稀有气体一起引入到处理容器中,可以容易进行等离子体的点燃。

[0159] 接着,使微波产生装置的电源导通,并且在微波产生装置的输出为 500W 以上且 6000W 以下、优选为 4000W 以上且 6000W 以下的情况下产生等离子体。接着,将原料气体经过气体管引入到处理容器内。具体而言,通过引入硅烷、一氧化二氮、以及氮作为原料气体,在处理容器的内墙、气体管、介质板、以及支撑台的表面上形成氮氧化硅层作为保护层。此外,也可以引入氮作为原料气体,而代替氮。将保护层形成为具有 500nm 至 2000nm 的厚度。

[0160] 接着,在停止原料气体的供应,降低处理容器内的压力,并使微波产生装置的电源截止之后,将衬底设置在处理容器内的支撑台上。

[0161] 接着,通过与上述保护层相同的工序,在衬底上堆积氧氮化硅层作为第一绝缘层 104。

[0162] 在将氮氧化硅层堆积得成为所希望的厚度之后,停止原料气体的供应,降低处理容器内的压力,而使微波产生装置的电源截止。

[0163] 接着,将处理容器内的压力设定为 1Pa 以上且 200Pa 以下、优选为 1Pa 以上且 100Pa 以下,并且作为等离子体点燃用气体,引入氦、氩、氙、氪等的稀有气体的任何一种以上、原料气体的一氧化二氮、稀有气体以及硅烷。接着,使微波产生装置的电源导通,并且在微波产生装置的输出为 500W 以上且 6000W 以下、优选为 4000W 以上且 6000W 以下的情况下产生等离子体。接着,将原料气体经过气体管引入到处理容器内,在衬底的氮氧化硅膜上形成氧氮化硅层。接着,停止原料气体的供应,降低处理容器内的压力,并使微波产生装置的电源截止,来结束成膜工序。

[0164] 根据上述工序,通过以反应室的内墙的保护层为氮氧化硅层,并在衬底上连续形成氮氧化硅层和氧氮化硅层,可以减少混入到上层一侧的氧氮化硅层中的杂质元素。通过采用利用能够产生微波的电源装置的微波等离子体 CVD 法形成这些膜,等离子体密度提高而形成细致的层。由此,可以形成耐压性高的膜。当将该层用作薄膜晶体管的栅极绝缘层时,可以减少该薄膜晶体管的阈值的不均匀性。此外,可以减少在 BT(Bias Temperature; 偏压温度)试验中发生的故障的数量。另外,静电耐性提高,从而可以制造即使被施加高电压也不容易破坏的晶体管。此外,可以制造随时间破坏少的薄膜晶体管。此外,也可以制造热载流子损伤少的晶体管。

[0165] 此外,在作为第一绝缘层 104 使用微波等离子体 CVD 法形成的氧氮化硅层是单层的情况下,采用上述保护层的形成方法及氧氮化硅层的形成方法。特别是,当对于硅烷的

一氧化二氮的流量比设定为 100 倍以上且 300 倍以下、优选为 150 倍以上且 250 倍以下时，可以形成耐压性高的氧氮化硅层。

[0166] 接着，将说明一种处理方法，该处理方法对通过微波等离子体 CVD 法形成的微晶半导体层和用作缓冲层的非晶半导体层连续地进行成膜。首先，与上述绝缘层的形成同样，进行反应室内的清洗。接着，在处理容器内堆积硅层作为保护层。作为硅层，以 $0.2\mu\text{m}$ 以上且 $0.4\mu\text{m}$ 以下的厚度形成非晶半导体层。在此，将处理容器内的压力设定为 1Pa 以上且 200Pa 以下、优选为 1Pa 以上且 100Pa 以下，并且引入氦、氩、氙、氪等的稀有气体的任何一种以上作为等离子体点燃用气体。此外，也可以与稀有气体一起引入氢。

[0167] 接着，使微波产生装置的电源导通，并且在微波产生装置的输出为 500W 以上且 6000W 以下、优选为 4000W 以上且 6000W 以下的情况下产生等离子体。接着，将原料气体经过气体管引入到处理容器内。具体而言，通过引入氢化硅气体、以及氢气体作为原料气体，在处理容器的内墙、气体管、介质板以及支撑台的表面上形成微晶硅层作为保护层。此外，可以通过利用选自氦、氩、氙、氪中的一种或多种稀有气体元素稀释氢化硅气体以及氢气体，来形成微晶半导体层。在此，将对于氢化硅的氢的流量比设定为 5 倍以上且 200 倍以下、优选为 50 倍以上且 150 倍以下、更优选为 100 倍。另外，将此时的保护层的厚度设定为 500nm 以上且 2000nm 以下。此外，也可以在使微波产生装置的电源导通之前，对处理容器内，除了上述稀有气体之外，还可以引入氢化硅气体以及氢气体。

[0168] 此外，可以使用选自氦、氩、氙、氪中的一种或多种稀有气体元素稀释氢化硅气体，来形成用作保护层的非晶半导体层。

[0169] 接着，在停止原料气体的供应，降低处理容器内的压力，并使微波产生装置的电源截止之后，将衬底设置在处理容器内的支撑台上。

[0170] 接着，对于形成在衬底上的用作栅极绝缘层的第一绝缘层 104 的表面进行氢等离子体处理。通过在形成微晶半导体层之前进行氢等离子体处理，可以减少在第一绝缘层 104 和 LPSAS 层 106 之间的界面的晶格畸变，并可以提高第一绝缘层 104 和 LPSAS 层 106 之间的界面特性，且可以提高要形成的薄膜晶体管的电特性。

[0171] 此外，在上述氢等离子体处理中，通过也对形成在处理容器内的用作保护层的非晶半导体层或微晶半导体层进行氢等离子体处理，保护层被蚀刻而在第一绝缘层 104 的表面上堆积微量的半导体。该微量的半导体成为结晶生长的核，而形成微晶半导体层。其结果，可以减少在第一绝缘层 104 和 LPSAS 层 106 的界面的晶格畸变，并可以提高第一绝缘层 104 和 LPSAS 层 106 之间的界面特性。由此，可以提高要形成的薄膜晶体管的电特性。

[0172] 接着，与上述保护层同样，在衬底上堆积微晶半导体。将微晶半导体层的厚度设定为 2nm 以上且 50nm 以下、优选为 10nm 以上且 30nm 以下。此外，作为微晶半导体使用硅。

[0173] 此外，对微晶半导体层来说，从该层的下方向上方进行结晶生长，来形成针状结晶。这是因为以扩大结晶面的方式结晶生长的缘故。然而，即使在如此结晶生长的情况下，微晶半导体层的成膜速度也是非晶半导体层的成膜速度的 1% 以上且 10% 以下左右。

[0174] 在将微晶半导体层堆积得成为所希望的厚度之后，停止原料气体的供应，降低处理容器内的压力，并使微波产生装置的电源截止，来结束形成微晶半导体层的工序。

[0175] 接着，从微晶半导体层的表面一侧对微晶半导体层照射激光束。下面，对此进行说明。

[0176] 在本发明的微晶半导体层的形成中,在栅极绝缘层上堆积微晶半导体层之后,从微晶半导体层的表面一侧照射激光束,即可。激光束以半非晶硅层不熔化的能量密度照射。换言之,本发明的 LP 处理是通过利用辐射加热且不使半非晶硅层熔化而进行的引起固相结晶生长的。换言之,它是利用堆积了的半非晶硅层不成为液相的临界区域的,并且在该意思上也可以称为“临界生长”。

[0177] 上述激光束可以作用到半非晶硅层和栅极绝缘层的界面。由此,可以在半非晶硅层的表面一侧的结晶为核,从该表面向栅极绝缘层的界面进展固相结晶生长,而实现实质上上柱形的结晶生长。利用 LP 处理的固相结晶生长不是扩大结晶粒径的,而是改善层的厚度方向上的结晶性的。

[0178] 在上述 LP 处理中,通过将激光束聚焦为特长矩形(成形为线状激光束),例如可以利用一次激光束扫描处理在 730mm×920mm 的玻璃衬底上的半非晶硅层。在此情况下,将使线状激光束彼此重叠的比例(重叠率)设定为 0%至 90%、优选为 0%至 67%,来进行。由此,缩短对于一个衬底需要的处理时间,而可以提高生产率。但是,激光束的形状不局限于线状,当采用面状激光束时,也可以同样地进行处理。此外,在本 LP 处理中对所述玻璃衬底的尺寸没有限制,而可以使用各种尺寸的衬底。通过进行 LP 处理,改善微晶半导体层和栅极绝缘层的界面区域的结晶性,而可以提高具有底栅结构的晶体管的电特性。

[0179] 根据这种临界生长,不形成发生在现有的低温多晶硅的表面的凹凸(称为皱纹的凸状体),而 LP 处理后的硅表面保持平滑性。

[0180] 从而,通过使激光束对成膜后的半非晶硅层直接起作用而得到的根据本发明的 LPSAS 层在其生长机理及形成的层的膜质上显然不同于现有的只堆积的微晶硅层、以及在堆积后利用传导加热而其性质改变了的微晶硅层(参照非专利文献 1)。

[0181] 在形成 LPSAS 层之后,利用等离子体 CVD 法以 300℃以上且 400℃以下的温度形成非晶半导体层。通过该成膜处理对 LPSAS 层供应氢,而可以获得与使 LPSAS 层氢化时同等的效果。换言之,通过在 LPSAS 层上堆积非晶半导体层,可以将氢扩散到 LPSAS 层而终结悬空键。

[0182] 接着,降低处理容器内的压力并调整原料气体的流量。具体而言,将氢气体的流量比微晶半导体层的成膜条件大幅度地降低。典型地,引入氢化硅的流量的 1 倍以上且 20 倍以下、优选为 1 倍以上且 10 倍以下、更优选为 1 倍以上且 5 倍以下的流量的氢气体。或者,也可以不将氢气体引入到处理容器内而引入氢化硅气体。这样,通过减少对于氢化硅的氢的流量,可以提高作为缓冲层形成的非晶半导体层的成膜速度。或者,利用选自氢、氩、氮、氦中的一种或多种稀有气体元素稀释氢化硅气体。接着,通过使微波产生装置的电源导通并在微波产生装置的输出为 500W 以上且 6000W 以下、优选为 4000W 以上且 6000W 以下来产生等离子体,从而可以形成非晶半导体层。由于非晶半导体的成膜速度比微晶半导体高,因此可以将处理容器内的压力设定得低。将此时的非晶半导体层的厚度设定为 100nm 以上且 400nm 以下。

[0183] 在将非晶半导体层堆积为所希望的厚度之后,停止原料气体的供应,降低处理容器内的压力,并使微波产生装置的电源截止,来结束形成非晶半导体层的工序。

[0184] 此外,也可以在点燃等离子体的状态下形成微晶半导体层 105 和成为缓冲层 107 的非晶半导体层。具体而言,逐渐减少对于氢化硅的氢的流量比而层叠形成微晶半导体层

105 以及成为缓冲层 107 的非晶半导体层。通过这种方法,可以不使杂质堆积在微晶半导体层 105 和缓冲层 107 的界面,而形成畸变少的界面,并且可以提高后面形成的薄膜晶体管的电特性。

[0185] 在使用频率为 1GHz 以上的微波等离子体 CVD 装置产生的等离子体中,电子密度高,且由原料气体产生多个自由基而供应给衬底 220,所以衬底的表面上的自由基反应被促进,而可以提高微晶半导体的成膜速度。再者,由多个微波产生装置、以及多个介质板构成的微波等离子体 CVD 装置可以稳定性地产生大面积等离子体。由此,也可以在大面积衬底上形成对于膜质具有高均匀性的层,同时可以提高批量生产性(生产率)。

[0186] 此外,通过在相同的处理容器内连续形成微晶半导体层以及非晶半导体层,可以形成畸变少的界面,此外,可以降低有可能进入界面的大气成分,所以是优选的。

[0187] 此外,在这些绝缘层及半导体层的各个制造工序中,当在反应室的内墙形成有 500nm 以上且 2000nm 以下的保护层时,可以省略上述清洗处理及保护层形成处理。

[0188] 接着,形成抗蚀剂掩模 140(参照图 4A)。抗蚀剂掩模 140 是具有厚度不同的多个区域的掩模。通过利用多级灰度掩模的光刻技术或喷墨法形成。

[0189] 接着,通过利用抗蚀剂掩模 140 且在形成有微晶半导体层、非晶半导体层、杂质半导体层以及导电层的状态下进行蚀刻。通过该处理,将微晶半导体层 105、缓冲层 107、杂质半导体层 109、导电层 111 根据每个元件分离(参照图 4B)。

[0190] 另外,在该蚀刻处理中,进行蚀刻,以便使层叠有微晶半导体层、非晶半导体层以及杂质半导体层的层的端部具有锥形形状。将锥形角设定为 30° 以上且 90° 以下、优选为 40° 以上且 80° 以下。通过进行蚀刻以使端部具有锥形形状,不但可以防止杂质半导体层 109 和微晶半导体层 105 直接接触,而且可以十分确保在端部的这些层的距离,而可以减少在端部的漏电流。

[0191] 另外,通过使端部具有锥形形状,可以提高在后面的工序中形成在这些上的层的覆盖性。从而,可以防止在具有台阶形状的地方发生的布线破裂。

[0192] 另外,锥形角是指图 7 所示的角度 θ 。在图 7 中,在衬底 190 上形成有端部具有锥形形状的层 191。层 191 的锥形角是 θ 。

[0193] 接着,在导电层 111 上形成抗蚀剂掩模 142(参照图 4C)。抗蚀剂掩模 142 可以通过对抗蚀剂掩模 140 进行利用氧等离子体等的灰化处理来形成。

[0194] 导电层 111 通过利用铝、铜、或者添加有硅、钛、钽、铟、钼、铬、钽或钨等提高耐热性的元素或者防止小丘发生的元素的铝合金(可以用于第一导电层 102 的 Al-Nd 合金等)以单层或叠层形成。也可以使用添加有赋予一种导电型的杂质元素的结晶硅。也可以采用如下叠层结构:利用钛、钽、钼、钨或这些元素的氮化物形成与添加有赋予一种导电型的杂质元素的半导体层接触一侧的层,并且在其上形成铝或铝合金。再者,也可以采用如下叠层结构:利用钛、钽、钼、钨或这些元素的氮化物夹住铝或铝合金的上面以及下面。例如,作为导电层,优选采用利用钼层夹住铝层的三层结构。

[0195] 导电层 111 通过溅射法或真空沉积法等形成。此外,导电层 111 也可以通过丝网印刷法或喷墨法等喷出银、金或铜等导电纳米膏且进行焙烧来形成。

[0196] 抗蚀剂掩模 142 可以通过对抗蚀剂掩模 140 进行利用氧等离子体等的灰化处理来形成。

[0197] 接着,通过利用抗蚀剂掩模 142 蚀刻导电层 111,构图形成导电层 111。接着,通过利用抗蚀剂掩模 142 蚀刻添加有赋予一种导电型的杂质的杂质半导体层 109 以及缓冲层 107,来形成构成源区及漏区的杂质半导体层 110 以及缓冲层 108(参照图 5A)。此外,缓冲层 108 是只其一部分被蚀刻的,且覆盖 LPSAS 层 106 的表面。此外,从图 5A 中明显看出,由杂质半导体层 110 形成的源区及漏区的端部与构图形成了的导电层 111 的端部实质上上一致。

[0198] 接着,在留下抗蚀剂掩模 142 的情况下,进一步蚀刻导电层 111 的一部分,而形成第二导电层 112。第二导电层 112 用作源电极或漏电极。在此,利用掩模对导电层 111 进行湿蚀刻。通过湿蚀刻,这些导电层 111 的端部被选择性地蚀刻。其结果,由于各向同性地蚀刻导电层,所以可以形成其面积小于抗蚀剂掩模 142 的第二导电层 112。第二导电层 112 的端部与杂质半导体层 110 的端部不一致,在第二导电层 112 的端部的外侧形成杂质半导体层 110 的端部(参照图 5B)。此后,去掉抗蚀剂掩模 142。此外,用作源电极及漏电极的第二导电层 112 也用作信号线。

[0199] 通过使第二导电层 112 的端部与杂质半导体层 110 的端部不一致,第二导电层 112 的端部之间的距离变大,且源电极及漏电极的一方与源电极及漏电极的另一方之间的距离十分变大,可以减少漏电流,而可以防止短路。再者,通过具有高电阻区域的缓冲层 108,使第一导电层 102 和第二导电层 112 之间的距离十分变大。由此,可以抑制寄生电容的发生,可以使漏电流小,而可以制造可靠性高、截止电流小、耐压性高的薄膜晶体管。

[0200] 通过上述工序,可以形成本发明的沟道蚀刻型薄膜晶体管。

[0201] 在本实施方式所示的薄膜晶体管中,在用作栅电极的第一导电层 102 上层叠形成有用作栅极绝缘层的第一绝缘层 104、用作沟道形成区的 LPSAS 层 106、缓冲层 108、成为源区及漏区的杂质半导体层 110、用作源电极及漏电极的第二导电层 112。用作沟道形成区的 LPSAS 层 106 的表面由缓冲层 108 覆盖。

[0202] 在用作沟道形成区的 LPSAS 层 106 和添加有赋予一种导电型的杂质元素的杂质半导体层 110 之间具有缓冲层 108,并且 LPSAS 层 106 的表面由缓冲层 108 覆盖。由非晶半导体层等形成的缓冲层 108 由比微晶半导体层电阻高的非晶半导体层等形成。此外,缓冲层 108 形成在 LPSAS 层 106 和第二导电层 112 之间。因此,不但可以降低发生在薄膜晶体管的漏电流,而且可以防止由于施加高电压而发生的薄膜晶体管的退化。此外,缓冲层 108 通过利用其表面由氢终结的非晶半导体层覆盖 LPSAS 层 106 的表面。由此,可以防止 LPSAS 层 106 的氧化。再者,可以防止当形成杂质半导体层 110 时发生的蚀刻残渣混入 LPSAS 层 106。由此,使用于本发明的薄膜晶体管的电特性高,并且优越于耐压性。

[0203] 此外,在缓冲层 108 的一部分中具有凹部(沟槽),该凹部以外的区域由成为源区及漏区的杂质半导体层 110 覆盖。就是说,由于形成在缓冲层 108 的凹部,源区及漏区之间的泄漏路径(leak path)成为足够的距离。因此,可以减少源区和漏区之间的漏电流。此外,通过进行蚀刻以使缓冲层 108 的一部分具有凹部,可以容易去除在成为源区及漏区的杂质半导体层 110 的形成工序中发生的蚀刻残渣。从而,可以使由于蚀刻残渣而有可能发生在源区及漏区中的漏电流小。此外,缓冲层 108 的凹部是在成为源区及漏区的杂质半导体层 110 的形成工序中形成的。因此,源区及漏区的侧面在与缓冲层 108 的凹部的侧面实质上相同面上存在地设置。

[0204] 当使 LPSAS 层 106 氧化时,该薄膜晶体管的迁移率降低,且亚阈值增大,所以薄膜晶体管的电特性退化。因为在缓冲层 108 混入有氢及氟,所以可以防止氧经过缓冲层 108,而可以防止 LPSAS 层 106 的氧化。

[0205] 此外,通过设置缓冲层 108,可以防止寄生沟道的发生。

[0206] 此外,通过使源电极及漏电极的端部与源区及漏区的端部不一致,源电极及漏电极的一方的端部以及源电极及漏电极的另一方的端部之间具有充分的距离,从而使源电极及漏电极的一方以及源电极及漏电极的另一方之间的漏电流小,而可以防止短路。

[0207] 另外,虽然在上述图 5A 及 5B 中示出了在形成其一部分具有凹部(沟槽)的缓冲层 108 之后,进行蚀刻以使源电极的端部和漏电极的端部的距离成为充分大的例子,但是本发明不局限于此。例如,也可以采用如下工序顺序:例如,在蚀刻成为第二导电层 112 的导电层来实现分离,并使杂质半导体层 110 露出之后,进行蚀刻以使源电极及漏电极的一方的端部和源电极及漏电极的另一方的端部之间的距离变大。然后,利用掩模蚀刻半导体层来分离源区及漏区,并且在缓冲层 108 的一部分中形成凹部(沟槽)。此外,也可以在蚀刻以使源电极及漏电极的一方的端部和源电极及漏电极的另一方的端部之间的距离变大之后,去除掩模,并且使用第二导电层 112 作为掩模来进行蚀刻。

[0208] 另外,成为源区及漏区的杂质半导体层 110 的端部,与形成在缓冲层 108 的凹部的端部一致(参照图 1)。这是因为如下缘故:该凹部是当蚀刻杂质半导体层 110 时以相同工序形成的。

[0209] 接着,如图 5C 所示,在第二导电层 112、杂质半导体层 110、LPSAS 层 106 以及第一绝缘层 104 等上形成第二绝缘层 114。第二绝缘层 114 可以与第一绝缘层 104 同样地形成。另外,第二绝缘层 114 用来防止飘浮在大气中的有机物、金属物以及水蒸气等的有可能成为污染源的杂质的侵入,从而优选形成致密。此外,优选将缓冲层 108 中的碳、氮、氧的浓度设定为 $1 \times 10^{19} \text{cm}^{-3}$ 以下,更优选将它设定为 $5 \times 10^{18} \text{cm}^{-3}$ 以下。

[0210] 接着,在第二绝缘层 114 形成第一开口部 118 以及第二开口部 120,并且形成第三导电层 116。第三导电层 116 在第一开口部 118 中与第二导电层 112 连接,并且在第二开口部 120 中与第一导电层 102 连接。第三导电层 116,与第二导电层 112 等同样,在整个表面上形成之后利用抗蚀剂掩模等构图形成,即可。此外,第三导电层 116 优选与设置在像素部的像素电极同时形成,以下说明第三导电层 116 由与像素电极相同的层形成的情况。

[0211] 作为第三导电层 116,可以使用具有透光性的导电材料诸如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(下面写为 ITO)、铟锌氧化物、添加有氧化硅的铟锡氧化物等。

[0212] 此外,也可以通过使用包含导电高分子(也称为导电聚合体)的导电组成物形成第三导电层 116。通过使用导电组成物而形成的第三导电层 116 优选具有如下条件:薄层电阻为 $10000 \Omega/\square$ 以下,当波长为 550nm 时的透光率为 70% 以上。薄膜电阻优选为更低。另外,包含在导电组成物中的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 以下。

[0213] 另外,作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物质中的两种以上构成的共聚物等。

[0214] 以上,说明了第三导电层 116 由与像素电极相同的层形成的情况,但是本发明不

局限于此。第三导电层 116 也可以通过使用与第一导电层 102 以及第二导电层 112 同样的材料且利用同样的形成方法来制造。然而,使用于本发明的保护电路的薄膜晶体管在与使用于像素电路的薄膜晶体管相同的衬底上以相同的工序形成。因此,通过与利用上述材料且连接到使用于像素电路的薄膜晶体管的所谓的像素电极同时形成第三导电层 116,可以减少制造工序数量,而可以提高成品率。

[0215] 此外,如图 1 所示,通过利用第三导电层 116 使第一导电层 102 与第二导电层 112 二极管连接,可以形成使用于本发明的保护电路的二极管连接的薄膜晶体管(保护二极管)。

[0216] 另外,虽然在上述说明中说明了栅电极和扫描线以相同的工序形成,并且源电极或漏电极和信号线以相同的工序形成的情况,但是本发明不局限于此。也可以以不同工序分别形成电极、连接到该电极的布线。

[0217] 此外,虽然在本实施方式中说明了设置 LPSAS 层 106 的方式,但是也可以在本发明的薄膜晶体管中具有能够不进行激光照射而得到的微晶半导体层而代替 LPSAS 层。

[0218] 通过上述工序,可以形成沟道蚀刻型薄膜晶体管。该沟道蚀刻型薄膜晶体管的制造工序数少,从而可以缩减成本。此外,通过使用微晶半导体层构成沟道形成区,可以获得 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 至 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 的电场效应迁移率。因此,可以将该薄膜晶体管用作像素部的像素的开关元件,还用作形成扫描线(栅极线)一侧的驱动电路的元件。

[0219] 如本实施方式所说明,可以制造电特性良好且可靠性高的薄膜晶体管。通过使用这种薄膜晶体管在显示装置中设置保护电路,可以降低在层间绝缘层等带电的电荷的放电、以及与信号或电源电压一起输入到布线的杂音,而可以防止半导体元件的退化或破坏。再者,可以实现比现有耐压性高且寄生电容小的保护电路。因此,即使在当使用现有的保护电路时流过保护电路本身被破坏程度的大电流的情况或者高电压被施加的情况下,也通过设置本实施方式所说明的保护电路,可以有效地防止半导体元件的破坏,而可以制造可靠性更高的显示装置。

[0220] 此外,虽然在本实施方式中当形成掩模时使用了多级灰度掩模,但是当然也可以形成薄膜晶体管而不使用多级灰度。

[0221] 实施方式 2

[0222] 在本实施方式中,将说明具有使用实施方式 1 所示的薄膜晶体管的保护电路的液晶显示装置。

[0223] 首先,将说明 VA(垂直定向)方式的液晶显示装置。VA 方式是当不施加电压时液晶分子相对于面板表面朝向垂直方向的方式。在本实施方式中,尤其设法将像素分割为几个区域(亚像素),使分子分别放倒向不同的方向。这种方法称为多畴(multi-domain)化或多畴设计。在下面的说明中,将说明以多畴设计的液晶显示装置。

[0224] 图 9 是形成像素电极的衬底一侧的平面图,而图 8 示出对应于图 9 中的切断线 A-B 的截面结构。此外,图 10 是形成对置衬底的衬底一侧的平面图。在下面的说明中,参照这些附图进行说明。

[0225] 图 8 示出将衬底 300 和对置衬底的衬底 301 相对,且注入液晶的情况。在衬底 300 上具有薄膜晶体管 328、连接到薄膜晶体管 328 的像素电极 324 以及保持电容部 330。在衬底 301 上具有对置电极 340。

[0226] 在衬底 301 中的隔离物 342 被形成的位置具有遮光层 332、第一着色层 334、第二着色层 336、第三着色层 338、对置电极 340。通过采用上述结构,使用来控制液晶的定向的突起 344 的高度和隔离物 342 的高度不同。在像素电极 324 上具有定向层 348,在对置电极 340 上具有定向层 346。液晶层 350 设置在定向层 346 以及定向层 348 之间。

[0227] 在图 8 中,作为隔离物 342,使用支柱间隔物(柱状间隔物),但是本发明不局限于此。作为隔离物,也可以散布珠状隔离物(球状间隔物)。此外,间隔物 342 也可以设置在衬底 300 具有的像素电极 324 上。

[0228] 在衬底 300 上具有薄膜晶体管 328、连接到薄膜晶体管 328 的像素电极 324 以及保持电容部 330。像素电极 324 和布线 318 在贯穿绝缘层 320 以及绝缘层 322 的开口部 323 中连接。绝缘层 320 覆盖薄膜晶体管 328、布线 318 以及保持电容部 330 地设置。绝缘层 322 覆盖绝缘层 320 地设置。作为薄膜晶体管 328,可以适当地使用在实施方式 1 中说明的用作保护二极管的薄膜晶体管同样的薄膜晶体管。此外,保持电容部 330 通过如下工序而构成:利用以与薄膜晶体管 328 的栅电极及扫描线相同的工序同样地形成的导电层和以与薄膜晶体管 328 的源电极及信号线相同的工序同样地形成的导电层夹住薄膜晶体管 328 的栅极绝缘层。

[0229] 通过使具有定向层 348 的像素电极 324、液晶层 350、具有定向层 346 的对置电极 340 彼此重叠,设置液晶元件。

[0230] 图 9 表示衬底 300 一侧的平面图。像素电极 324 通过使用与实施方式 1 中的第三导电层 116 同样的材料来形成。在像素电极 324 中设置槽缝 325。槽缝 325 用于液晶的定向的控制。

[0231] 图 9 所示的薄膜晶体管 329、连接到薄膜晶体管 329 的像素电极 326 以及保持电容部 331 分别可以与薄膜晶体管 328、像素电极 324 及保持电容部 330 同样地形成。薄膜晶体管 328 和薄膜晶体管 329 都与布线 316 连接。该液晶面板的一个像素由像素电极 324 的区域和像素电极 326 的区域构成。像素电极 324 的区域和像素电极 326 的区域是亚像素。

[0232] 图 10 表示衬底 301 一侧的平面图。在遮光层 332 上形成有对置电极 340。对置电极 340 优选通过使用与像素电极 324 同样的材料形成。在对置电极 340 上具有控制液晶的定向的突起 344。此外,根据遮光层 332 的位置形成有隔离物 342。此外,在图 10 中,只对遮光层 332、间隔物 342 以及突起 344 进行阴线处理。

[0233] 图 11 示出前面说明了的像素结构的等效电路。薄膜晶体管 328 和薄膜晶体管 329 都连接到用作扫描线的布线 302、布线 316。在图 11 中,通过使用作电容线的布线 304 的电位和同样地用作电容线的布线 305 的电位不同,可以使液晶元件 351 和液晶元件 352 的工作不同。就是说,通过分别控制布线 304 和布线 305 的电位,可以精密地控制液晶的定向来实现广视野角。

[0234] 当对设置有槽缝 325 的像素电极 324 施加电压时,在槽缝 325 的近旁产生电场应变(倾斜电场)。通过将该槽缝 325 和衬底 301 一侧的突起 344 配置为彼此咬合,可以有效地产生倾斜电场,且控制液晶的定向。因此,根据地方使液晶定向的方向不同。就是说,进行多畴化来扩大液晶面板的视野角。

[0235] 接着,对于与上述不同的 VA 方式液晶显示装置,参照图 12 至图 15 进行说明。

[0236] 图 13 是形成像素电极的衬底一侧的平面图,而图 12 示出对应于沿着图 13 所示的

切断线 C-D 的截面结构。此外,图 14 是形成对置电极的衬底一侧的平面图。在下面的说明中,参照这些附图进行说明。

[0237] 在图 12 至 15 所示的液晶显示装置的像素结构中,一个像素包括多个像素电极,并且每个像素电极与薄膜晶体管连接。就是说,是以多畴设计的像素。各薄膜晶体管包括以不同的栅极信号驱动的结构。就是说,可以独立控制施加到各个像素电极的信号(参照图 15)。

[0238] 像素电极 424 在开口部 423 中通过布线 418 连接到薄膜晶体管 428。此外,像素电极 426 在开口部 427 中通过布线 419 连接到薄膜晶体管 429。连接到薄膜晶体管 428 的栅电极的用作扫描线的布线 402 和连接到薄膜晶体管 429 的栅电极的用作扫描线的布线 403 彼此分离,以可以将不同的栅极信号提供到它们。另一方面,薄膜晶体管 428 和薄膜晶体管 429 共同使用用作信号线的布线 416。薄膜晶体管 428 和薄膜晶体管 429 可以适当地使用与实施方式 1 所说明的用作保护二极管的薄膜晶体管同样的薄膜晶体管。

[0239] 此外,薄膜晶体管 428 连接有保持电容部 430。薄膜晶体管 429 连接有保持电容部 431。

[0240] 像素电极 424 和像素电极 426 的形状不同,并且由槽缝 425 分离。以围绕以 V 字型扩展的像素电极 424 的外侧地设置有像素电极 426。通过在薄膜晶体管 428 及薄膜晶体管 429 中使施加到像素电极 424 和像素电极 426 的电压的时序不同,控制液晶的定向。图 15 示出该像素结构的等效电路。薄膜晶体管 428 与用作扫描线的布线 402 连接,而薄膜晶体管 429 与用作扫描线的布线 403 连接。通过将不同的栅极信号提供到布线 402 和布线 403,可以使薄膜晶体管 428 和薄膜晶体管 429 的工作时序不同。

[0241] 在对置衬底的衬底 401 上形成有遮光层 432、着色层 436、对置电极 440。此外,在着色层 436 和对置电极 440 之间形成平坦化层 437,以防止液晶的定向无序。图 14 示出对置衬底一侧的平面图。对置电极 440 是在不同的像素之间共同使用的,并且它具有槽缝 441。通过将该槽缝 441 和像素电极 424 及像素电极 426 一侧的槽缝 425 配置为彼此咬合,可以有效地产生倾斜电场,且控制液晶的定向。因此,根据地方使液晶定向的方向不同,来实现广视野角。

[0242] 通过使具有定向层 448 的像素电极 424、液晶层 450、以及具有定向层 446 的对置电极 440,设置第一液晶元件 451。此外,通过使具有定向层 448 的像素电极 426、液晶层 450、以及具有定向层 446 的对置电极 440 重叠,设置第二液晶元件 452。从而,在图 12 至 15 所示的像素结构中,采用在一个像素中设置有第一液晶元件 451 和第二液晶元件 452 的多畴结构。

[0243] 本发明也可以应用于水平电场方式的液晶显示装置。水平电场方式是通过对于单元内的液晶分子在水平方向上施加电场驱动液晶来表现灰度的方式。通过水平电场方式,可以将视野角扩大为大约 180° 。以下,参照图 16 及图 17 说明应用本发明的水平电场方式的液晶显示装置。

[0244] 图 16 示出使形成有第一像素电极 507、薄膜晶体管 528 和与该薄膜晶体管 528 连接的第二像素电极 524 的衬底 500 和衬底 501 对置并注入液晶的状态。衬底 501 包括遮光层 532、着色层 536 以及平坦化层 537。衬底 500 包括像素电极,而衬底 501 不包括像素电极。在衬底 500 和衬底 501 之间设置有液晶层 550。

[0245] 衬底 500 具有第一像素电极 507、连接到第一像素电极 507 的用作电容线的布线 504 以及薄膜晶体管 528。薄膜晶体管 528 可以适当地使用与实施方式 1 所说明的用作保护二极管的薄膜晶体管同样的薄膜晶体管。第一像素电极 507 可以使用与实施方式 1 所示的第三导电层同样的材料。此外,第一像素电极 507 具有以实质上区划为像素形状的形状。此外,在第一像素电极 507 及布线 504 上具有栅极绝缘层 506。

[0246] 在栅极绝缘层 506 上形成薄膜晶体管的源电极及漏电极、与它们连接的布线 516 以及布线 518。布线 516 是在液晶显示装置中输入视频信号的信号线。布线 516 是在一个方向上延伸的布线,同时连接到源区 510,并且连接到源电极及漏电极的一方。布线 518 连接到源电极及漏电极的另一方,并且连接到第二像素电极 524。

[0247] 在布线 516 及布线 518 上设置第二绝缘层 520。此外,在第二绝缘层 520 上形成第二像素电极 524,该第二像素电极 524 在设置在第二绝缘层 520 中的开口部 523 中连接到布线 518。第二像素电极 524 通过使用与实施方式 1 所说明的第三导电层同样的材料来形成。

[0248] 如上所述,在衬底 500 上设置薄膜晶体管 528、连接到薄膜晶体管 528 的第二像素电极 524。此外,保持电容形成在第一像素电极 507 和第二像素电极 524 之间。

[0249] 图 17 是表示像素电极的结构平面图。在第二像素电极 524 中设置有槽缝 525。槽缝 525 是用来控制液晶定向的。在此情况下,电场在第一像素电极 507 和第二像素电极 524 之间发生。在第一像素电极 507 和第二像素电极 524 之间具有栅极绝缘层 506,并且该栅极绝缘层 506 的厚度大约为 50nm 以上且 200nm 以下,十分薄于其厚度大约为 $2\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下的液晶层,所以实际上在与衬底 500 平行的方向上(水平方向)发生电场。通过该电场来控制液晶定向。通过利用该在与衬底实质上平行的方向上的电场,来使液晶分子水平旋转。在此情况下,因为液晶分子在哪个状态下也水平,所以几乎没有根据看到的角度而引起的对比度等的变化。就是说,可以实现广视野角。此外,因为第一像素电极 507 及第二像素电极 524 都是具有透光性的电极,所以可以实现高开口率。

[0250] 接着,参照图 18 及 19 说明具有与上述不同的方式的水平电场方式的液晶显示装置。

[0251] 图 18 和图 19 表示 IPS 型液晶显示装置的像素结构。图 19 是平面图,而图 18 示出对应于沿着图 19 所示的切断线 G-H 的截面结构。在下面的说明中,参照图 18 及图 19 进行说明。

[0252] 图 18 示出使具有薄膜晶体管 628 及与该薄膜晶体管 628 连接的第二像素电极 624 的衬底 600 和衬底 601 对置并注入液晶的状态。在衬底 601 上形成有遮光层 632、着色层 636 以及平坦化层 637 等。衬底 600 包括像素电极,而衬底 601 不包括像素电极。在衬底 600 和衬底 601 之间设置有液晶层 650。

[0253] 衬底 600 包括成为共同电位线的布线 609 及薄膜晶体管 628。布线 609 可以与薄膜晶体管 628 的扫描线 602 同时以相同的工序形成。此外,第一像素电极也以与扫描线 602 相同的工序形成,并且它具有实质上区划为像素形状的形状。

[0254] 在栅极绝缘层 606 上形成连接到薄膜晶体管 628 的源电极及漏电极的一方的布线 616、布线 618。布线 616 是在液晶显示装置中输入视频信号的信号线。布线 616 是在一个方向上延伸的布线,同时连接到源区 610,并且连接到源电极及漏电极的一方。布线 618 连

接到源电极及漏电极的另一方,并且连接到第二像素电极 624。此外,薄膜晶体管 628 可以使用与实施方式 1 所说明的用作保护二极管的薄膜晶体管同样的薄膜晶体管。

[0255] 在布线 616 及布线 618 上设置第二绝缘层 620。此外,在第二绝缘层 620 上形成第二像素电极 624,该第二像素电极 624 在形成在第二绝缘层 620 中的开口部 623 中连接到布线 618。第二像素电极 624 通过使用与实施方式 1 所说明的第三导电层同样的材料来形成。另外,如图 19 所示,设置第二像素电极 624,以使水平电场发生在与梳子形电极(第一像素电极)之间,该梳子形电极与布线 609 同时形成。此外,设置第二像素电极 624,以使其梳子状部分和与布线 609 同时形成的梳子形电极(第一像素电极)彼此咬合。

[0256] 当电场发生在施加到第二像素电极 624 的电位和布线 609 的电位之间时,通过该电场来控制液晶定向。通过利用该在与衬底实质上平行的方向上的电场,来使液晶分子水平旋转。在此情况下,因为液晶分子在哪个状态下也水平,所以几乎没有根据看到的角度而引起的对比度等的变化。因此,可以实现广视野角。

[0257] 如上所述,在衬底 600 上设置薄膜晶体管 628 以及与该薄膜晶体管 628 连接的第二像素电极 624。保持电容通过在布线 609 和与布线 616 同时形成的电容电极 615 之间设置栅极绝缘层 606 而形成。电容电极 615 和第二像素电极 624 在开口部 623 彼此连接。

[0258] 本发明也可以应用于 TN 方式的液晶显示装置。因此,以下说明应用本发明的 TN 型的液晶显示装置的方式。

[0259] 图 20 和图 21 示出 TN 型液晶显示装置的像素结构。图 21 是平面图,而图 20 示出对应于沿着图 21 所示的切断线 I-J 的截面结构。在下面的说明中,参照图 20 及图 21 进行说明。

[0260] 像素电极 724 在开口部 723 中,利用布线 718 与薄膜晶体管 728 连接。用作数据线的布线 716,与薄膜晶体管 728 连接。作为薄膜晶体管 728,可以适当地使用与实施方式 1 所说明的用作保护二极管的薄膜晶体管同样的薄膜晶体管。

[0261] 像素电极 724 通过使用与实施方式 1 所说明的第三导电层同样的材料来形成。

[0262] 对置衬底的衬底 701 具有遮光层 732、着色层 736 以及对置电极 740。此外,在着色层 736 和对置电极 740 之间具有平坦化层 737,以防止液晶的定向无序。液晶层 750 设置在像素电极 724 和对置电极 740 之间。

[0263] 通过使像素电极 724、液晶层 750 以及对置电极 740 重叠,来形成液晶元件。

[0264] 此外,也可以在衬底 700 上设置成为颜色滤光片的着色层、或者屏蔽层(黑矩阵)。此外,将偏振片贴到衬底 700 的与设置有薄膜晶体管等的表面相反的表面(背面),而将偏振片贴到衬底 701 的与设置有对置电极 740 等的表面相反的表面(背面)。

[0265] 对置电极 740 可以适当地使用与像素电极 724 同样的材料。通过使像素电极 724、液晶层 750 以及对置电极 740 重叠,来形成液晶元件。

[0266] 此外,在当前面说明时参照了的附图中,栅电极和扫描线以相同的层形成。同样地,源电极或漏电极和信号线以相同的层形成。

[0267] 通过上述工序,可以制造液晶显示装置。作为本实施方式的液晶显示装置包括的薄膜晶体管,使用与实施方式 1 所说明的用作保护二极管的薄膜晶体管同样的。因此,薄膜晶体管的截止电流少且电特性的可靠性高。所以,可以使本实施方式所说明的液晶显示装置的对比度和可见度高。

[0268] 实施方式 3

[0269] 本发明不但可以应用于液晶显示装置,而且可以应用于发光装置。在本实施方式中,参照图 22A 至图 23C 来说明发光装置的制造工序等。作为发光装置,使用利用电致发光的发光元件。利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物来进行区别,一般来说,前者被称为有机 EL 元件,而后者被称为无机 EL 元件。

[0270] 在有机 EL 元件中,通过对发光元件施加电压,电子及空穴从一对电极分别注入到包括发光性的有机化合物的层中,而流过电流。而且,通过使这些载流子(电子及空穴)重新组合,发光性的有机化合物形成激发态,并且该激发态回到基底态时发光。这种发光元件根据其机理而被称为电流激发型发光元件。

[0271] 根据其元件结构,将无机 EL 元件分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件具有将发光材料的粒子分散在粘合剂中的发光层,并且其发光机理是利用施主能级和受主能级的施主-受主复合发光。薄膜型无机 EL 元件具有由电介质层夹住发光层并且由电极夹住其而成的结构,并且其发光机理是利用金属离子的内层电子跃迁的局部发光。此外,在此,使用有机 EL 元件作为发光元件来说明。此外,使用具有与实施方式 1 所说明的用作保护二极管的薄膜晶体管同样的结构的薄膜晶体管作为控制发光元件的驱动的薄膜晶体管来进行说明。

[0272] 如实施方式 1 所说明,经过图 4A 至图 5C 的工序,如图 22A 所示地在衬底 800 上形成薄膜晶体管。在图 22A 中,在薄膜晶体管 801 及 802 上具有用作保护层的绝缘层 803,并且在绝缘层 803 上具有绝缘层 804。绝缘层 804 是为了使上表面平坦化而设置的。绝缘层 804 优选通过利用丙烯、聚酰亚胺、聚酰胺等有机树脂;或者硅氧烷来形成。

[0273] 在绝缘层 804 上具有导电层 805。导电层 805 用作像素电极。当像素的薄膜晶体管是 n 型时,优选形成阴极作为像素电极,然而当 p 型时,优选形成阳极。当形成阴极时,使用功函数小的已知材料例如 Ca、Al、CaF、MgAg、AlLi 等,即可。

[0274] 接着,如图 22B 所示,在导电层 805 的端部及绝缘层 804 上形成分隔壁 806。分隔壁 806 具有开口部,并且在该开口部中,导电层 805 露出。分隔壁 806 通过使用有机树脂、无机绝缘材料或有机聚硅氧烷来形成。特别优选的是,以如下条件形成分隔壁 806:使用感光性的材料,并在导电层 805 上形成开口部,且使该开口部的侧壁成为具有连续曲率的倾斜面。

[0275] 接着,形成发光层 807,以使其在分隔壁 806 的开口部中与导电层 805 接触。发光层 807 即可以由单层构成,又可以由多层的叠层构成。

[0276] 接着,覆盖发光层 807 地形成导电层 808。导电层 808 被称为共同电极。导电层 808 可以通过利用使用在实施方式 1 中作为第三导电层 116 列举了的具有透光性的导电材料的透光导电层来形成。作为导电层 808,也可以使用氮化钛层或者钛层。在图 22B 中,使用 ITO 作为导电层 808。通过在分隔壁 806 的开口部中使导电层 805、发光层 807 和导电层 808 重叠,来形成发光元件 809。此后,优选在导电层 808 以及分隔壁 806 上形成保护层 810,以防止氧、氢、水分、二氧化氮等侵入发光元件 809。作为保护层 810,可以使用氮化硅层、氮氧化硅层以及 DLC 层等。

[0277] 实际上,优选在完成到图 22B 之后,利用气密性高且漏气少的保护薄膜(层压薄膜、紫外线固化树脂薄膜等)或者覆盖材料进一步进行封装(封入),以防止暴露于空气。

[0278] 接着,参照图 23A 至 23C 说明发光元件的结构。在此,举出驱动晶体管是 n 型的情况作为实例,将说明像素的截面结构。

[0279] 对发光元件来说,为了取出发光,其阳极及阴极中的至少一方是透明即可。并且,在衬底上形成薄膜晶体管以及发光元件。例如有如下发光元件:从与衬底相反一侧的表面取出发光的顶部发射结构;从衬底一侧的表面取出发光的底部发射结构;以及从衬底一侧及与衬底相反一侧的表面双方取出发光的双面发射结构。在本发明中,可以应用于上述发射结构中的哪一个。

[0280] 图 23A 示出顶部发射结构的发光元件。图 23A 是在驱动晶体管 821 是 n 型且从发光元件 822 发射的光穿过阳极 825 一侧的情况下的像素的剖视图。在图 23A 中,发光元件 822 的阴极 823 和驱动晶体管 821 电连接,并且在阴极 823 上依次层叠有发光层 824 以及阳极 825。阴极 823 只要是功函率小且反射光的导电层就可以,并且可以使用已知材料。例如,优选使用钙、铝、氟化钙、银镁合金、锂铝合金等。并且,发光层 824 既可以由单层构成,又可以由多层的叠层构成。在由多层构成的情况下,在阴极 823 上依次层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。此外,无需都设置这些层。阳极 825 由透过光的具有透光性的导电材料形成,例如也可以使用包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(ITO)、铟锌氧化物或者添加有氧化硅的铟锡氧化物等具有透光性的导电层。

[0281] 由阴极 823 和阳极 825 夹住发光层 824 的区域相当于发光元件 822。在图 23A 所示的像素的情况下,从发光元件 822 发射的光如空心箭头所示发射到阳极 825 一侧。

[0282] 图 23B 表示底部发射结构的发光元件。图 23B 是在驱动晶体管 831 是 n 型且从发光元件 832 发射的光发射到阴极 833 一侧的情况下的像素的剖视图。在图 23B 中,在电连接到驱动晶体管 831 且具有透光性的导电层 837 上形成有发光元件 832 的阴极 833,并且在阴极 833 上依次层叠有发光层 834 及阳极 835。此外,在阳极 835 具有透光性的情况下,也可以覆盖阳极上地形成有用来反射或遮蔽光的遮蔽层 836。阴极 833 与图 23A 的情况同样只要是功函数小的导电层就可以,并且可以使用已知材料。但是,将其厚度设定为透过光的程度(优选为 5nm 以上且 30nm 以下左右)。例如,可以使用具有 20nm 的厚度的铝作为阴极 833。并且,发光层 834 与图 23A 同样既可以由单层构成,又可以由多层的叠层构成。阳极 835 无需透过光,但是也可以与图 23A 同样地利用具有透光性的导电材料来形成。并且,作为遮蔽层 836,例如可以使用反射光的金属层等,但是不局限于此。例如,也可以使用添加有黑色颜料的树脂等。

[0283] 由阴极 833 和阳极 835 夹住发光层 834 的区域相当于发光元件 832。在图 23B 所示的像素的情况下,从发光元件 832 发射的光如空心箭头所示发射到阴极 833 一侧。

[0284] 图 23C 表示双面发射结构的发光元件。在图 23C 中,在电连接到驱动晶体管 841 且具有透光性的导电层 847 上形成有发光元件 842 的阴极 843,并且在阴极 843 上依次层叠有发光层 844 及阳极 845。阴极 843 与图 23A 的情况同样只要是功函数小的导电层就可以,并且可以使用已知材料。但是,将其厚度设定为透过光的程度。例如,可以使用具有 20nm 的厚度的铝作为阴极 843。并且,发光层 844 与图 23A 同样既可以由单层构成,又可以由多层的叠层构成。阳极 845 可以与图 23A 同样地利用具有透光性的导电材料来形成。

[0285] 阴极 843、发光层 844 和阳极 845 彼此重叠的部分相当于发光元件 842。在图 23C

所示的像素的情况下,从发光元件 842 发射的光如空心箭头所示发射到阳极 845 一侧和阴极 843 一侧的双方。

[0286] 此外,虽然在此说明了使用有机 EL 元件作为发光元件的情况,但是也可以使用无机 EL 元件作为发光元件。

[0287] 此外,虽然在本实施方式中示出了控制发光元件的驱动的薄膜晶体管(驱动晶体管)和发光元件直接连接的实例,但是也可以在驱动晶体管和发光元件之间连接有电流控制晶体管。

[0288] 此外,本实施方式所示的发光装置不局限于图 23A 至 23C 所示的结构,而可以根据本发明的技术思想进行各种变形。例如,虽然在图 22A 至 23C 中第一绝缘层以及第二导电层具有叠层结构,但是也可以具有单层结构。

[0289] 通过上述工序,可以制造发光装置。作为本实施方式的发光装置包括的薄膜晶体管,使用与实施方式 1 所说明的用作保护二极管的薄膜晶体管同样的。因此,薄膜晶体管的截止电流少且电特性的可靠性高。所以,可以提高本实施方式所说明的发光装置的对比度和可见度。

[0290] 实施方式 4

[0291] 接着,参照附图来说明安装到实施方式 2 所说明的显示装置或者实施方式 3 所说明的发光装置的显示面板或者发光面板的一个方式。

[0292] 在本发明的显示装置或发光装置中,如图 2 所示,优选将连接到像素部的信号线驱动电路及扫描线驱动电路设置在另外的衬底(例如,半导体衬底或者 SOI 衬底等)上且连接。然而,也可以不另行设置而在与像素电路相同的衬底上形成。

[0293] 此外,在本实施方式中,将液晶显示装置和发光装置总称为显示装置。

[0294] 此外,对于另行形成的衬底的连接方法没有特别的限制,可以使用已知的 COG 方法、引线键合方法、或 TAB 方法等。此外,若是可以实现电连接,对于连接位置没有特别的限制。另外,也可以另行形成控制器、CPU、存储器等而连接到像素电路。

[0295] 图 24 示出本发明的显示装置的框图。图 24 所示的显示装置包括具有多个具备显示元件的像素的像素部 850、选择各个像素的扫描线驱动电路 852、控制对被选择的像素的视频信号的输入的的信号线驱动电路 853。

[0296] 图 24 所示的信号线驱动电路 853 包括移位寄存器 854 以及模拟开关 855。在移位寄存器 854 中输入有时钟信号(CLK)和起始脉冲信号(SP)。当输入时钟信号(CLK)和起始脉冲信号(SP)时,在移位寄存器 854 中产生时序信号,而输入到模拟开关 855。

[0297] 此外,本发明的显示装置不局限于图 24 所示的方式。换言之,在本发明中使用的信号线驱动电路不局限于只具有移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关以外,还可以具有缓冲器、电平转移器、源极跟随器等其他电路。此外,不一定要设置移位寄存器及模拟开关,例如既可以使用如译码电路的能够选择信号线的其他电路而代替移位寄存器,又可以使用锁存器等而代替模拟开关。

[0298] 此外,对模拟开关 855 供应视频信号(video signal)。模拟开关 855 根据被输入的时序信号对视频信号进行取样,然后供应给后级的信号线。

[0299] 图 24 所示的扫描线驱动电路 852 包括移位寄存器 856 以及缓冲器 857。此外,也可以根据情况包括电平转移器。在扫描线驱动电路 852 中,对移位寄存器 856 输入时钟信

号 (CLK) 及起始脉冲信号 (SP), 而产生选择信号。产生的选择信号在缓冲器 857 中被缓冲放大, 并被供应给对应的扫描线。在一线中的所有像素晶体管的栅极连接到一个扫描线。并且, 由于当工作时需要使一线的像素的晶体管同时导通, 因此使用能够流过大电流的缓冲器 857。

[0300] 在全彩色的显示装置中, 在对对应于 R(红)、G(绿)、B(蓝) 的视频信号按顺序进行取样而供应给对应的信号线的情况下, 用来连接移位寄存器 854 和模拟开关 855 的端子数相当于用来连接模拟开关 855 和像素部 850 的信号线的端子数的 1/3 左右。因此, 通过将模拟开关 855 形成在与像素部 850 相同的衬底上, 与将模拟开关 855 形成在与像素部 850 不同的衬底上的情况相比, 可以抑制用来连接另行形成的衬底的端子数, 并且抑制连接缺陷的发生几率, 以提高成品率。

[0301] 此外, 虽然图 24 的扫描线驱动电路 852 包括移位寄存器 856 以及缓冲器 857, 但是本发明不局限于此, 也可以只利用移位寄存器 856 构成扫描线驱动电路 852。

[0302] 此外, 图 24 所示的结构只表示本发明的显示装置的一个方式, 信号线驱动电路和扫描线驱动电路的结构不局限于此。

[0303] 接着, 参照图 25 及图 26 说明包括使用极性都相同的微晶半导体层的薄膜晶体管的移位寄存器的一个方式。图 25 示出本实施方式的移位寄存器的结构。图 25 所示的移位寄存器由多个触发器 851_i ($i = 1$ 至 n) 构成。此外, 输入第一时钟信号、第二时钟信号、起始脉冲信号以及复位信号而工作。

[0304] 将说明图 25 的移位寄存器的连接关系。在图 25 的移位寄存器的第 i 级的触发器 851_i ($i = 1$ 至 n) 中, 图 26 所示的第一布线 881 连接到第七布线 867_{i-1}, 图 26 所示的第二布线 882 连接到第七布线 867_{i+1}, 图 26 所示的第三布线 883 连接到第七布线 867_i, 图 26 所示的第六布线 886 连接到第五布线 865。

[0305] 此外, 图 26 所示的第四布线 884 在第奇数级的触发器中连接到第二布线 862, 在第偶数级的触发器中连接到第三布线 863, 图 26 所示的第五布线 885 连接到第四布线 864。

[0306] 但是, 第一级的触发器 851₁ 中的图 26 所示的第一布线 881 连接到第一布线 861, 第 n 级的触发器 851_n 中的图 26 所示的第二布线 882 连接到第六布线 866。

[0307] 此外, 第一布线 861、第二布线 862、第三布线 863、第六布线 866 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者, 第四布线 864、第五布线 865 也可以分别称为第一电源线、第二电源线。

[0308] 接着, 图 26 示出图 25 所示的触发器的详细。图 26 所示的触发器包括第一晶体管 871、第二晶体管 872、第三晶体管 873、第四晶体管 874、第五晶体管 875、第六晶体管 876、第七晶体管 877 以及第八晶体管 878。在本实施方式中, 将第一晶体管 871、第二晶体管 872、第三晶体管 873、第四晶体管 874、第五晶体管 875、第六晶体管 876、第七晶体管 877 以及第八晶体管 878 设定为 n 沟道型晶体管, 它们当栅极 - 漏极之间的电压 (V_{gs}) 大于阈值电压 (V_{th}) 时成为导通状态。将说明图 25 所示的触发器的连接结构。此外, 在下面的说明中, 第一电极是指源电极及漏电极中的一方, 而第二电极是指源电极及漏电极中的另一方。

[0309] 第一晶体管 871 的第一电极连接到第四布线 884, 第一晶体管 871 的第二电极连接到第三布线 883。

[0310] 第二晶体管 872 的第一电极连接到第六布线 886, 第二晶体管 872 的第二电极连接

到第三布线 883。

[0311] 第三晶体管 873 的第一电极连接到第五布线 885, 第三晶体管 873 的第二电极连接到第二晶体管 872 的栅电极, 第三晶体管 873 的栅电极连接到第五布线 885。

[0312] 第四晶体管 874 的第一电极连接到第六布线 886, 第四晶体管 874 的第二电极连接到第二晶体管 872 的栅电极, 第四晶体管 874 的栅电极连接到第一晶体管 871 的栅电极。

[0313] 第五晶体管 875 的第一电极连接到第五布线 885, 第五晶体管 875 的第二电极连接到第一晶体管 871 的栅电极, 第五晶体管 875 的栅电极连接到第一布线 881。

[0314] 第六晶体管 876 的第一电极连接到第六布线 886, 第六晶体管 876 的第二电极连接到第一晶体管 871 的栅电极, 第六晶体管 876 的栅电极连接到第二晶体管 872 的栅电极。

[0315] 第七晶体管 877 的第一电极连接到第六布线 886, 第七晶体管 877 的第二电极连接到第一晶体管 871 的栅电极, 第七晶体管 877 的栅电极连接到第二布线 882。第八晶体管 878 的第一电极连接到第六布线 886, 第八晶体管 878 的第二电极连接到第二晶体管 872 的栅电极, 第八晶体管 878 的栅电极连接到第一布线 881。

[0316] 此外, 第一布线 881、第二布线 882、第三布线 883 以及第四布线 884 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者, 第五布线 885、第六布线 886 也可以分别称为第一电源线、第二电源线。

[0317] 通过利用使用微晶半导体层的晶体管构成图 24 至图 26 所示的电路, 可以使电路高速工作。例如, 当比较将非晶半导体层使用于驱动电路的情况和将微晶半导体层使用于驱动电路的情况时, 在使用微晶半导体层的情况下, 晶体管的迁移率更大, 所以可以提高驱动电路 (例如, 扫描线驱动电路 852 的移位寄存器 856) 的驱动频率。此外, 由于可以使扫描线驱动电路 852 高速工作, 所以可以提高帧频率, 或者实现黑色画面的插入等。

[0318] 当提高帧频率时, 优选根据图像的动作方向产生画面的数据。就是说, 优选进行运动补偿来内插数据。这样, 通过提高帧频率并内插图像数据, 改善动画的显示特性, 从而可以进行流利的显示。例如, 通过将帧频率例如设定为两倍 (例如, 120 赫兹、100 赫兹) 以上, 更优选为四倍 (例如, 240 赫兹、200 赫兹) 以上, 可以减少动画中的模糊图像、余像。在此情况下, 也通过使扫描线驱动电路 852 的驱动频率提高而工作, 可以提高帧频率。

[0319] 在进行黑色画面的插入的情况下, 可以采用将图像数据或成为黑色显示的数据供应给像素部 850 中的结构。其结果, 成为类似于脉冲驱动的方式, 而可以减少余像。在此情况下, 也通过使扫描线驱动电路 852 的驱动频率提高而工作, 可以进行黑色画面的插入。

[0320] 再者, 通过扩大扫描线驱动电路 852 的晶体管的沟道宽度或配置多个扫描线驱动电路, 可以实现更高的帧频率。例如, 可以实现八倍 (例如, 480 赫兹、400 赫兹) 以上的帧频率。在配置多个扫描线驱动电路的情况下, 通过将用来驱动偶数行的扫描线的扫描线驱动电路配置在一侧, 并将用来驱动奇数行的扫描线的扫描线驱动电路配置在另一侧, 可以提高帧频率。

[0321] 此外, 通过由使用微晶半导体的晶体管构成图 24 至图 26 所示的电路, 可以缩小布局面积。因此, 可以缩小显示装置的边框。例如, 当比较使用非晶半导体层的情况和使用微晶半导体层的情况时, 在使用微晶半导体层的情况下, 晶体管的迁移率更大, 因此可以缩小晶体管的沟道宽度。其结果, 可以实现显示装置的窄边框化。

[0322] 此外, 在图 26 的第二晶体管 872 中, 对第三布线 883 输出低电平的信号的期间长。

其间,第二晶体管 872 一直处于导通状态。因此,对第二晶体管 872 施加很强的压力,而晶体管特性容易退化。当晶体管特性退化时,阈值电压逐渐增大。其结果,电流值逐渐缩小。于是,第二晶体管 872 的沟道宽度优选大,以便即使晶体管退化也可以供应充分的电流。或者,优选进行补偿以便防止在晶体管的退化时产生的电路工作的故障。例如,优选通过与第二晶体管 872 并列地配置晶体管,并使它与第二晶体管 872 交替成为导通状态,不容易受到退化的影响。

[0323] 然而,当比较使用非晶半导体层的情况和使用微晶半导体层的情况时,在使用微晶半导体层的情况下,不容易退化。从而,在使用微晶半导体层的情况下,可以缩小晶体管的沟道宽度。或者,通过使用与实施方式 1 所示的同样的薄膜晶体管,可以大幅度地减少退化,并且即使不配置对于退化的补偿用电路也可以进行正常工作。由此,可以缩小布局面积。

[0324] 接着,参照图 27A 至图 28B 说明相当于本发明的液晶显示装置的一个方式的液晶显示面板以及发光面板的外观及截面。图 27A 是面板的俯视图,其中在与第二衬底 906 之间使用密封材料 905 密封形成在第一衬底 901 上的包括微晶半导体层的晶体管 910 及液晶元件 913。图 27B 相当于沿着图 27A 的 M-N 的剖视图。图 28A 和 28B 表示发光装置的情况。此外,在图 28A 和 28B 中,只对与图 27A 和 27B 不同的部分附上附图标记。

[0325] 以围绕形成在第一衬底 901 上的像素部 902 和扫描线驱动电路 904 的方式设置有密封材料 905。此外,在像素部 902 和扫描线驱动电路 904 上设置有第二衬底 906。因此,使用第一衬底 901、密封材料 905 以及第二衬底 906 将像素部 902 和扫描线驱动电路 904 与液晶 908 或填充材料 931 一起密封。另外,在与第一衬底 901 上的由密封材料 905 围绕的区域不同的区域中安装有使用多晶半导体层形成在另行准备的衬底上的信号线驱动电路 903。此外,虽然在本实施方式中说明将具有使用多晶半导体层的薄膜晶体管的信号线驱动电路贴到第一衬底 901 的实例,但是也可以采用使用单晶半导体的晶体管形成信号线驱动电路并贴合。图 27A 和 27B 例示包括在信号线驱动电路 903 中的由多晶半导体层形成的晶体管 909。

[0326] 此外,设置在第一衬底 901 上的像素部 902 和扫描线驱动电路 904 包括多个晶体管,图 27B 例示包括在像素部 902 中的晶体管 910。此外,虽然在本实施方式中,假设晶体管 910 是驱动晶体管,但是在发光装置中,晶体管 910 既可以是电流控制晶体管,又可以是擦除晶体管。晶体管 910 相当于使用微晶半导体层的晶体管。

[0327] 此外,液晶元件 913 所具有的像素电极 912 电连接到晶体管 910 的布线 918。再者,布线 918 电连接到引导布线 914。而且,液晶元件 913 的对置电极 917 形成在第二衬底 906 上。像素电极 912、对置电极 917 以及液晶 908 重叠的部分相当于液晶元件 913。

[0328] 此外,发光元件 930 所具有的像素电极通过布线电连接到晶体管 910 的源电极或漏电极。而且,在本实施方式中,发光元件 930 的共同电极和具有透光性的导电材料层电连接。此外,发光元件 930 的结构不局限于本实施方式所示的结构。可以根据从发光元件 930 取出的光的方向、晶体管 910 的极性等,适当地改变发光元件 930 的结构。

[0329] 此外,作为第一衬底 901 以及第二衬底 906 的材料,可以使用玻璃、金属(典型地是不锈钢)、陶瓷或者塑料等。作为塑料,可以使用 FRP(纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,也可以使用具有使用 PVF 薄膜、聚酯薄膜夹住

铝箔的结构薄片。

[0330] 另外,隔离物 911 是珠状隔离物,为控制像素电极 912 和对置电极 917 之间的距离(单元间隙)而设置。此外,也可以使用通过选择性地蚀刻绝缘膜来获得的隔离物。就是说,也可以使用支柱间隔物。

[0331] 此外,供应到另行形成的信号线驱动电路 903、扫描线驱动电路 904 或像素部 902 的各种信号及电位从 FPC907 通过引导布线 914 供给。

[0332] 在本实施方式中,连接端子 916 由与液晶元件 913 所具有的像素电极 912 相同的导电层形成。此外,引导布线 914 由与布线 918 相同的导电层形成。

[0333] 连接端子 916 通过各向异性导电层 919 电连接到 FPC907 所具有的端子。

[0334] 此外,虽然未图示,但是本实施方式所示的液晶显示装置具有定向层以及偏振片,还可以具有颜色滤光片、屏蔽层。

[0335] 此外,虽然在图 27B 所示的剖视图中未图示供应到另行形成的信号线驱动电路 903、扫描线驱动电路 904 或像素部 902 的各种信号及电位,但是从 FPC907 通过引导布线 914、915 供给。

[0336] 在本实施方式中,连接端子 916 由与像素电极 912 相同的导电层形成。此外,引导布线 915 由与布线 918 相同的导电层形成。

[0337] 位于在从发光元件 930 的光的取出方向上的衬底的第二衬底应该是透明。在此情况下,使用由玻璃板、塑料板、聚酯薄膜或丙烯薄膜等具有透光性的材料构成的衬底。

[0338] 此外,作为填充材料 931,除了氮、氩等惰性气体以外,还可以使用紫外线固化树脂或热固化树脂等,而可以使用 PVC(聚氯乙烯)、丙烯、聚酰亚胺、环氧树脂、硅树脂、PVB(聚乙烯醇缩丁醛)、或者 EVA(乙烯-醋酸乙烯酯)等。在本实施方式中,作为填充材料,使用氮既可。

[0339] 此外,根据必要,也可以在发光元件的发射表面上适当地设置偏振片、圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 板、 $\lambda/2$ 板)或者颜色滤光片等光学薄膜。此外,也可以在偏振片或圆偏振片设置反射防止层。

[0340] 本实施方式可以与其他实施方式所记载的结构组合而实施。

[0341] 实施方式 5

[0342] 根据本发明而获得的液晶显示装置可以使用于有源矩阵型液晶模块。就是说,可以将本发明应用于将它们安装到显示部中的所有电子设备。作为电子设备,可以举出:影像拍摄装置诸如摄像机、数字相机等;头盔显示器(护目镜型显示器);汽车导航系统;投影机;汽车立体声;个人计算机;便携式信息终端(移动计算机、移动电话、或电子书籍等);等等。图 29A 至 29C 示出它们的一个例子。

[0343] 图 29A 示出电视装置。如图 29A 所示,可以将显示模块嵌入框体中来完成电视装置。将安装有 FPC 的显示面板称为显示模块。由显示模块形成主画面 953,并且作为其他附属设备具备扬声器部 959、操作开关等。这样,可以完成电视装置。

[0344] 如图 29A 所示,将利用显示元件的显示用面板 952 嵌入框体 951 中,可以由接收器 955 接收普通的电视广播。而且,也可以通过调制解调器 954 连接到采用有线或无线方式的通信网络,进行单方向(从发送者到接收者)或双方向(在发送者和接收者之间或在接收者之间)的信息通信。可以使用嵌入框体中的开关或另行形成的遥控操作机 956 来操作电

视装置。并且,也可以在该遥控操作机 956 中设置有显示输出信息的显示部 957。

[0345] 另外,也可以在电视装置中,除了主画面 953 之外,还使用第二显示用面板形成子画面 958,而附加显示频道、音量等的结构。在该结构中,也可以作为主画面 953 和子画面 958 中的一方利用液晶显示面板,而作为另一方利用发光显示面板。另外,为了优先低耗电量化,更优选使用发光显示面板。当利用液晶显示面板形成子画面 958 时,例如使子画面 958 具有能够一亮一灭的结构,即可。

[0346] 图 30 示出表示电视装置的主要结构的框图。在显示面板中形成有像素部 971。如其他实施方式所说明地使信号线驱动电路 972 和扫描线电路 973 连接即可。

[0347] 作为其他外部电路的结构,在图像信号的输入一侧包括图像信号放大电路 975、图像信号处理电路 976、以及控制电路 977 等。该图像信号放大电路 975 放大由调谐器 974 接收的信号中的图像信号,并图像信号处理电路 976 将从其输出的信号转换为与红、绿、蓝各种颜色对应的色信号,且控制电路 977 将该图像信号转换为驱动器 IC 的输入规格。控制电路 977 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下,也可以具有如下结构,即在信号线一侧设置信号分割电路 978,并且将输入数字信号分割成 m 个来供应。

[0348] 由调谐器 974 接收的信号中的音频信号被传送到音频信号放大电路 979,并且其输出经过音频信号处理电路 980 供应到扬声器 983。控制电路 981 从输入部 982 接收接收站(接收频率)、音量的控制信息,并且将信号传送到调谐器 974、音频信号处理电路 980。

[0349] 当然,本发明不局限于电视装置,并且可以应用于各种各样的用途,诸如个人计算机的监视器;大面积的显示媒体如火车站、机场等的信息显示板或者街头上的广告显示板等。

[0350] 图 29B 示出移动电话 961 的一个例子。该移动电话 961 包括显示部 962、操作部 963 等而构成。在显示部 962 中,通过应用上述实施方式所说明的液晶显示装置,可以提高批量生产性。

[0351] 此外,图 29C 所示的便携式计算机包括主体 966、显示部 967 等。通过将上述实施方式所示的液晶显示装置应用于显示部 967,可以提高批量生产性。

[0352] 本说明书根据 2007 年 7 月 26 日在日本专利局受理的日本专利申请号 2007-195252 而制作,所述申请的全部内容包括在本说明书中。

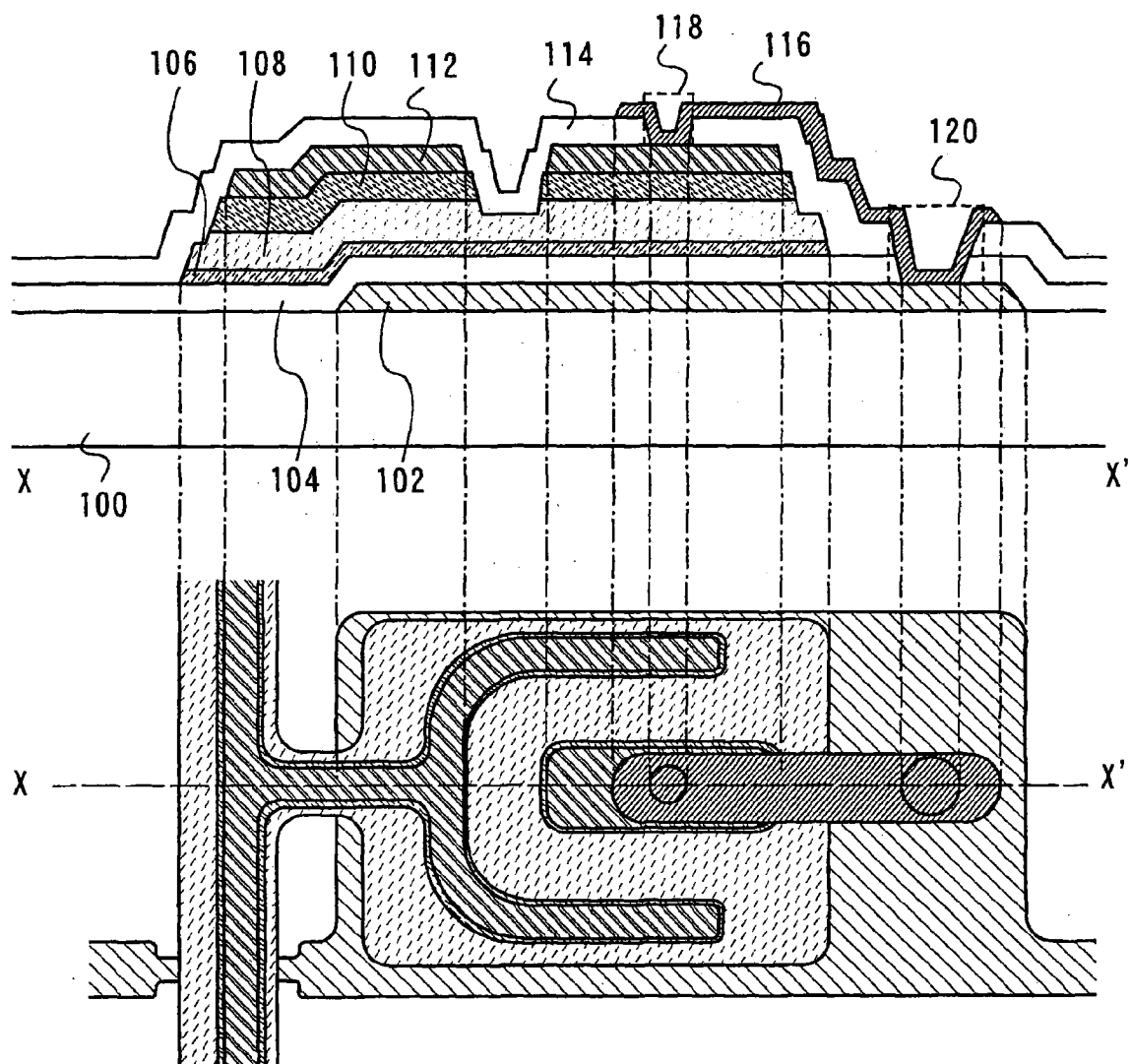


图 1

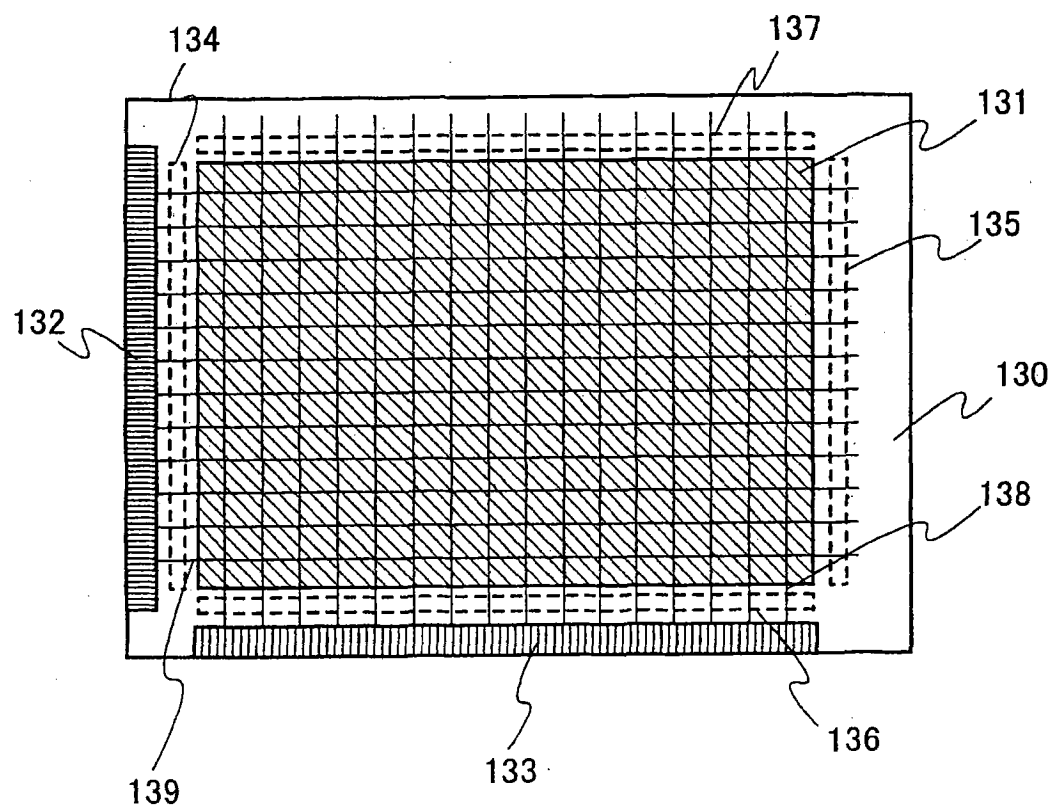


图 2

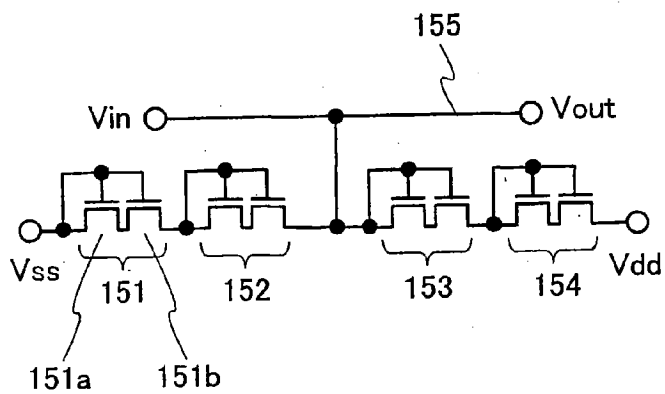


图 3A

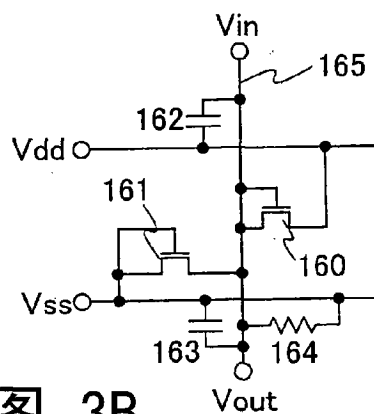


图 3B

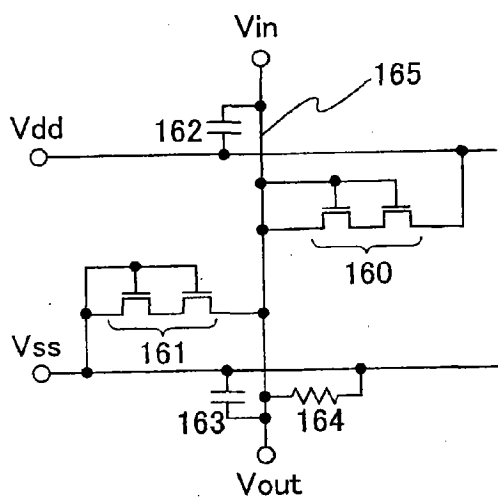


图 3C

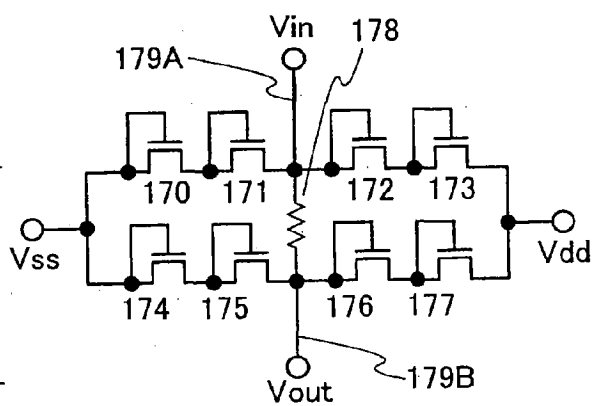


图 3D

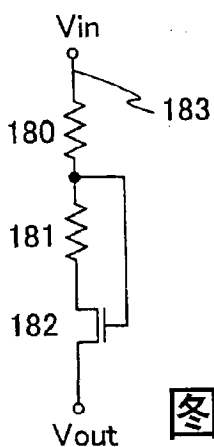


图 3E

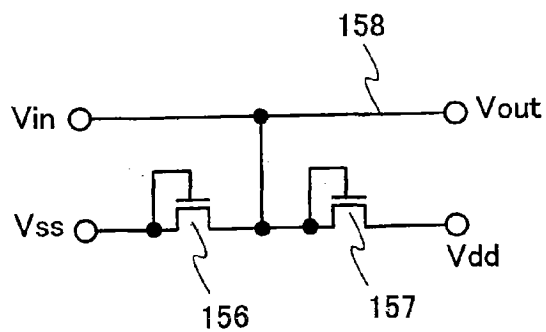


图 3F

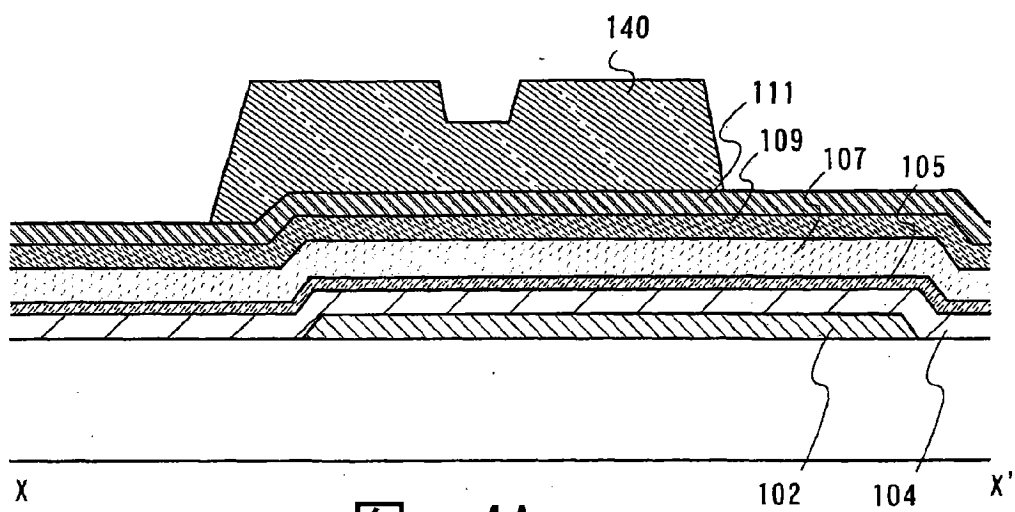


图 4A

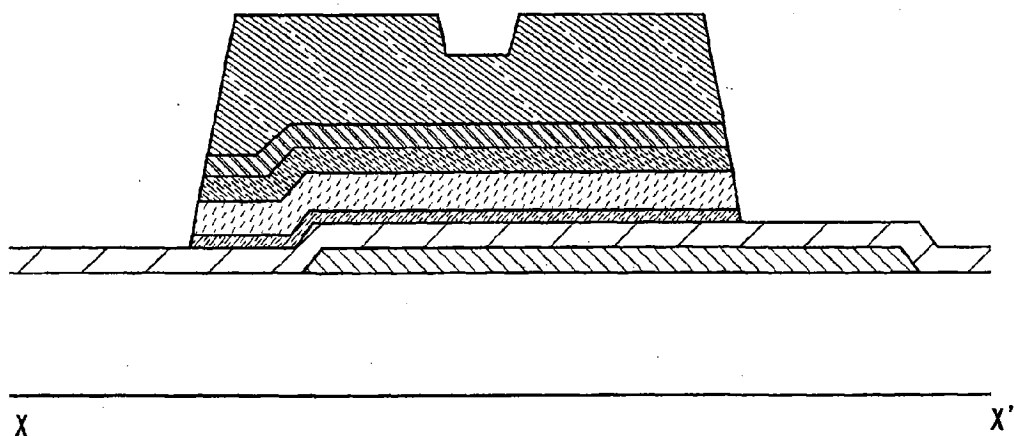


图 4B

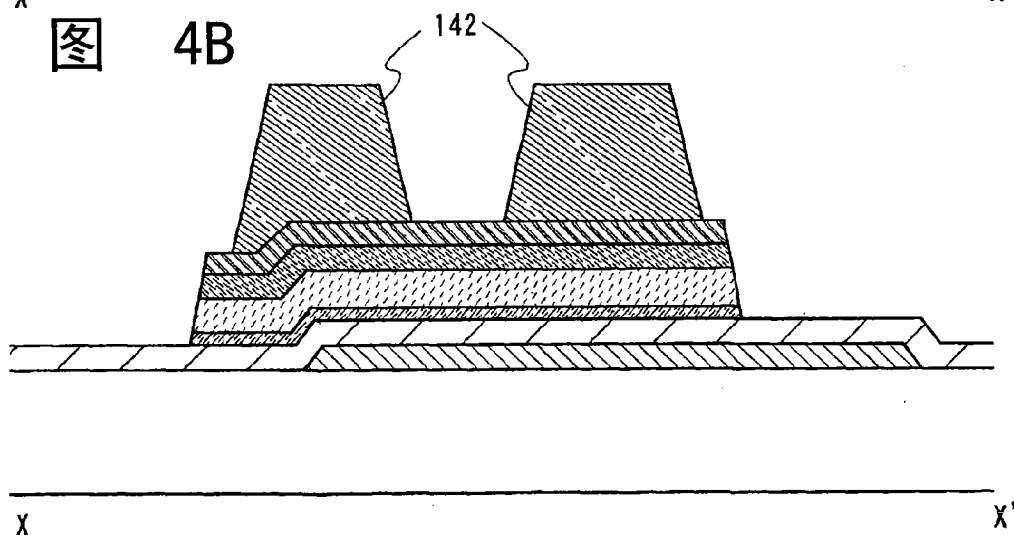


图 4C

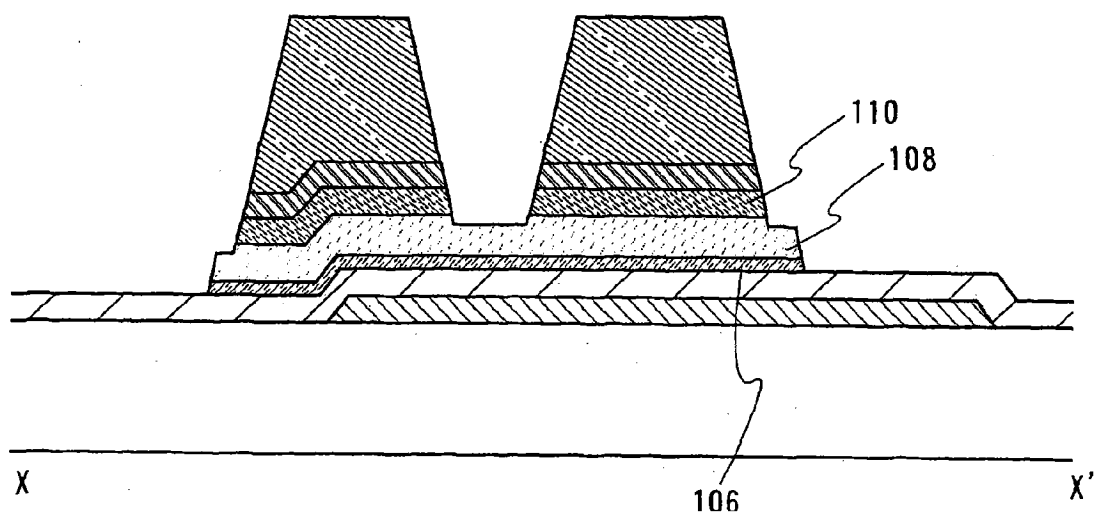


图 5A

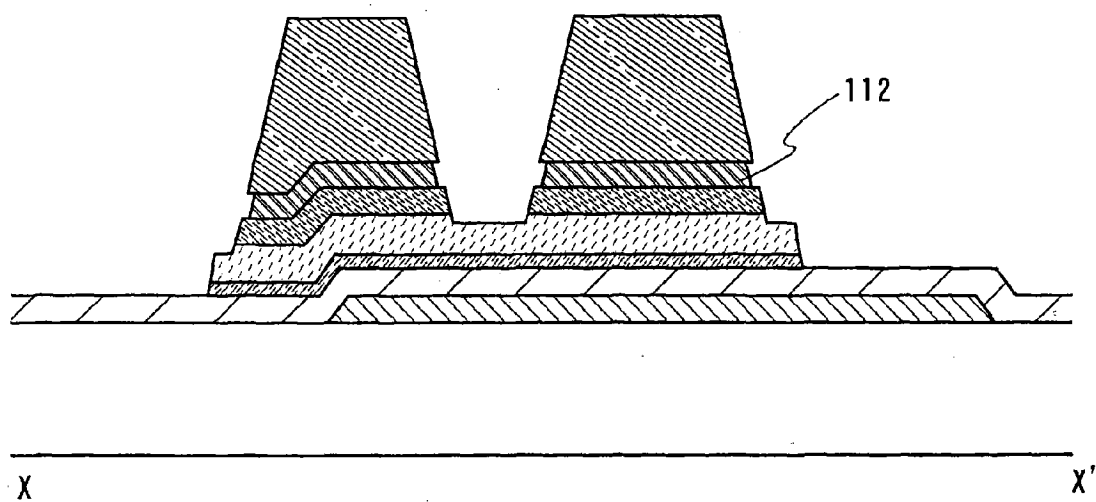


图 5B

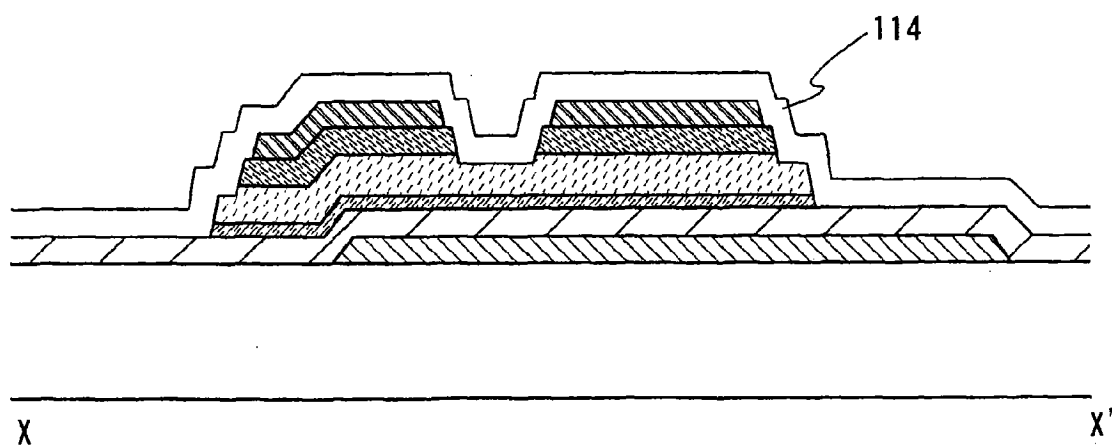


图 5C

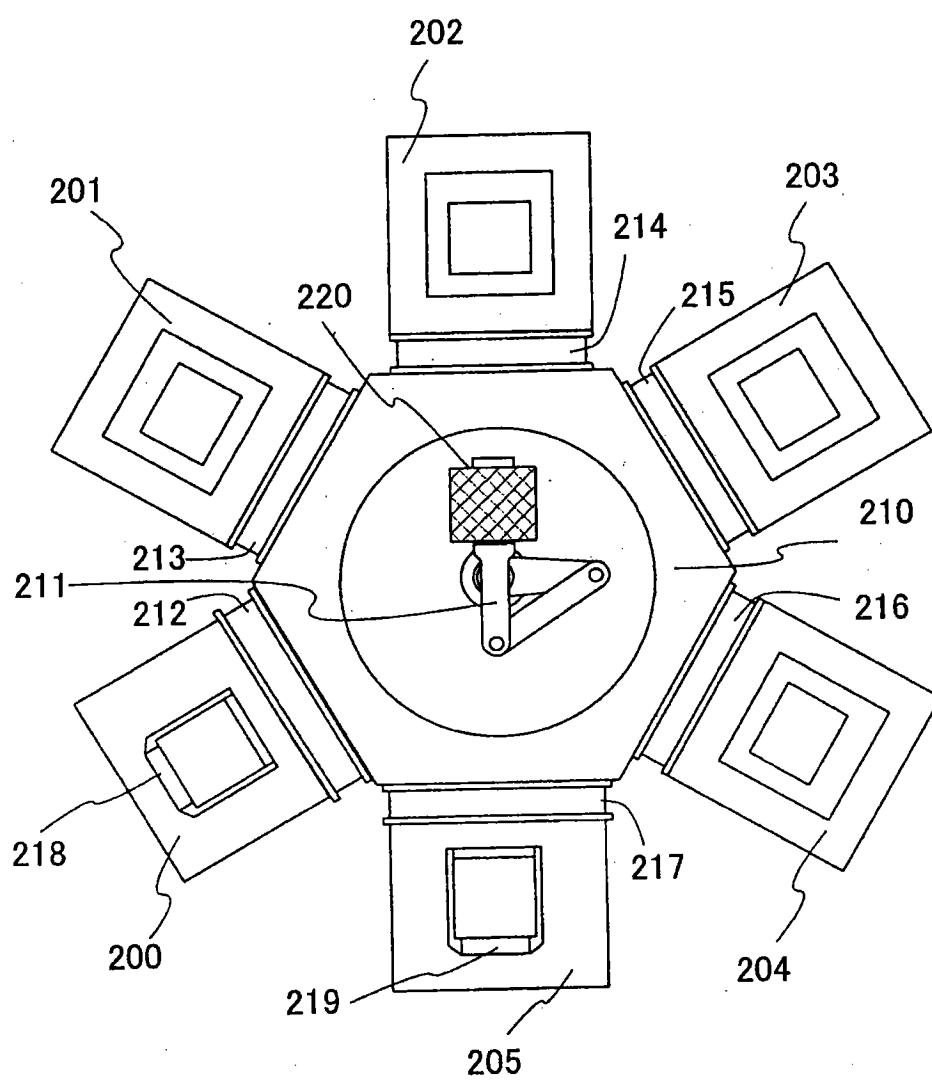


图 6

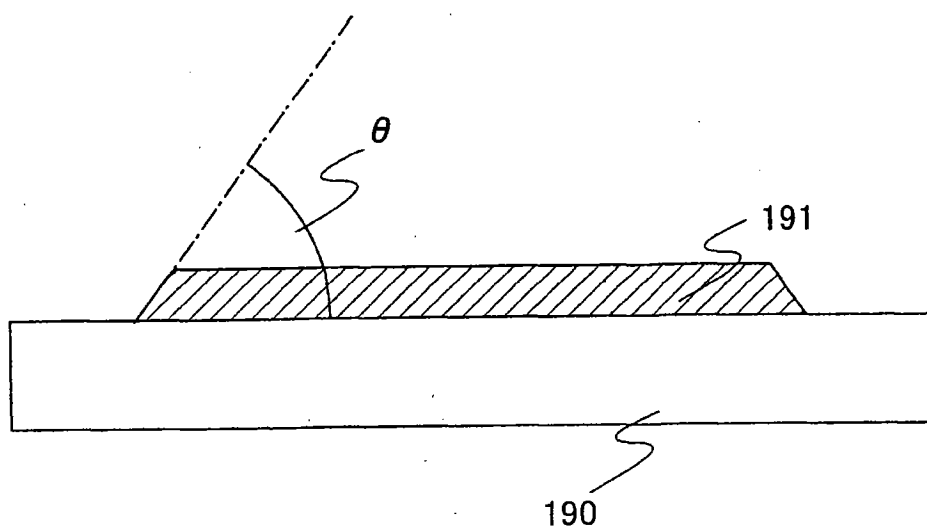


图 7

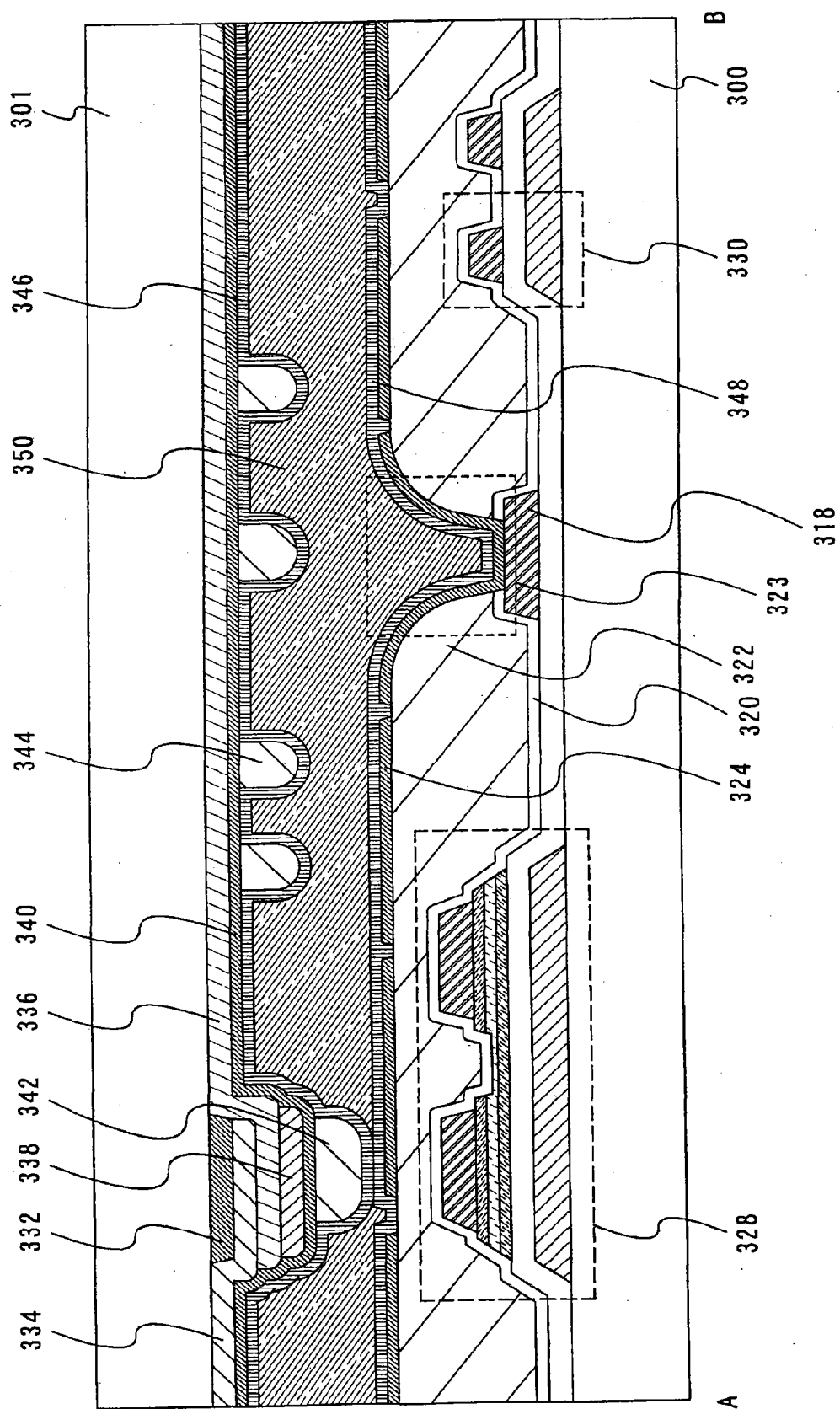


图 8

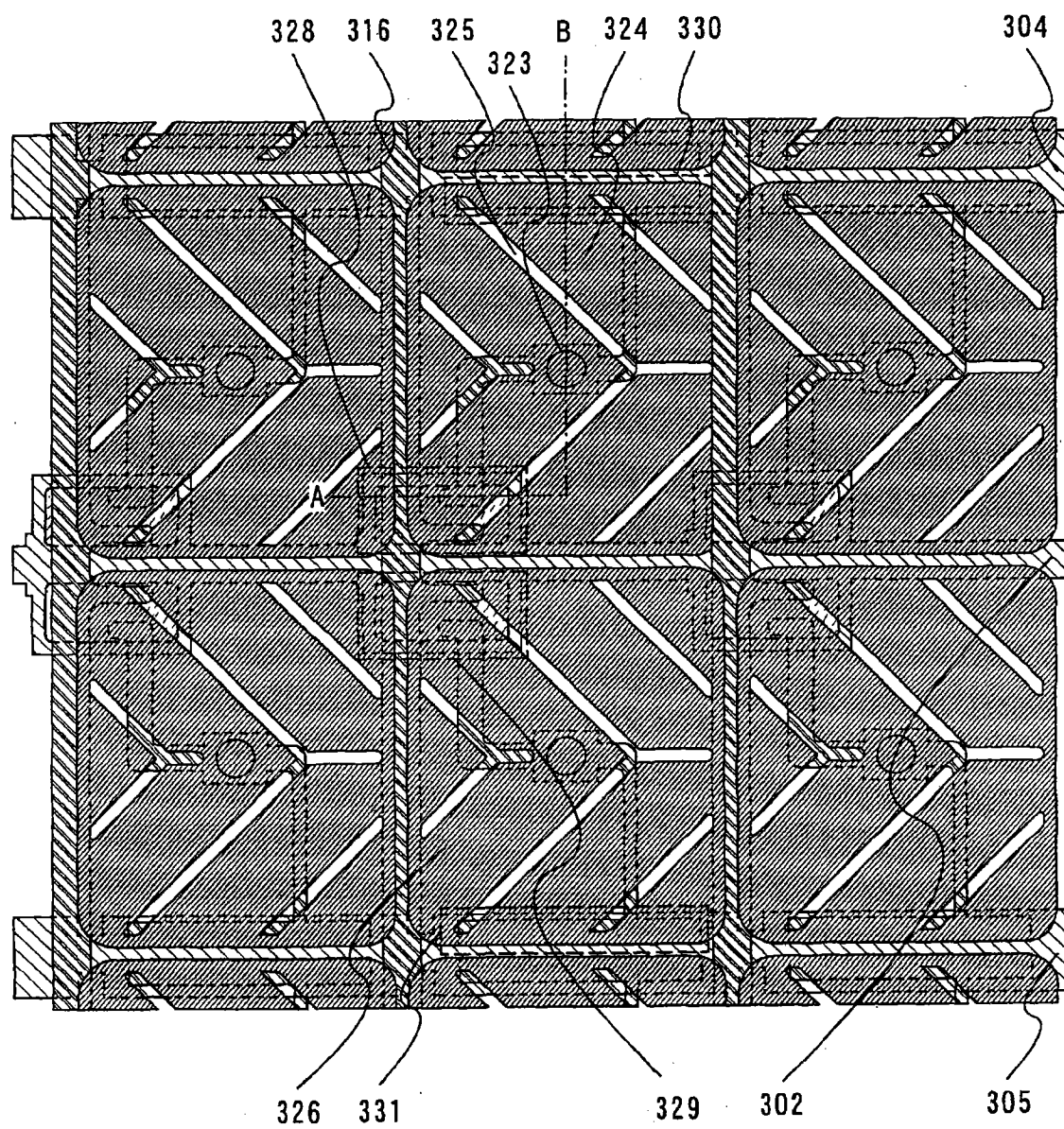


图 9

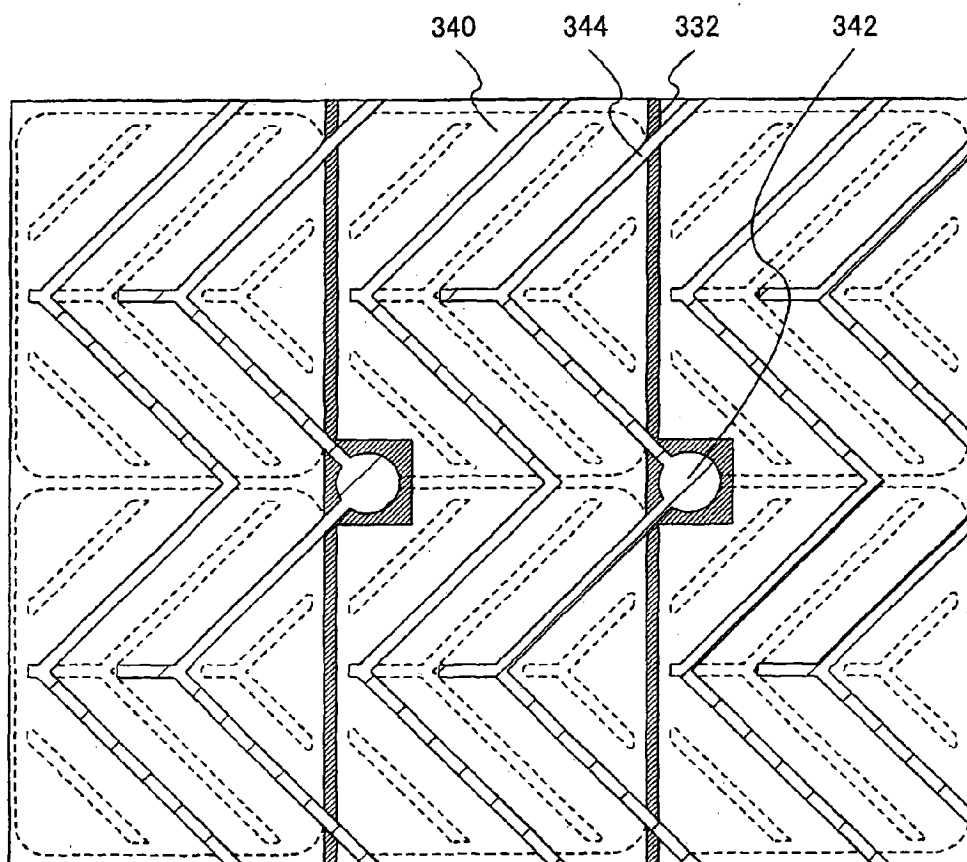


图 10

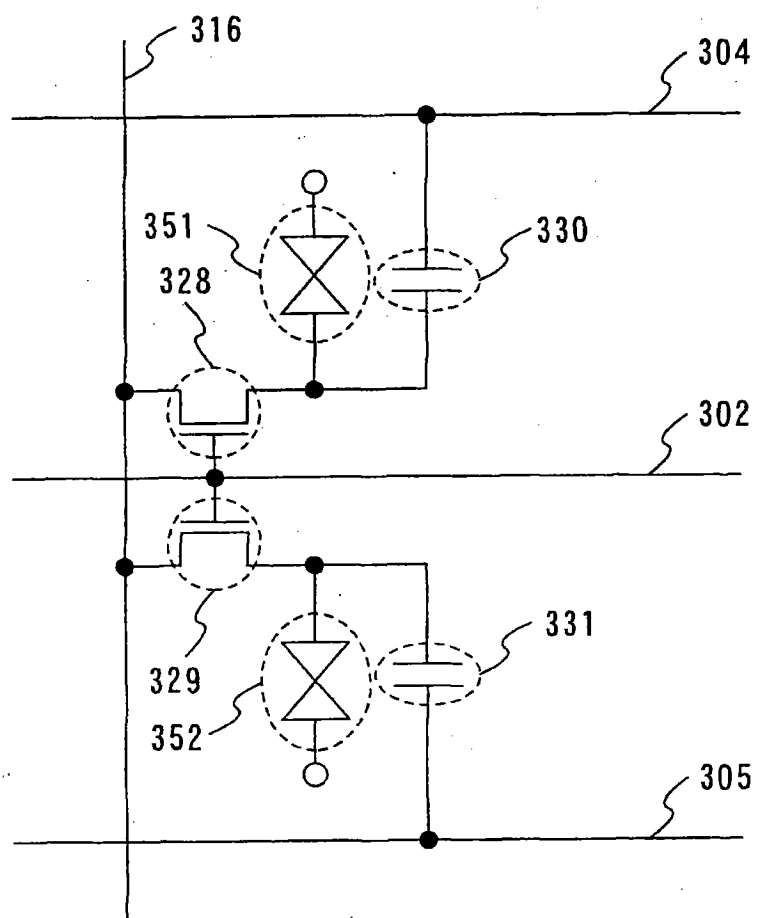


图 11

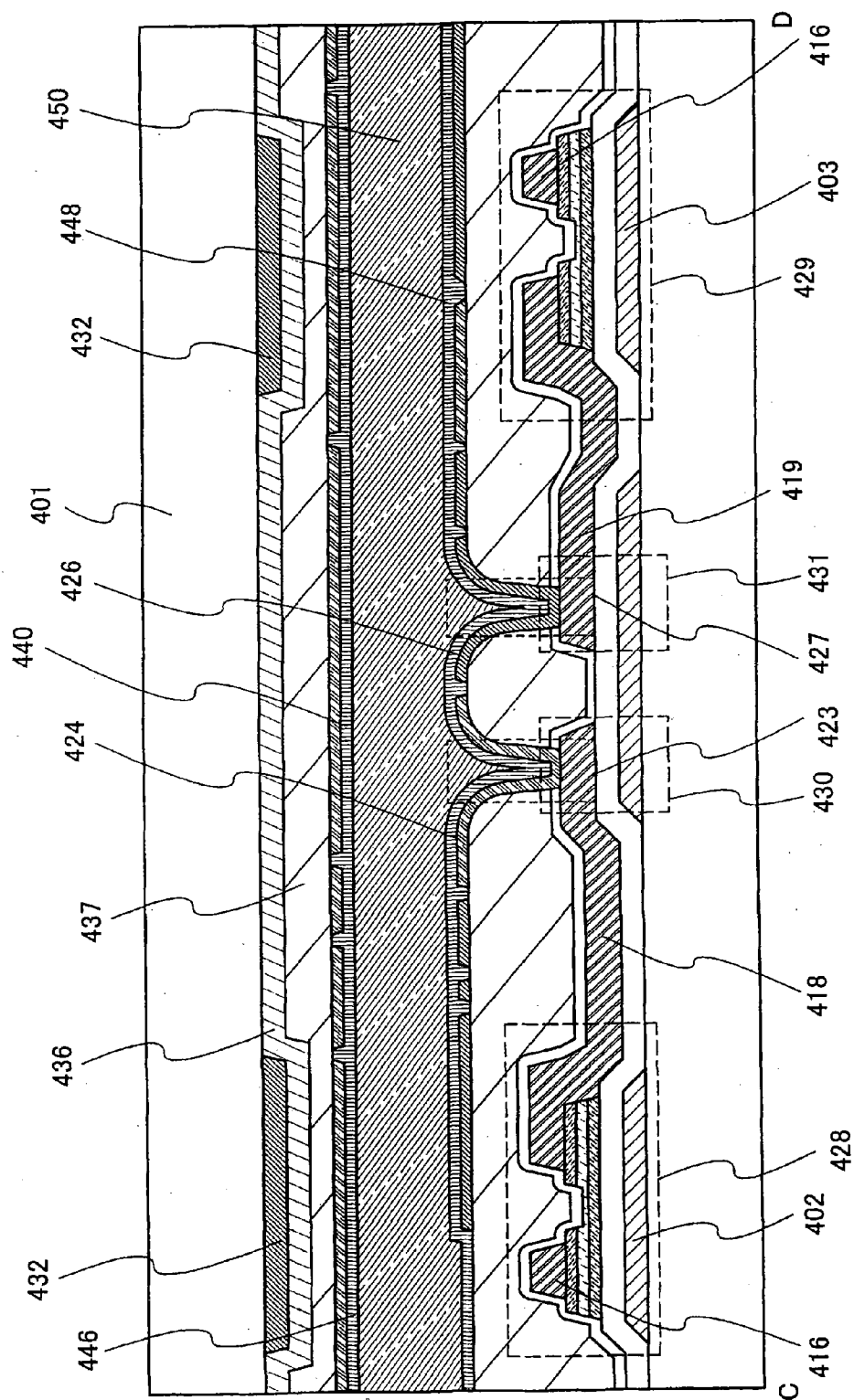


图 12

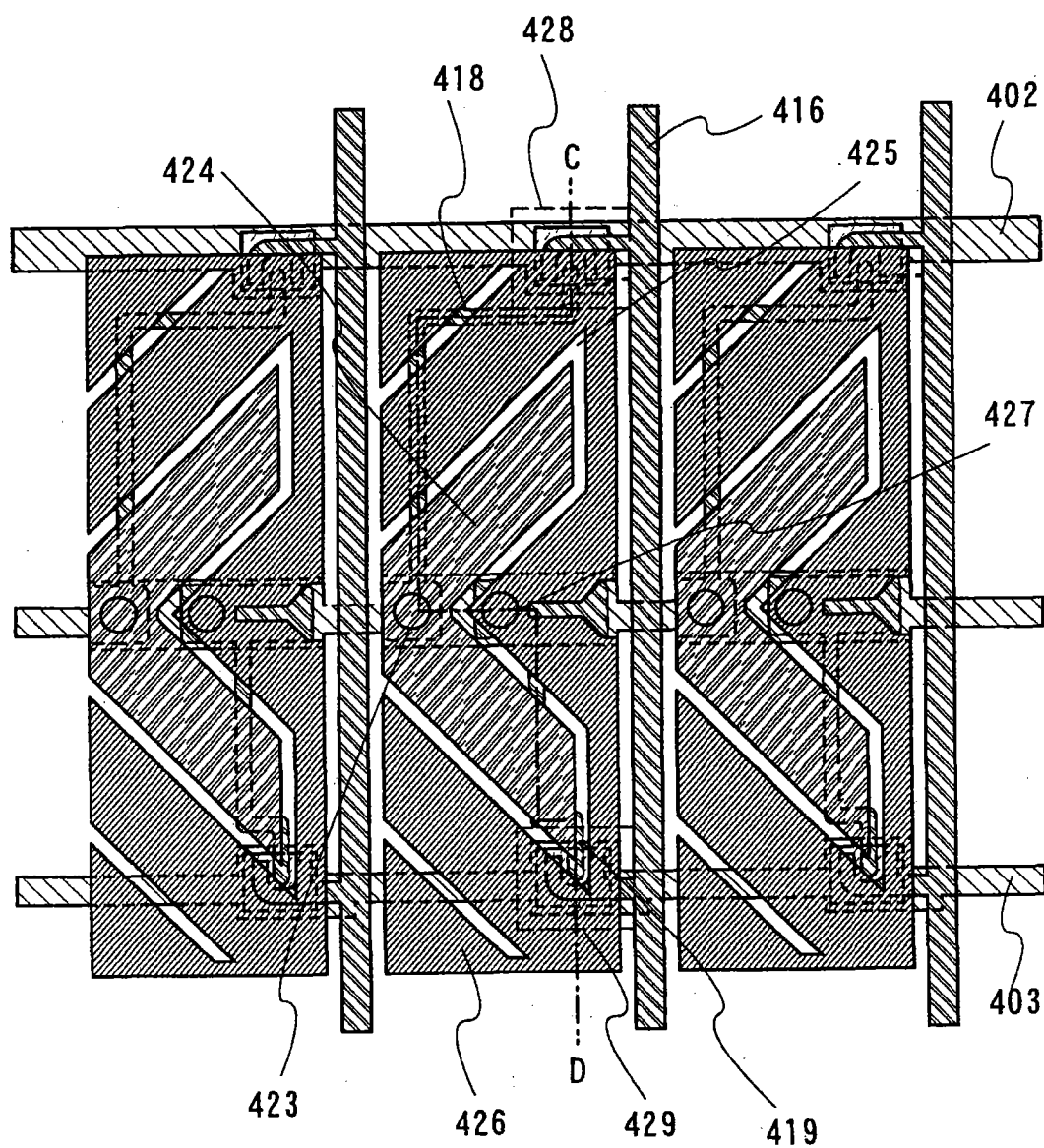


图 13

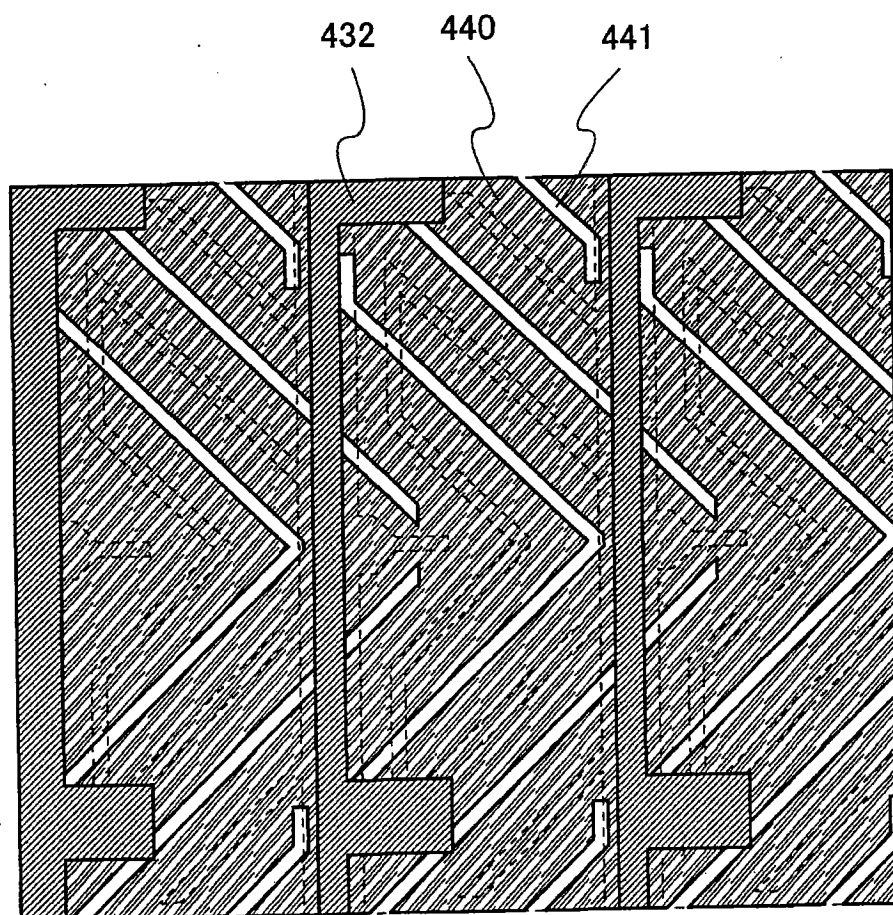


图 14

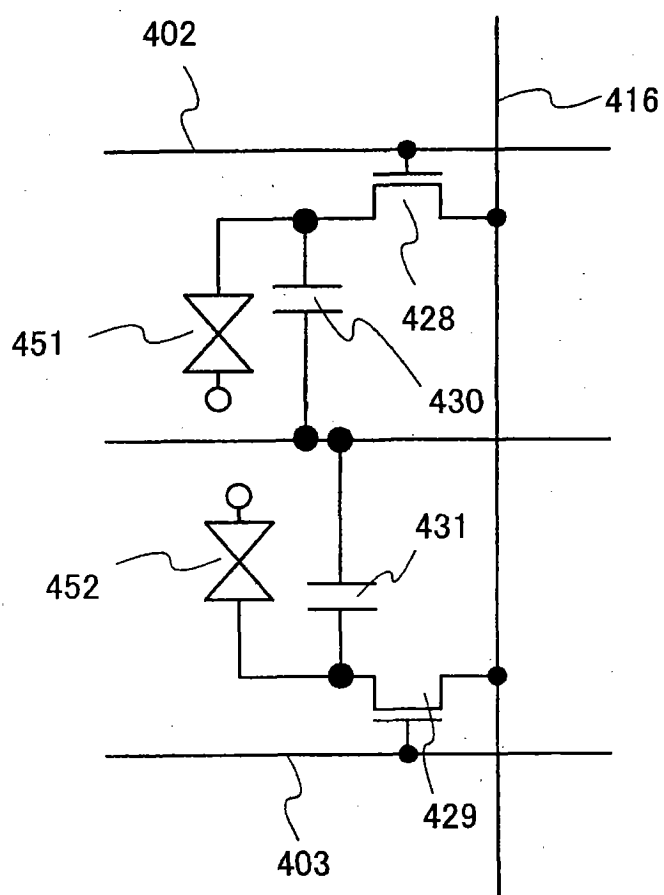


图 15

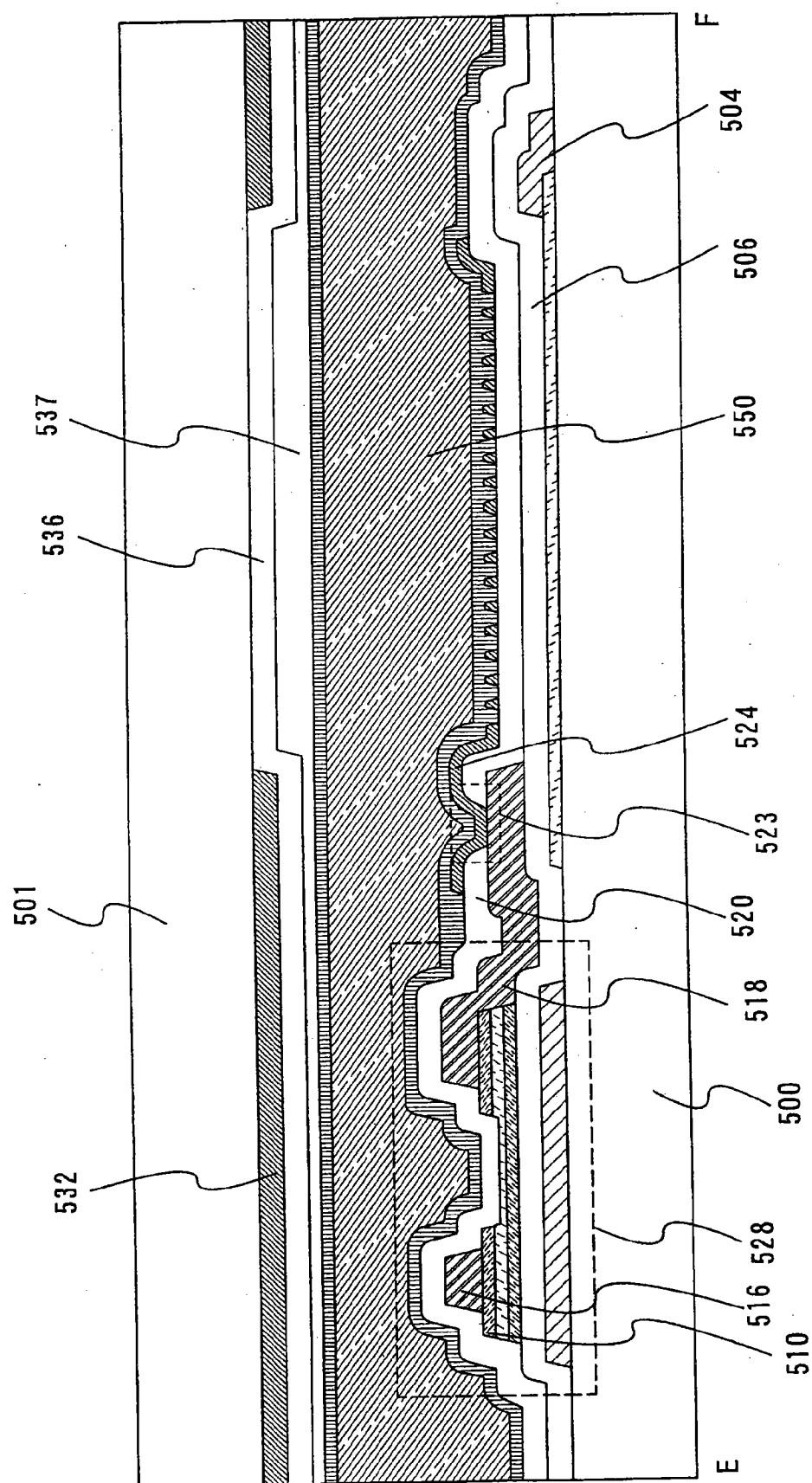


图 16

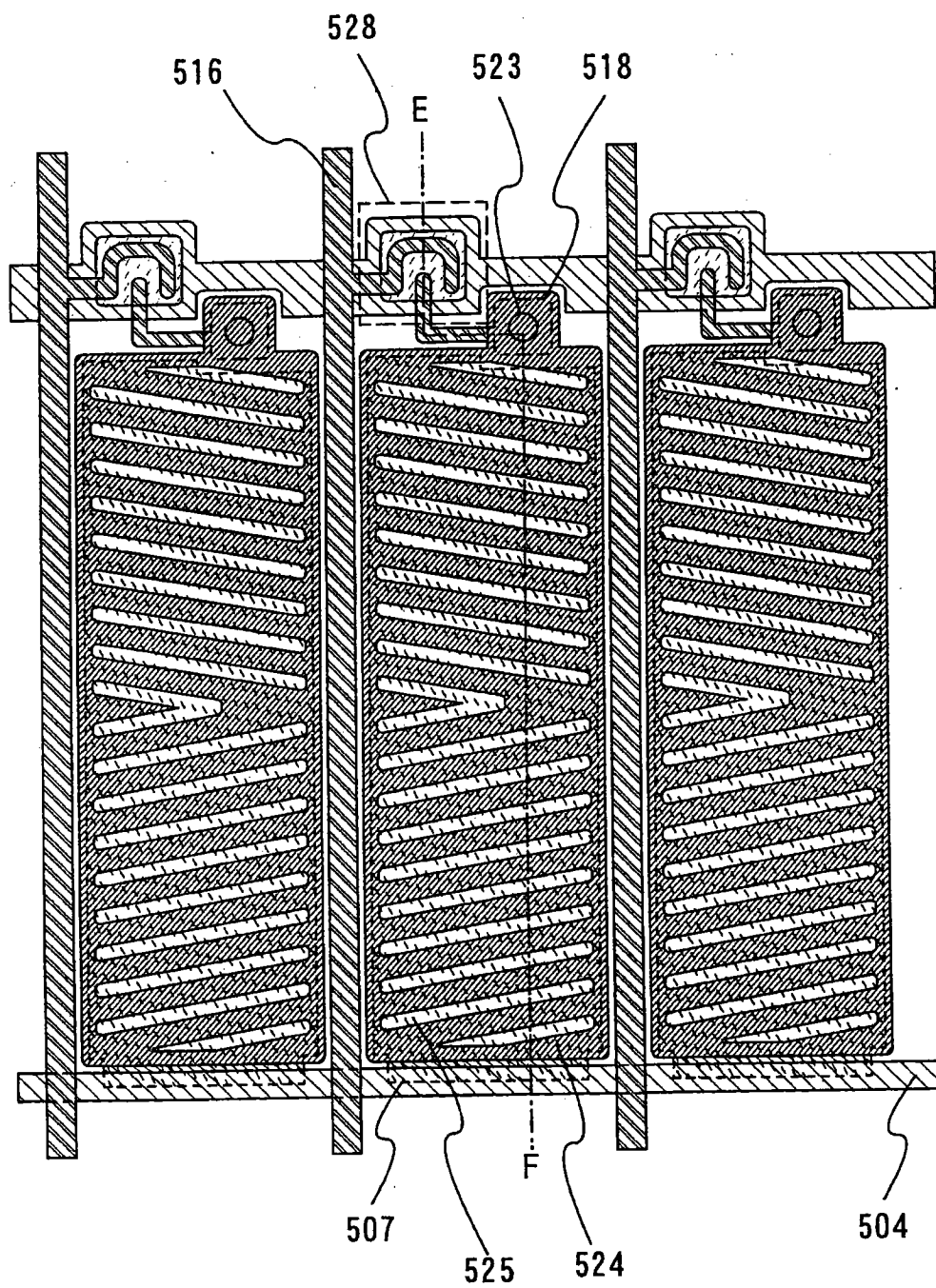


图 17

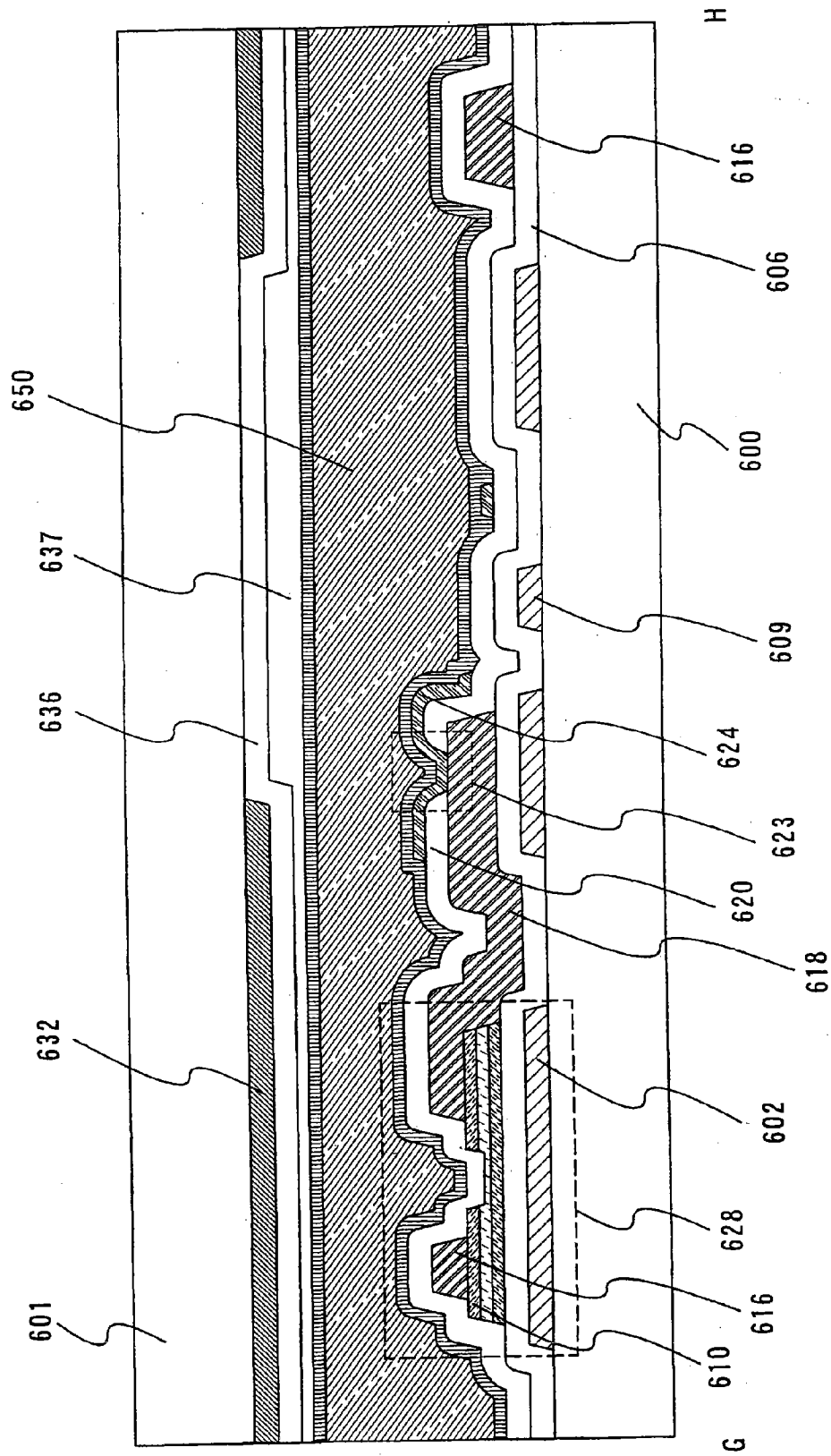


图 18

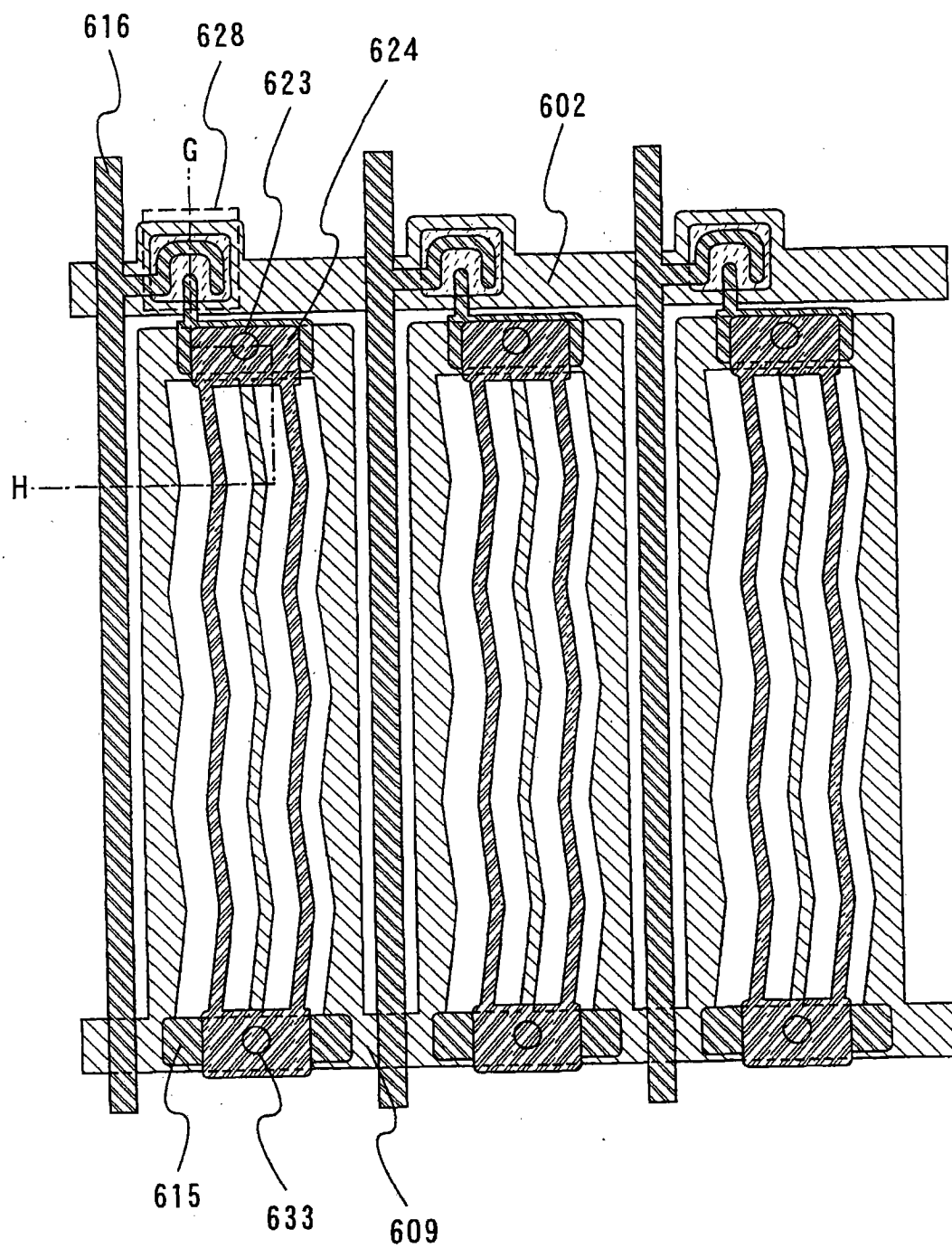


图 19

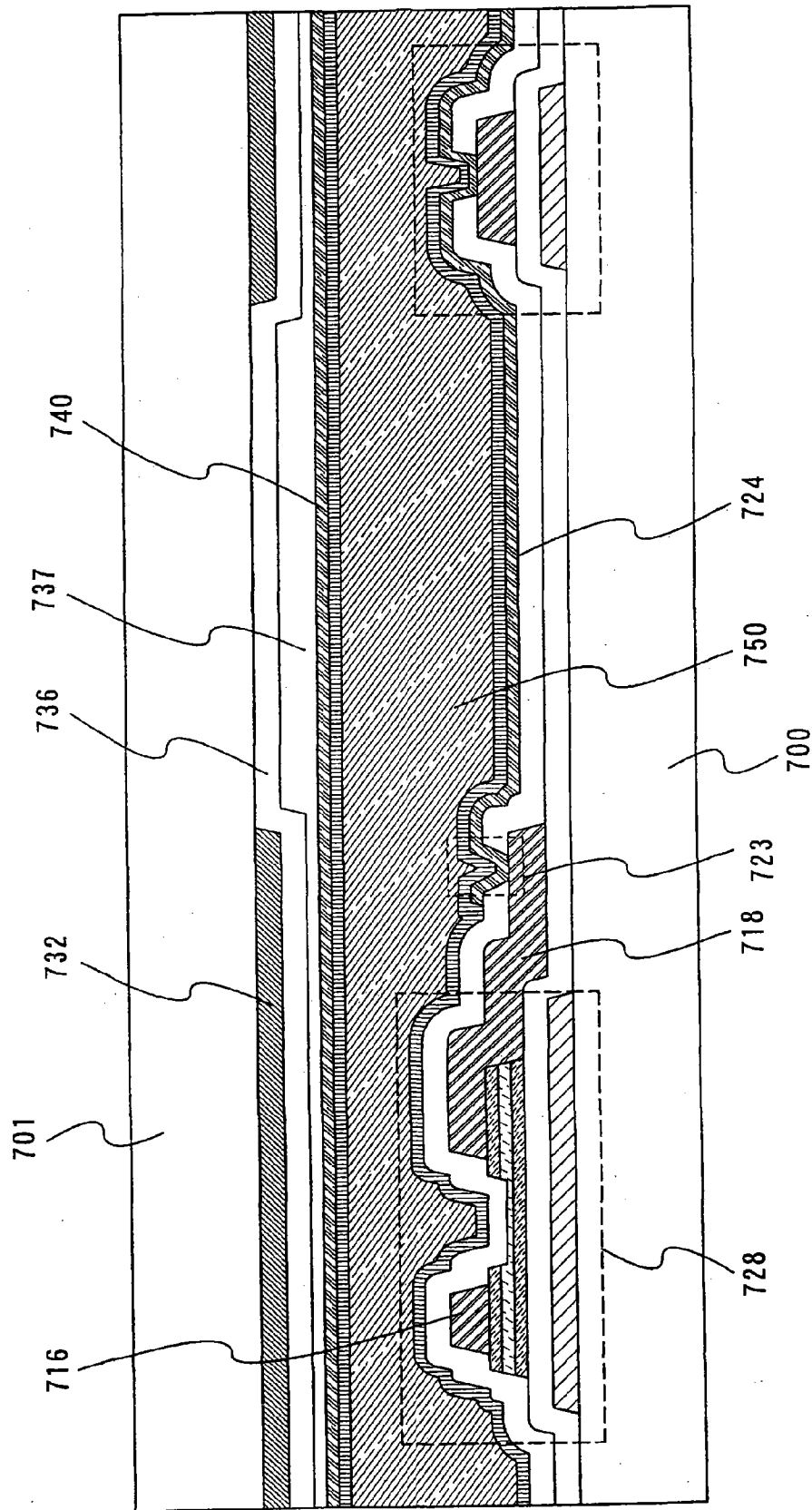


图 20

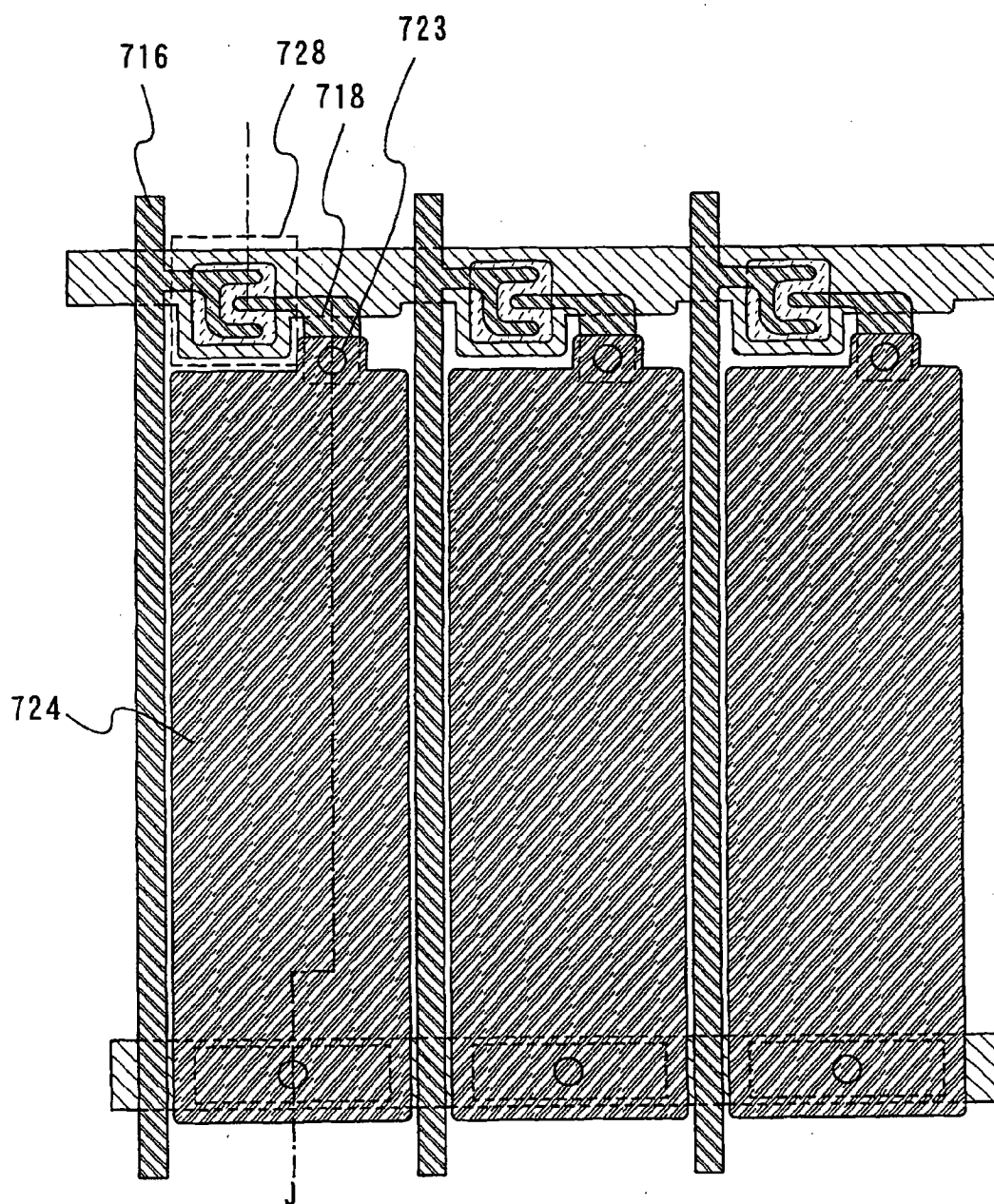
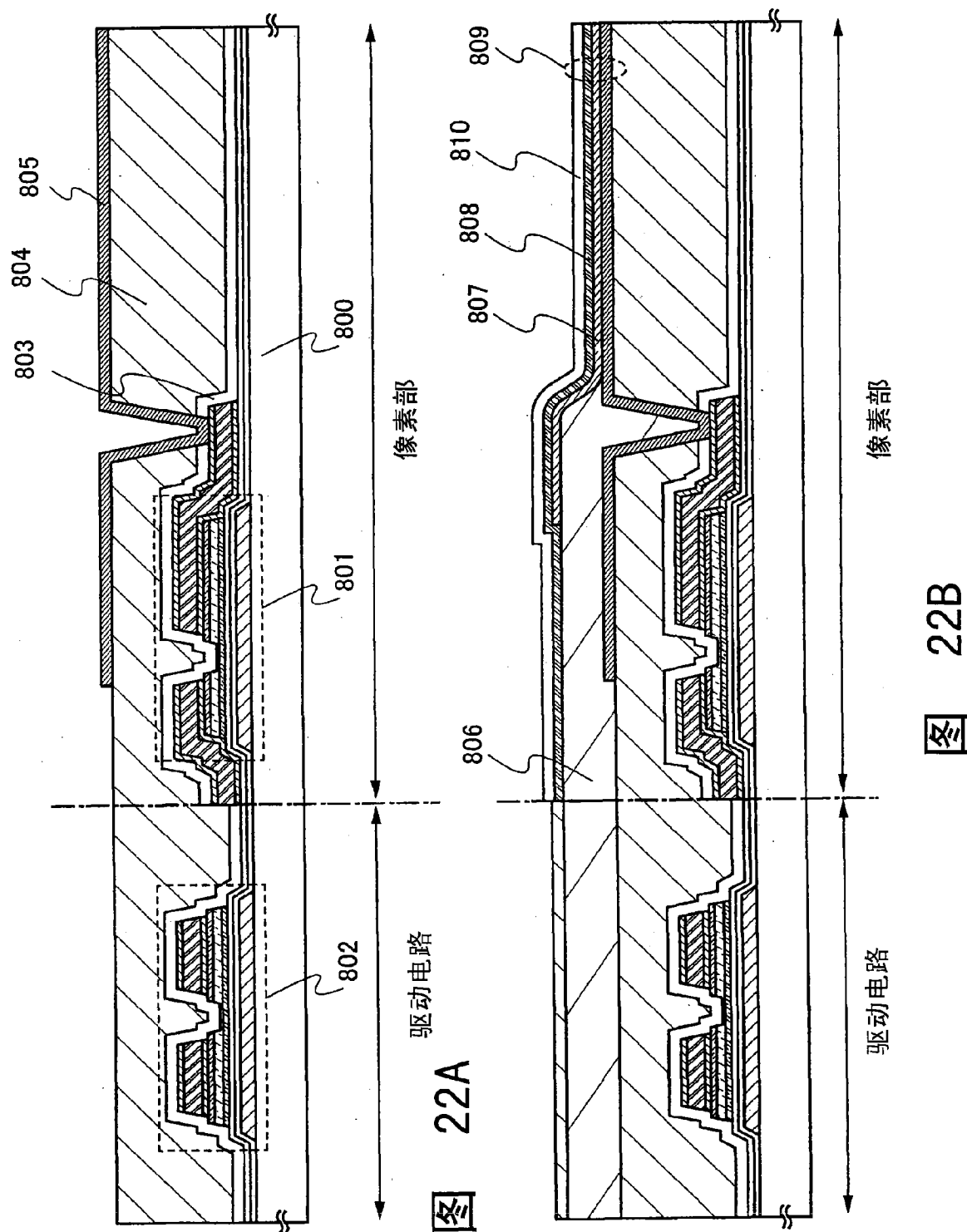


图 21



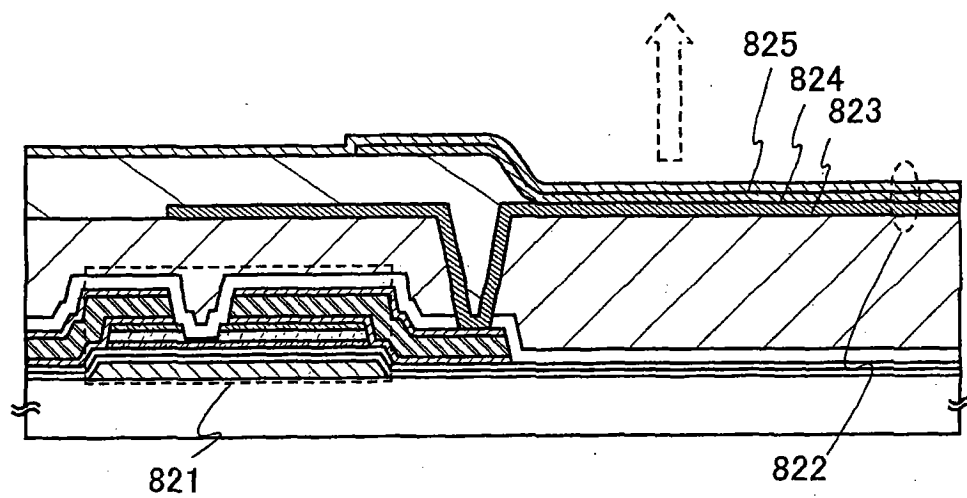


图 23A

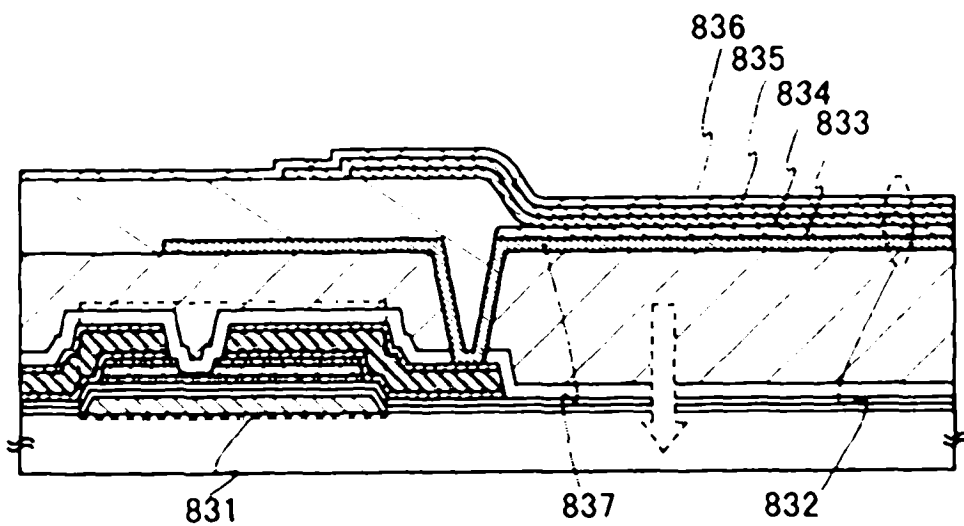


图 23B

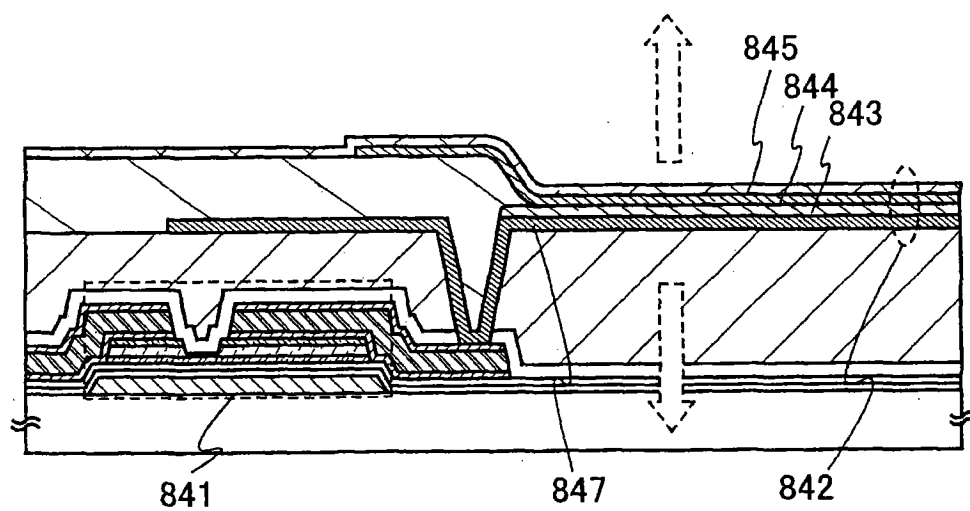


图 23C

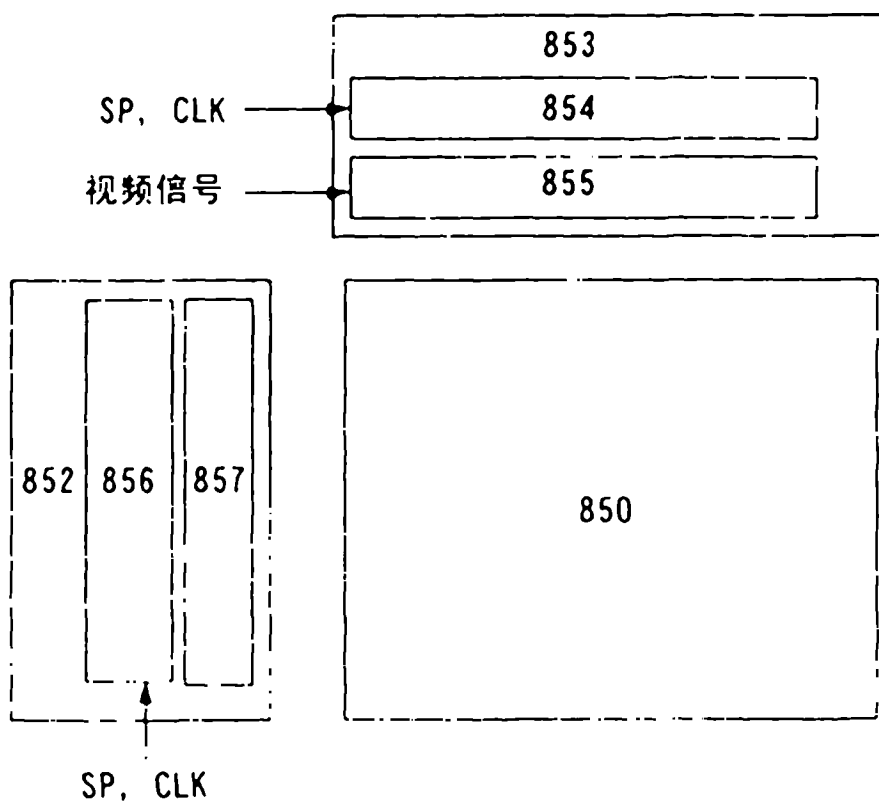


图 24

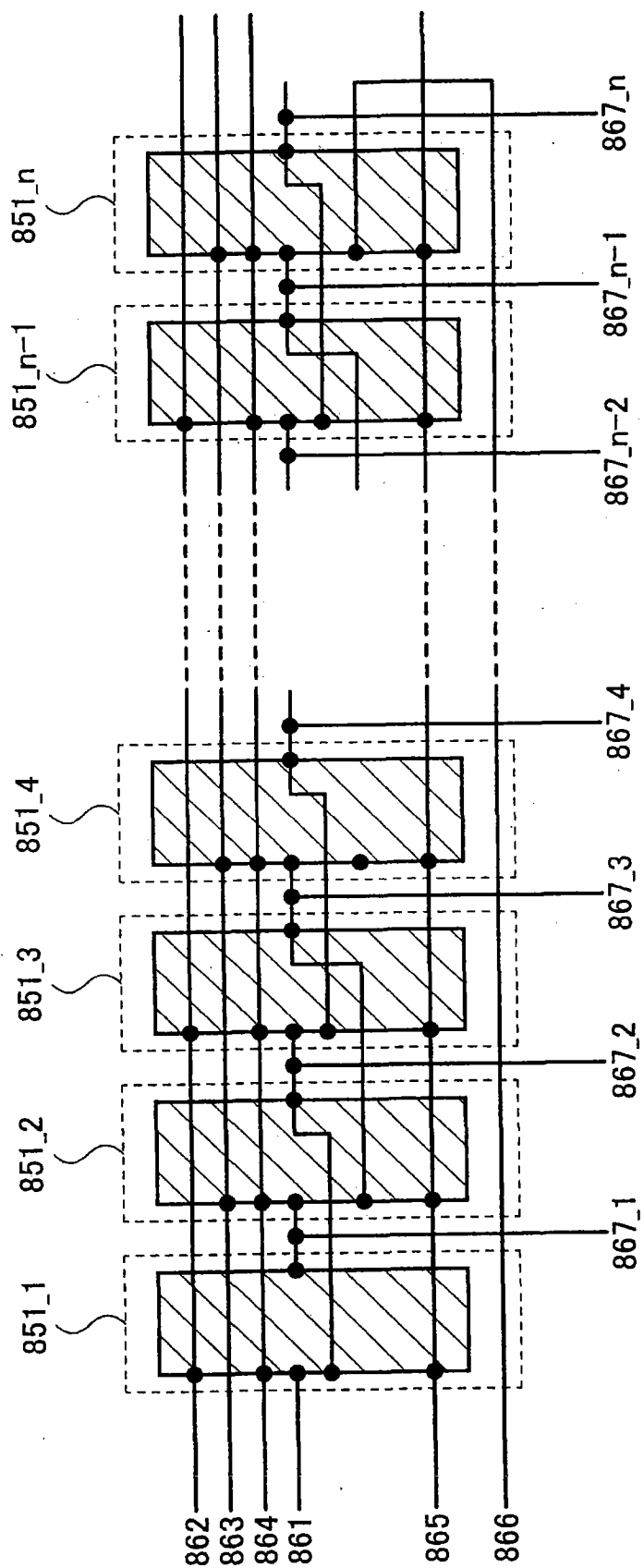


图 25

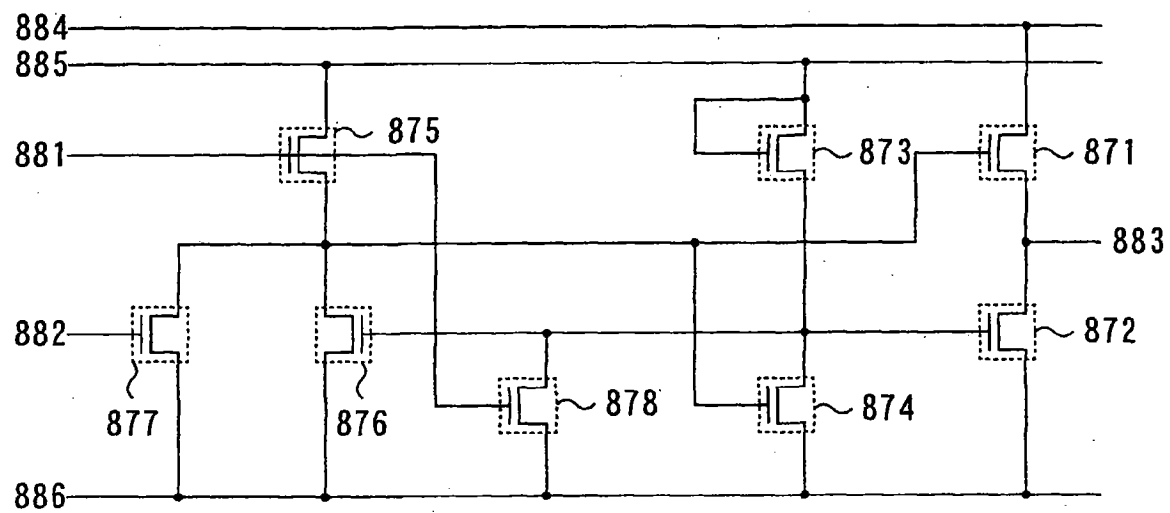


图 26

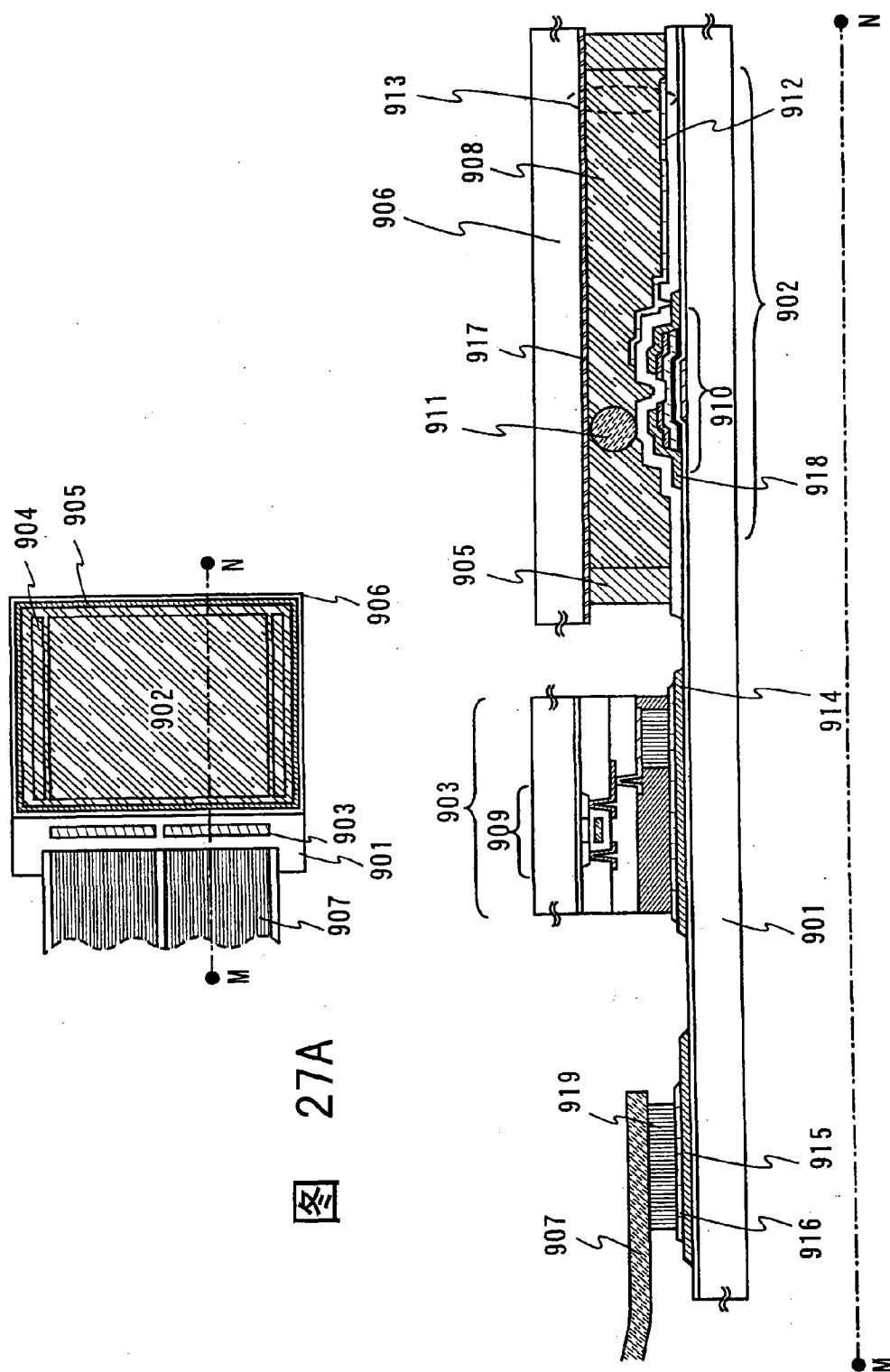


图 27B

图 27A

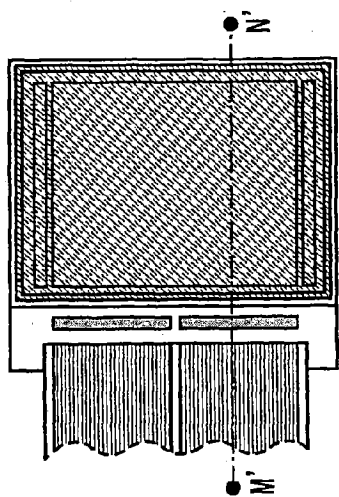


图 28A

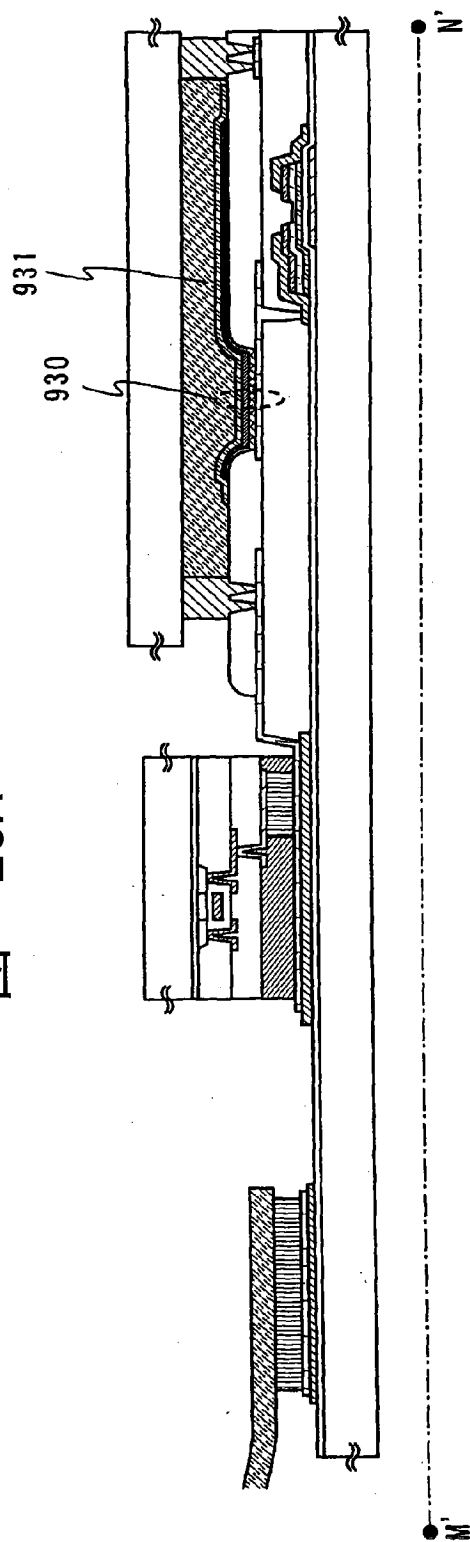


图 28B

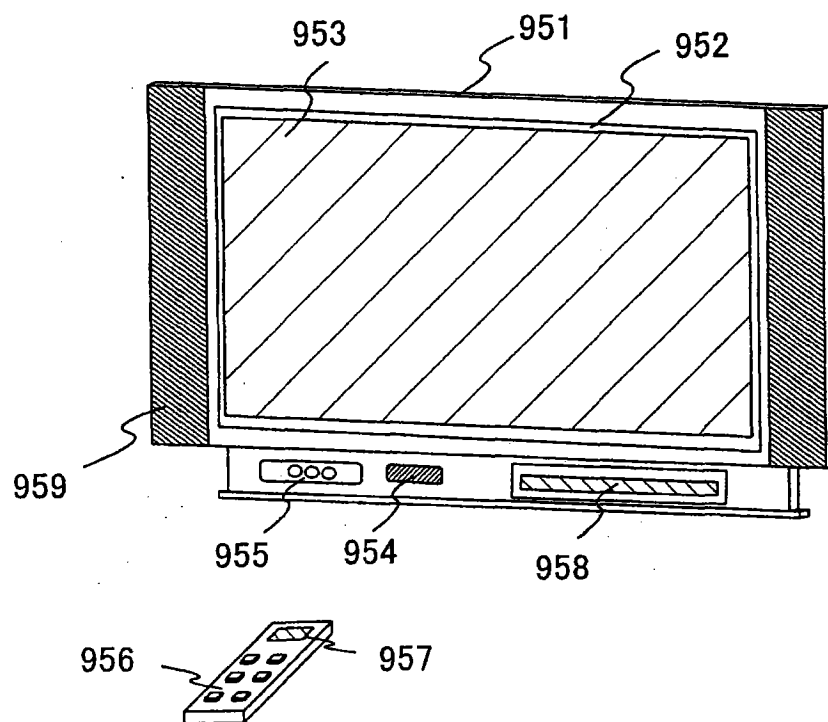


图 29A

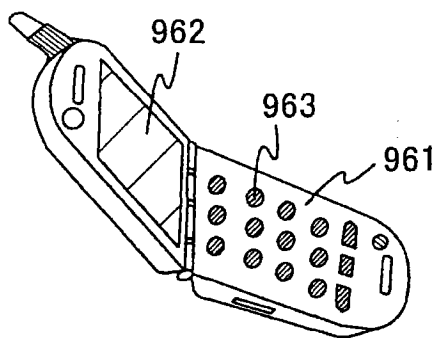


图 29B

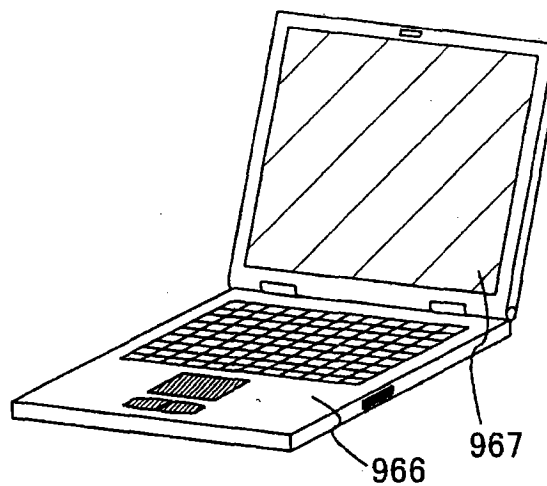


图 29C

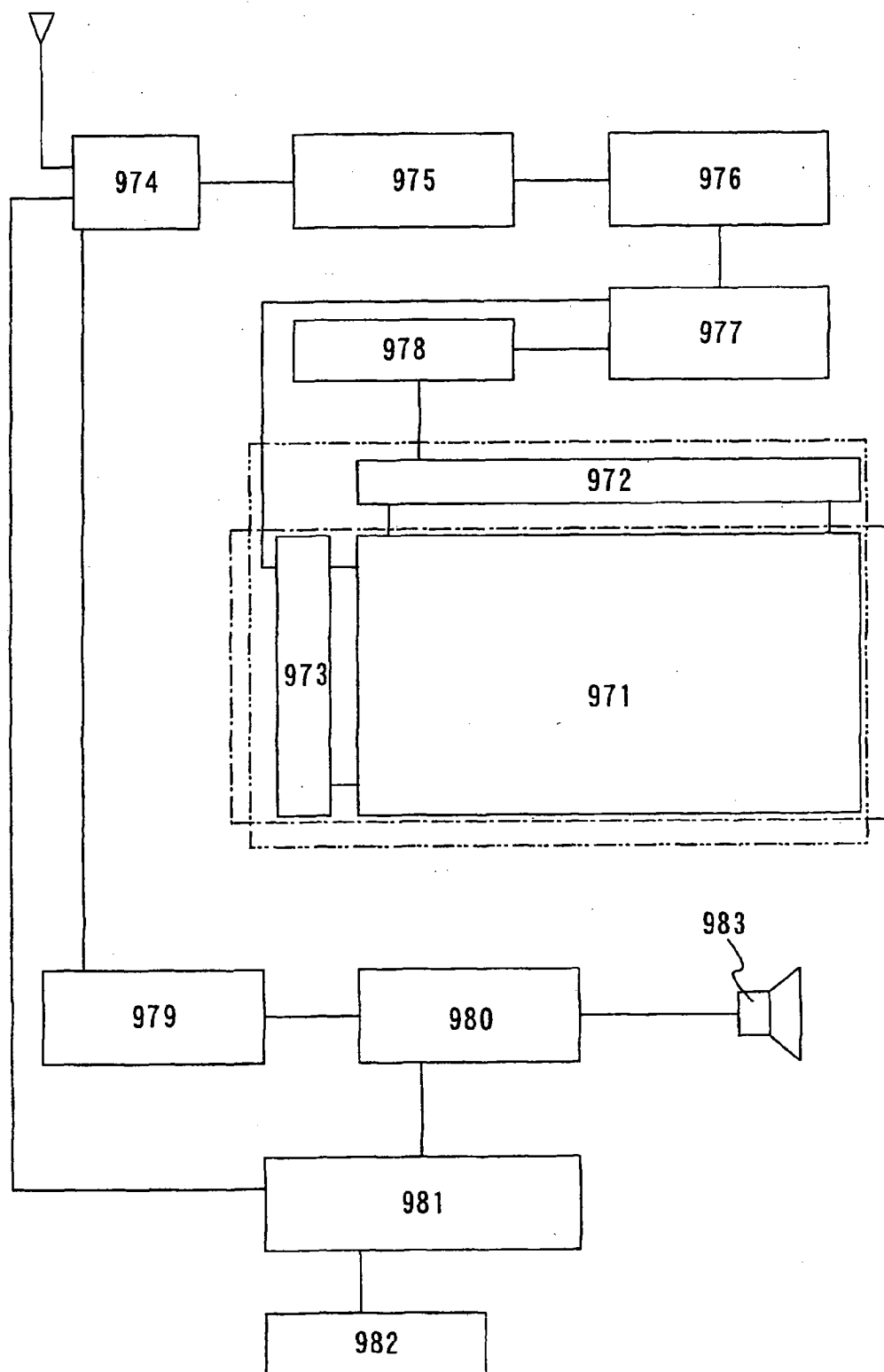


图 30