

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年11月29日(29.11.2012)



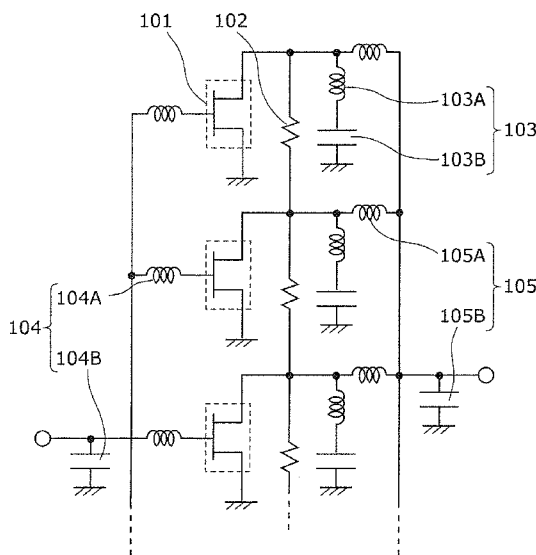
(10) 国際公開番号
WO 2012/160755 A1

- (51) 国際特許分類:
H03F 1/02 (2006.01) H03F 3/189 (2006.01)
- (21) 国際出願番号: PCT/JP2012/002841
- (22) 国際出願日: 2012年4月25日(25.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-116038 2011年5月24日(24.05.2011) JP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 神山 智英 (KAMIYAMA, Tomohide). 内藤 浩 (NAITOU, Hiroshi). 卯野 高史 (UNO, Takashi). 岩田 基良 (IWATA, Motoyoshi). 八幡 和宏 (YAHATA, Kazuhiro). 池田 光 (IKEDA, Hikaru).
- (74) 代理人: 新居 広守 (NIJ, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(54) Title: HIGH-FREQUENCY AMPLIFIER CIRCUIT

(54) 発明の名称: 高周波増幅回路

[図1]



(57) Abstract: The present invention is provided with: a plurality of low-output transistors (101), which have an input terminal, an output terminal, and a ground terminal, and which amplify a high-frequency signal; harmonic processing circuits (103) which are placed at each of the low-output transistors (101), are connected to the output terminals of the low-output transistors (101), and which process secondary harmonics included in the amplified high-frequency signals; and resistors (102) which are connected to the output terminals of the low-output transistors (101). The input terminal of each of the plurality of low-output transistors (101) is connected via an inductor (104A) to the input terminal of the high-frequency amplifier circuit, and the output terminals of each of the plurality of low-output transistors (101) are connected to one another via the resistors (102) and, in addition, are connected via inductors (105A) to the output terminal of the high-frequency amplifier circuit.

(57) 要約: 入力端子と、出力端子と、接地端子とを有し、高周波信号を増幅する複数の低出力トランジスタ(101)と、低出力トランジスタ(101)ごとに配置され低出力トランジスタ(101)の出力端子に接続され増幅された高周波信号に含まれる2次の高調波を処理する高調波処理回路(103)と、低出力トランジスタ(101)の出力端子に

接続された抵抗(102)とを備え、複数の低出力トランジスタ(101)の各々の入力端子は、インダクタ(104A)を介して当該高周波増幅回路の入力端子に接続され、複数の低出力トランジスタ(101)の各々の出力端子は、抵抗(102)を介して互いに接続され、さらに、インダクタ(105A)を介して当該高周波増幅回路の出力端子に接続されている。

WO 2012/160755 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：高周波増幅回路

技術分野

[0001] 本発明は、高調波処理回路を用いた高周波増幅回路に関し、特にF級回路を用いた高周波増幅回路に関する。

背景技術

[0002] 高周波増幅回路の電力付加効率（PAE：Power Added Efficiency）向上は、デバイスの低消費電力に直結しており、非常に重要な特性である。さらに高出力増幅回路では消費電力に加えて、効率が低いことで入力した電力が熱に変わってしまい、放熱設計が困難となりデバイスの信頼性が低下する。

[0003] 従来、高周波増幅回路を高効率動作させるための手段としては、F級回路および逆F級回路などを用いたものが一般的であり、それら高効率回路の原理は公知である。すなわち増幅回路において、効率が低下する原因は電力損失が増えることであるが、これを防ぐためには出力での電圧電流波形を調整して、最適な波形成形を行う必要がある。具体的には、電圧波形と電流波形とが重なる領域を減らすことが求められる。例えば、増幅回路に用いるトランジスタをB級動作にバイアスさせた場合、出力電流波形には基本波と偶数次高調波しか存在しない。よって、上記領域を減らすには、出力電圧波形を基本波と奇数次高調波のみとすればよい。そのためには、トランジスタの出力から見て、偶数次高調波をショート状態、奇数次高調波をオープン状態とすれば、理論上、効率は100%となる。これがF級回路である。その逆に、偶数次高調波をオープン状態、奇数次高調波をショート状態とした場合が逆F級回路であり、用いるトランジスタのオン抵抗およびバイアス条件に応じて使い分けがなされている。

[0004] 従来のF級回路を用いた高効率の高周波増幅回路は、特許文献1に開示されている。

[0005] 図7Aは、従来の高周波増幅回路の構成を示す等価回路である。この高周波増幅回路は、図7Aに示されるように、トランジスタ701、集中定数素子から構成されるインダクタ702A、キャパシタ702B、集中定数素子から構成される基本波整合用のインダクタ703Aおよび703B、ならびに集中定数素子から構成される基本波整合用のキャパシタ703Cで構成される。回路としては、インダクタ702Aとキャパシタ702Bから構成される2次高調波処理回路702がトランジスタ701の出力端子に並列に接続され、トランジスタ701の出力端子に対して直列に、基本波整合用のインダクタ703Aおよび703Bが接続され、その間に並列に基本波整合用のキャパシタ703Cが接続された構成である。以上の回路構造によって、2次の高調波処理が行われ、高効率化が図られている。すなわち直列共振回路としての2次高調波処理回路702が基本波の2倍で共振するようにインダクタ702Aとキャパシタ702Bとを設定することで、2次高調波では2次高調波処理回路702のインピーダンスが0となり、トランジスタ701の出力端子からから見ると2次高調波処理回路702がショート状態となる。さらに基本波整合用のインダクタ703Aおよび703Bと基本波整合用のキャパシタ703Cとからなる基本波整合回路703が、トランジスタ701に接続されている。

[0006] 図7Bは、図7Aに記載された従来の高周波増幅回路を実現するためのレイアウトの一例を示す図である。高周波増幅回路において高出力を実現するため、一般に、低出力トランジスタを並列接続して高出力を得る構成がとられる。図7Bに示されるように、低出力トランジスタが並列接続されたトランジスタ701の複数の出力端子（ドレイン端子）と、キャパシタ702Bとが、2次高調波処理回路702を構成するインダクタ702Aに相当する複数のワイヤによって接続されている。一方、トランジスタ701の複数の出力端子と、基本波整合用のキャパシタ703Cとが基本波整合回路703を構成するインダクタ703Aに相当する複数のワイヤによって接続され、さらにトランジスタ701の出力端子を外部回路705へ接続するためにイ

ンダクタ703Bに相当するワイヤが形成されている。ここでキャパシタ702Bと基本波整合用キャパシタの703Cとは、誘電体基板704上にパターン形成されている。

[0007] また、特許文献2では、基本波に対する高調波反射量を相対的に増加させるため、トランジスタをセル単位に分割して並列動作させ、分割されたトランジスタセルごとに、その出力端子側に3次高調波処理回路、2次高調波処理回路および出力側基本波整合を直列接続させ、上記直列接続された複数の出力信号経路が、電力合成回路で一つに合成された高周波増幅回路が開示されている。これにより、トランジスタを分割せずに高調波処理回路を形成した場合に比べて、各トランジスタセルからみた高調波負荷のばらつきを抑えつつ高効率な動作を実現できるとしている。

先行技術文献

特許文献

[0008] 特許文献1：特許第2738701号公報

特許文献2：特開2002-164753号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、トランジスタの出力を高くするために、低出力トランジスタの出力端子同士を短絡させて、低出力トランジスタを並列接続した構成の高出力トランジスタでは、特許文献1の技術をそのまま適用しても、十分に高効率化を図ることは困難である。

[0010] また、特許文献2の高周波増幅回路では、出力信号の干渉による発振が懸念される。

[0011] そこで、本発明は、かかる問題点に鑑み、高効率かつ安定動作可能な高周波増幅回路を提供することを目的とする。

課題を解決するための手段

[0012] 上記課題を解決するために、本発明の一態様に係る高周波増幅回路は、入

力端子と、出力端子と、接地端子とを有し、高周波信号を増幅する複数の第1のトランジスタと、前記複数の第1のトランジスタの各々に対して配置され、前記複数の第1のトランジスタの各々の出力端子に接続され、増幅された高周波信号に含まれる偶数次または奇数次の高調波を処理し、F級または逆F級動作する出力側高調波処理回路と、前記複数の第1のトランジスタの各々の出力端子に接続された出力側抵抗とを備え、前記複数の第1のトランジスタの各々の入力端子は、入力整合素子を介して当該高周波増幅回路の入力端子に接続され、前記複数の第1のトランジスタの各々の出力端子は、前記出力側抵抗を介して互いに接続され、さらに、出力整合素子を介して当該高周波増幅回路の出力端子に接続されていることを特徴とする。

発明の効果

[0013] 本発明は、高調波処理回路を用いた高周波増幅回路に関して、複数の低出力トランジスタの出力端子同士を、抵抗を介して接続し、低出力トランジスタごとに、高次の周波数においてインピーダンスが理想的にはショートとなる高調波処理回路を接続した構成とする。これにより、F級や逆F級動作のための高調波処理を、より高効率にかつ安定に行うことが可能となる。

図面の簡単な説明

[0014] [図1]図1は、本発明の実施の形態1に係る高周波増幅回路の回路図である。
[図2]図2は、本発明の実施の形態1に係る高周波増幅回路のレイアウト図である。
[図3]図3は、本発明の実施の形態2に係る高周波増幅回路の回路図である。
[図4]図4は、本発明の実施の形態2に係る高周波増幅回路のレイアウト図である。
[図5]図5は、本発明の実施の形態3に係る高周波増幅回路の回路図である。
[図6]図6は、本発明の実施の形態3に係る高周波増幅回路のレイアウト図である。
[図7A]図7Aは、従来の高周波増幅回路の構成を示す等価回路である。
[図7B]図7Bは、図7Aに記載された従来の高周波増幅回路を実現するため

のレイアウトの一例を示す図である。

発明を実施するための形態

[0015] (本発明の基礎となった知見)

本発明者は、「背景技術」の欄において記載した高周波増幅回路に関し、以下の問題が生じることを見出した。

[0016] 図7Bに記載された従来の高周波増幅回路では、複数の低出力トランジスタを並列接続するに従い、等価的に容量性が並列接続されたように動作するために、トランジスタ全体としての出力インピーダンスは低下していく。ここで出力インピーダンスとは、Sパラメータの測定によって得られる S_{22} のことであり、 $S_{22} = R e \pm j I m$ といった複素数となる。この低い出力インピーダンスを有するトランジスタの出力に対して、例えばF級動作として2次高調波がショートとなるような共振回路を接続したとしても、相対的にインピーダンスが十分低くはならない。よって、上記共振回路のショートとしての機能は乏しく、接続した共振回路の損失が必ず存在することから、高効率化ができるとは限らない。この改善手段としては、共振回路のインピーダンスをトランジスタの出力インピーダンスよりも、相対的に大幅に低くすることが必要で、理想的には完全なショート ($0 + j 0$) Ω とする必要がある。しかし、特に実部を0とするためには、無損失なインダクタ702Aやキャパシタ702Bを実現しなければならないため、現実的ではない。

[0017] また、各低出力トランジスタの出力端子は高調波処理回路を構成する共通のキャパシタ702Bにインダクタ702Aを介して接続されているが、インダクタ702Aとキャパシタ702Bとの接続点は、低出力トランジスタごとに異なる。よって、各低出力トランジスタから高調波処理回路までの電気長が低出力トランジスタごとに異なるので、各低出力トランジスタから見た高調波処理回路は、位相が異なっているために全て均一には機能しない。このため、各低出力トランジスタを並列接続して高出力を得るという効果が十分に得られない。

[0018] また、特許文献2の高周波増幅回路では、電気長を揃えることは可能であ

るが、トランジスタセル、3次高調波処理回路、2次高調波処理回路および出力側基本波整合回路という出力信号経路が複数存在し、各出力信号経路は電力合成回路までそれぞれ独立となっているため、これらの複数の信号経路の間で不要な電流ループが形成され、出力信号の干渉による発振が懸念される。

[0019] このような問題を解決するために、本発明の一態様に係る高周波増幅回路は、入力端子と、出力端子と、接地端子とを有し、高周波信号を増幅する複数の第1のトランジスタと、前記複数の第1のトランジスタの各々に対して配置され、前記複数の第1のトランジスタの各々の出力端子に接続され、増幅された高周波信号に含まれる偶数次または奇数次の高調波を処理し、F級または逆F級動作する出力側高調波処理回路と、前記複数の第1のトランジスタの各々の出力端子に接続された出力側抵抗とを備え、前記複数の第1のトランジスタの各々の入力端子は、入力整合素子を介して当該高周波増幅回路の入力端子に接続され、前記複数の第1のトランジスタの各々の出力端子は、前記出力側抵抗を介して互いに接続され、さらに、出力整合素子を介して当該高周波増幅回路の出力端子に接続されていることを特徴とする。

[0020] この態様によれば、複数の第1のトランジスタの出力端子を、抵抗を介して並列接続することで、第1のトランジスタの出力端子同士が短絡接続された従来の構成と比較して、第1のトランジスタ間のアイソレーションを高めることができる。よって、第1のトランジスタの各々は、高い出力インピーダンス状態を維持することが可能となる。

[0021] よって、第1のトランジスタごとに、その出力端子に出力側高調波処理回路を接続することで、従来よりも高いトランジスタの出力インピーダンスと、偶数次または奇数次の高調波における出力側高調波処理回路の低インピーダンスとの差異により、出力側高調波処理回路の高調波処理機能がより効率的に発揮され、高周波増幅回路の高効率化が可能となる。

[0022] 一方、第1のトランジスタの出力端子同士が接続されていない従来の構成と比較して、第1のトランジスタ、出力側高調波処理回路および出力側整合

回路という信号経路において、発振を誘発させるような不要な電流ループの形成が回避される。

[0023] これにより、F級や逆F級動作のための高調波処理を、より高効率にかつ安定に行うことが可能となる。

[0024] なお、出力側高調波処理回路をF級動作させる場合には、2次高調波およびそれ以上の偶数次においてショート状態とし、逆F級動作させる場合には、3次高調波およびそれ以上の奇数次においてにおいてショート状態とする。

[0025] また、例えば、前記高周波信号の周波数帯域における前記出力側抵抗のインピーダンスは、前記出力側抵抗を介さずに互いに並列接続された場合の前記複数の第1のトランジスタの出力インピーダンスの実部よりも高い。

[0026] これにより、第1のトランジスタの出力端子同士が短絡接続された従来の構成と比較して、第1のトランジスタ間のアイソレーションを適切に高めることができる。

[0027] また、例えば、前記出力側高調波処理回路は、一端が前記第1のトランジスタの出力端子に接続された第1のインダクタと、一端が前記第1のインダクタの他端に接続され、他端が接地された第1のキャパシタとで構成され、前記第1のトランジスタの基本周波数の2倍の周波数で共振する直列共振回路であってもよい。

[0028] これにより、複数の出力側高調波処理回路のそれぞれは、第1のインダクタと第1のキャパシタとで構成された直列共振回路となり、2次の高調波に対してショート状態を示す。この出力側高調波処理回路が、第1のトランジスタごとに配置されているので、2次高調波の周波数における第1のトランジスタの出力インピーダンスと出力側高調波処理回路のインピーダンスとの差異が確保され、高周波増幅回路の高効率なF級動作が実現される。

[0029] また、例えば、前記高周波増幅回路は、さらに、前記第1のトランジスタの出力端子および前記出力側高調波処理回路に接続され、増幅された高周波信号に含まれる基本波を選択的に通過させる出力側基本波整合回路を備え、

前記出力側基本波整合回路は、前記出力整合素子であり、一端が前記第1のトランジスタの出力端子に接続され、他端同士が接続された第2のインダクタと、一端が、前記第2のインダクタの前記他端に接続され、他端が接地された第2のキャパシタとを備えてもよい。

[0030] これにより、複数の第1のトランジスタで増幅された高周波信号の基本波を選択的に通過させ、また、出力先の外部回路へ当該増幅された高周波信号を効率よく出力させることが可能となる。

[0031] また、例えば、前記第1のトランジスタと前記出力側抵抗とは、同一のチップ上に形成され、前記出力側高調波処理回路は、前記チップを実装するパッケージ内に搭載されていてもよい。

[0032] これにより、実装工程などを簡略化することが可能となる。

[0033] また、例えば、さらに、前記複数の第1のトランジスタの各々に対して配置され、前記複数の第1のトランジスタの各々の入力端子に接続され、増幅された高周波信号に含まれる偶数次または奇数次の高調波を処理し、F級または逆F級動作する入力側高調波処理回路と、前記複数の第1のトランジスタの各々の入力端子に接続された入力側抵抗とを備え、前記複数の第1のトランジスタの各々の入力端子は、前記入力側抵抗を介して互いに接続されていてもよい。

[0034] 高調波処理技術は、出力の電圧電流波形を制御する技術であるため、一般的には出力側に高調波処理回路が設けられる。本構成によれば、入力側および出力側の両方で高調波処理を行うことにより、さらなる高効率化を実現できる。

[0035] なお、入力側高調波処理回路をF級動作させる場合には、出力側と同様に2次高調波およびそれ以上の偶数次においてショート状態とし、逆F級動作させる場合には、3次高調波およびそれ以上の奇数次においてにおいてショート状態とする。あるいは、出力側で所望のインピーダンスとなるように、入力側のインピーダンスを調整することもできる。

[0036] また、例えば、前記高周波信号の周波数帯域における前記入力側抵抗のイ

ンピーダンスは、互いに並列接続された前記複数の第1のトランジスタの入力インピーダンスよりも高い。

[0037] これにより、第1のトランジスタの入力端子同士が短絡接続された従来の構成と比較して、第1のトランジスタ間のアイソレーションを適切に高めることができる。

[0038] また、例えば、前記入力側高調波処理回路は、一端が前記第1のトランジスタの入力端子に接続された第3のインダクタと、一端が前記第3のインダクタの他端に接続され、他端が接地された第3のキャパシタとで構成され、前記第1のトランジスタの基本周波数の2倍の周波数で共振する直列共振回路であってもよい。

[0039] これにより、複数の入力側高調波処理回路のそれぞれは、第3のインダクタと第3のキャパシタとで構成された直列共振回路となり、2次の高調波に対してショート状態を示す。この入力側高調波処理回路が、第1のトランジスタごとに配置されているので、2次高調波の周波数における第1のトランジスタの入力インピーダンスと入力側高調波処理回路のインピーダンスとの差異が確保され、高周波増幅回路の高効率なF級動作が実現される。

[0040] また、例えば、前記高周波増幅回路は、さらに、前記第1のトランジスタの入力端子および前記入力側高調波処理回路に接続され、増幅された高周波信号に含まれる基本波を選択的に通過させる入力側基本波整合回路を備え、前記入力側基本波整合回路は、前記入力整合素子であり、一端が前記第1のトランジスタの入力端子に接続され、他端同士が接続された第4のインダクタと、一端が、前記第4のインダクタの前記他端に接続され、他端が接地された第4のキャパシタとを備えてもよい。

[0041] これにより、複数の第1のトランジスタで増幅された高周波信号の基本波を選択的に通過させ、また、入力先の外部回路から高周波信号を効率よく入力させることが可能となる。

[0042] また、例えば、前記入力側抵抗、前記第1のトランジスタおよび前記出力側抵抗は、同一のチップ上に形成され、前記入力側高調波処理回路および前

記出力側高調波処理回路は、前記チップを実装するパッケージ内に搭載されていてもよい。

[0043] これにより、実装工程などを簡略化することが可能となる。

[0044] また、例えば、さらに、入力端子と、出力端子と、接地端子とを有し、高周波信号を増幅する複数の第2のトランジスタを備え、前記複数の第2のトランジスタの各々の入力端子は、当該高周波増幅回路の入力端子に入力整合素子を介して接続され、前記複数の第2のトランジスタの各々の出力端子は、当該高周波増幅回路の出力端子に出力整合素子を介して接続され、さらに、隣接する前記第1のトランジスタの出力端子と短絡接続されていてもよい。

[0045] これにより、第1および第2のトランジスタのサイズによっては、各々のトランジスタの出力端子に対して抵抗を配置することが困難である場合が想定される。かかる場合には、第1および第2のトランジスタを並列接続してまとめた状態で1つの抵抗を接続してもよい。

[0046] 本構成によれば、トランジスタごとにその出力端子に抵抗を接続した場合と比較して、効率改善効果はわずかに低下すると考えられるが、従来のように抵抗が全く無い状態で複数のトランジスタが接続された構成よりも効率改善に有利である。

[0047] また、例えば、前記第2のトランジスタ、前記第1のトランジスタおよび前記出力側抵抗は、同一のチップ上に形成され、前記出力側高調波処理回路は、前記チップを実装するパッケージ内に搭載されていてもよい。

[0048] これにより、実装工程などを簡略化することが可能となる。

[0049] 以下、本発明の一態様に係る高周波増幅回路について、図面を参照しながら説明する。また、以下の図面において同一の構成要素には同一の符号を用いている。

[0050] なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態などは、一例であり、本発明を限定す

る主旨ではない。また、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、より好ましい形態を構成する任意の構成要素として説明される。

[0051] (実施の形態1)

図1は、本発明の実施の形態1に係る高周波増幅回路の回路図である。同図に記載された高周波増幅回路は、並列配置された複数の低出力トランジスタ101と、隣接する低出力トランジスタ101のドレイン出力端子の間に配置された抵抗102と、複数の低出力トランジスタ101の各々の出力端子に接続された高調波処理回路103と、入力側基本波整合回路104と、出力側基本波整合回路105とで構成される。

[0052] 低出力トランジスタ101は、ゲート幅 W_g が狭く、増幅した高周波信号を出力する第1のトランジスタである。増幅された高周波信号は、出力側基本波整合回路105を経て集約されて高出力となり、高周波増幅回路の出力端子から出力される。

[0053] 抵抗102は、低出力トランジスタ101のドレイン出力端子同士を接続する出力側抵抗である。この抵抗102の配置により、低出力トランジスタ101のドレイン出力端子同士が短絡接続された構成と比較して、低出力トランジスタ101間のアイソレーションを高めることができる。よって、各低出力トランジスタ101の出力インピーダンスは、高い状態で維持されることが可能となる。また、低出力トランジスタ101のドレイン出力端子同士が接続されていない構成と比較して、低出力トランジスタ101、高調波処理回路103および出力側基本波整合回路105という信号経路において、発振を誘発させるような不要な電流ループの形成が回避される。

[0054] 複数の高調波処理回路103は、互いに並列に配置され、それぞれが高周波信号に含まれる2次の高調波を処理する出力側高調波処理回路である。複数の高調波処理回路103のそれぞれは、2次の高調波に対してショート状態を示す処理回路である。

[0055] 複数の高調波処理回路103のそれぞれは、直列接続されたインダクタ1

03A及びキャパシタ103Bで構成される。第1のインダクタであるインダクタ103Aの一端は、低出力トランジスタ101のドレイン出力端子に接続され、その他端は、第1のキャパシタであるキャパシタ103Bの一端に接続され、キャパシタ103Bの他端は、接地されている。インダクタ103Aとキャパシタ103Bとで構成された直列共振回路は、2次高調波の周波数で共振し、ショート状態を示す。

[0056] 上記構成では、低出力トランジスタ101のドレイン出力端子間には抵抗102が形成されていることから、各低出力トランジスタ101の出力インピーダンスが維持される。一方、2次高調波の周波数でショート状態となる高調波処理回路103が、低出力トランジスタ101ごとに配置されているので、2次高調波の周波数における低出力トランジスタ101の出力インピーダンスと高調波処理回路103のインピーダンスとの差異が確保され、高調波処理回路103の高調波処理機能がより効率的に発揮され、高周波増幅回路の高効率なF級動作が実現される。

[0057] 入力側基本波整合回路104は、低出力トランジスタ101ごとに配置された入力整合素子であるインダクタ104A及び複数の低出力トランジスタ101に共通して配置されたキャパシタ104Bで構成される。第4のインダクタであるインダクタ104Aの一端は、低出力トランジスタ101のゲートに接続され、その他端は高周波増幅回路の入力端子に接続されている。つまり、低出力トランジスタ101のゲート入力端子は、インダクタ104Aを介して互いに接続されている。また、第4のキャパシタであるキャパシタ104Bの一端は、高周波増幅回路の入力端子に接続され、その他端は、接地されている。

[0058] 入力側基本波整合回路104は、低出力トランジスタ101と整合をとることで、入力された信号における基本波を選択的に低出力トランジスタ101に通過させる整合回路である。

[0059] 出力側基本波整合回路105は、低出力トランジスタ101ごとに配置されたインダクタ105A及び複数の低出力トランジスタ101に共通して配

置されたキャパシタ105Bで構成される。第2のインダクタであるインダクタ105Aの一端は、低出力トランジスタ101のドレイン出力端子に接続され、その他端は高周波増幅回路の出力端子に接続されている。つまり、低出力トランジスタ101のドレイン出力端子は、インダクタ105Aを介して互いに接続されている。また、第2のキャパシタであるキャパシタ105Bの一端は、高周波増幅回路の出力端子に接続され、その他端は、接地されている。

[0060] 出力側基本波整合回路105は、高調波処理回路103の後段に接続され、低出力トランジスタ101で増幅された高周波信号に含まれる基本波を選択的に高周波増幅回路の出力端子へと通過させる整合回路である。

[0061] キャパシタ104Bおよび105Bは、全ての低出力トランジスタ101に対して共通化されている。入力側基本波整合回路104は、入力された信号をそれぞれの低出力トランジスタ101に分岐させ、出力側基本波整合回路105はそれぞれの低出力トランジスタ101から出力された信号を合成する機能を備えている。なお、図面では低出力トランジスタ101が3個並列接続された構成であるが、さらに多段接続されていても、同様の構成である。また、入力側基本波整合回路104および出力側基本波整合回路105は、一例としてLC1段の構成であるが、これに限るものではない。

[0062] なお、分布定数素子によって2次高調波を処理する高調波処理回路103を構成することも可能であるが、図1の構成とした理由は、分布定数素子を用いた場合には高調波処理回路103の小型化に不利であるからである。

[0063] また、増幅回路の効率に与える波形成形の効果は、高次の高調波になれば小さくなる。一方で高次の高調波処理回路を付加することで2次の高調波処理回路にも影響が及ぼされ、高調波処理回路の回路構造が複雑になって増幅回路の小型化および低コスト化が困難となる。従って、図1の高周波増幅回路は2次高調波の処理までを考慮して構成されている。

[0064] また、高調波処理回路103により2次高調波でショート状態となるF級回路が形成されるとした。しかし、2次高調波でオープン状態となる逆F級

回路が形成されてもよい。

[0065] また、低出力トランジスタ101は、シリコン(Si)、ガリウム砒素(GaAs)、および窒化ガリウム(GaN)などに構成材料が限定されるものでもないし、バイポーラトランジスタおよび電界効果トランジスタなどに種類が限定されるものでもない。さらに低出力トランジスタ101は、個別のディスクリート部品が複数個実装されて構成されていてもよい。

[0066] 図2は、本発明の実施の形態1に係る高周波増幅回路のレイアウト図である。同図において、破線で囲まれた部分は低出力トランジスタ201であり、図1の回路図における低出力トランジスタ101に相当する。抵抗202は、図1の回路図における抵抗102に相当する。高調波処理回路203は、図1の回路図における高調波処理回路103に相当し、ボンディングワイヤ203Aと容量パッド203Bとで構成される。入力側基本波整合回路204は、図1の回路図における入力側基本波整合回路104に相当し、ボンディングワイヤ204Aと容量パッド204Bとで構成される。同様に、出力側基本波整合回路205は、図1の回路図における出力側基本波整合回路105に相当し、ボンディングワイヤ205Aと容量パッド205Bとで構成される。

[0067] 図2において、容量パッド203Bは、低出力トランジスタ201ごとに個別部品として示しているが、例えば、セラミック基板に複数の導体をパターンニングして部品点数は1つとなる構成にしてもよい。また高調波処理回路203は、1つの高調波に対する処理回路のみを示しているが、さらに高次まで処理する回路を備えていてもよい。

[0068] 以上の構成が、1つのパッケージ内に搭載されており、パッケージ外への信号の取り出しは、入力側の容量パッド204Bと出力側の容量パッド205Bとから、それぞれボンディングワイヤ(図示せず)等でリード端子(図示せず)に接続される。ただし、入力側の容量パッド204Bや出力側の容量パッド205Bは、パッケージの外に配置されていてもよい。

[0069] さらにバイアスの印加はパッケージの外から行っている。その方法として

は、基本波の波長を λ として $\lambda/4$ ショートスタブ（図示せず）によるバイアスラインで引き回す構成が一般的である。動作としては、直流成分に対しては導通となり、基本波から見たインピーダンスはオープンとなるため、バイアスラインを形成した場合でもデバイスの特性に影響はしない。

[0070] 低出力トランジスタ201は、ゲート206、ドレイン207、ソース208から構成され、ソース208はビア209によって接地されている。そして各低出力トランジスタ201の出力端子であるドレイン207同士が、抵抗202で接続されており、低出力トランジスタ201（ゲート206、ドレイン207、ソース208、ビア209）と抵抗202とが1チップ210上に形成されることで、工程を簡略化することができる。

[0071] 低出力トランジスタ201は、例えば、ゲート幅 W_g が $400\mu\text{m}$ のダブルゲート型となっており、出力は2W程度である。この低出力トランジスタ201の仕様より、低出力トランジスタ201を45個並列接続することにより、本実施の形態に係る高周波増幅器は、100Wクラスの高出力を実現することができる。このとき、45個の低出力トランジスタ201が並列接続されたトランジスタの総ゲート幅は、 36mm （ $400\mu\text{m} \times 2 \times 45$ 個）となり、チップサイズは、例えば、横寸法 0.7mm 、縦寸法 4.5mm 程度となる。

[0072] 図2のレイアウトでは、幅方向に並んで複数設けられたフィンガー状のソース208と、幅方向に並んで複数設けられたフィンガー状のドレイン207との間には、ゲート206が設けられている。

[0073] 低出力トランジスタ201のゲート206は、入力側基本波整合回路204のボンディングワイヤ204Aと接続されている。

[0074] 低出力トランジスタ201のドレイン207は、高調波処理回路203と接続されている。

[0075] 高調波処理回路203は、低出力トランジスタ201ごとに配置されている。

[0076] 抵抗202は、低出力トランジスタ201のドレイン207と出力パッド

207Aとの接続部の間に形成されている。

[0077] 以上のように、低出力トランジスタ201を、抵抗202を介して複数個並列配置することで、低出力トランジスタ201のドレイン出力端子同士が短絡接続された構成と比較して、低出力トランジスタ201間のアイソレーションを高めることができる。よって、各低出力トランジスタ201の出力インピーダンスは、高い状態を維持することが可能となる。

[0078] よって、それぞれの低出力トランジスタ201のドレイン出力端子に高調波処理回路203を接続することで、従来よりも高いトランジスタの出力インピーダンスと、2次高調波においてショート状態となる高調波処理回路203の低インピーダンスとの差異により、高調波処理回路がより効率的に機能でき、高周波増幅回路の高効率化が可能となる。また逆F級動作させる場合は、3次高調波でショートとなる回路を接続すればよく、同様にショートとしての機能を向上させることができる。

[0079] 一方、低出力トランジスタ201のドレイン出力端子同士が接続されていない構成と比較して、低出力トランジスタ201、高調波処理回路203および出力側基本波整合回路205という信号経路において、発振を誘発させるような不要な電流ループの形成が回避される。

[0080] これにより、F級や逆F級動作のための高調波処理を、より高効率にかつ安定に行うことが可能となる。

[0081] なお、高周波信号の周波数帯域における抵抗202のインピーダンスは、抵抗202を介さずに互いに並列接続された低出力トランジスタ201の出力インピーダンスよりも高いことが好ましい。上述した、低出力トランジスタ201の寸法例において、各低出力トランジスタ201の出力インピーダンスは、基本周波数2.45GHzにおいて100Ω程度となる。これに対し、互いに並列接続された50個の低出力トランジスタ201の出力インピーダンスは、基本周波数2.45GHzにおいて約2Ωとなる。かかる場合には、抵抗202のインピーダンスは、2Ω以上であることが好ましく、さらに好ましくは、10Ω～1kΩである。

[0082] これにより、低出力トランジスタ201の出力端子同士が短絡接続された従来の構成と比較して、低出力トランジスタ201間のアイソレーションを適切に高めることができる。

[0083] なお、低出力トランジスタ201は、GaN/AlGaNによるHFET (Heterojunction Field Effect Transistor) を想定しているが、材料はこれに限るものではなく、SiやGaAsでもよい。さらにFETやバイポーラトランジスタなど、トランジスタの種類も限定されるものではない。

[0084] また、高調波処理回路203、入力側基本波整合回路204および出力側基本波整合回路205を構成するボンディングワイヤ203A、204Aおよび205Aは、このような集中定数素子だけではなく、分布定数素子によって構成することも可能である。例えば、高調波処理回路203に分布定数素子を用いた場合、F級動作として2次高調波に対してショートを作るためには、2次高調波の波長を λ_2 とすると、分布定数線路の長さを $\lambda_2/4$ 、基本波の波長 λ で表わすと $\lambda/8$ とすればよい。逆F級動作の場合も同様に、3次高調波の波長を λ_3 とすると、線路長は $\lambda_3/4$ 、 λ で表わすと線路長は $\lambda/12$ とすればよい。なお分布定数素子で構成する場合は、高調波処理回路203や入力側基本波整合回路204および出力側基本波整合回路205も含めて1チップ上に形成する方が、実装工程などを省略することができるため好ましい。

[0085] (実施の形態2)

図3は、本発明の実施の形態2に係る高周波増幅回路の回路図である。同図に記載された高周波増幅回路は、並列接続された複数の低出力トランジスタ301と、隣接する低出力トランジスタ301のドレイン出力端子の間に配置された抵抗302と、複数の低出力トランジスタ301の各々のドレイン出力端子に接続された高調波処理回路303と、入力側基本波整合回路304と、出力側基本波整合回路305と、隣接する低出力トランジスタ301のゲート入力端子の間に配置された抵抗311と、複数の低出力トランジ

スタ 301 の各々のゲート入力端子に接続された高調波処理回路 312 とで構成される。

[0086] 図 3 に記載された本実施の形態に係る高周波増幅回路において、図 1 の高周波増幅回路と異なる点は、入力側にも抵抗 311 と高調波処理回路 312 とを備えていることである。以下、実施の形態 1 の高周波増幅回路と同じ点は説明を省略し、異なる点を中心に説明をする。

[0087] 複数の高調波処理回路 312 は、互いに並列に配置され、それぞれが高周波信号に含まれる 2 次の高調波を処理する入力側高調波処理回路である。複数の高調波処理回路 312 のそれぞれは、2 次の高調波に対してショート状態を示す処理回路である。

[0088] 複数の高調波処理回路 312 のそれぞれは、直列接続されたインダクタ 312A 及びキャパシタ 312B で構成される。第 3 のインダクタであるインダクタ 312A の一端は、低出力トランジスタ 101 のゲート入力端子に接続され、その他端は、第 3 のキャパシタであるキャパシタ 312B の一端に接続され、キャパシタ 312B の他端は、接地されている。インダクタ 312A とキャパシタ 312B とで構成された直列共振回路は、2 次高調波の周波数で共振し、ショート状態を示す。

[0089] 複数の高調波処理回路 303 のそれぞれは、図 1 に示された高調波処理回路 103 と同じ構成であり、直列接続されたインダクタ 103A 及びキャパシタ 103B で構成される。インダクタ 303A とキャパシタ 303B とで構成された直列共振回路は、2 次高調波の周波数で共振し、ショート状態を示す。

[0090] 入力側基本波整合回路 304 は、図 1 に示された入力側基本波整合回路 104 と同じ構成であり、低出力トランジスタ 301 ごとに配置された入力整合素子であるインダクタ 304A 及び複数の低出力トランジスタ 301 に共通して配置されたキャパシタ 304B で構成される。

[0091] 出力側基本波整合回路 305 は、図 1 に示された出力側基本波整合回路 105 と同じ構成であり、低出力トランジスタ 301 ごとに配置されたインダ

クタ305A及び複数の低出力トランジスタ301に共通して配置されたキャパシタ305Bで構成される。

[0092] F級／逆F級回路は、出力の電圧電流波形を制御する技術であるため、一般的には出力側に高調波処理回路が設けられるが、本構成によれば、入力側および出力側の両者で高調波処理を行うことにより、さらなる高効率化を実現できる。

[0093] 抵抗311は、低出力トランジスタ301のゲート入力端子同士を接続する入力側抵抗である。この抵抗311の配置により、低出力トランジスタ301のゲート入力端子同士が短絡接続された構成と比較して、低出力トランジスタ301間のアイソレーションを高めることができる。よって、各低出力トランジスタ301の入力インピーダンスは、高い状態で維持することが可能となる。また、低出力トランジスタ301のゲート入力端子同士が接続されていない構成と比較して、低出力トランジスタ301、高調波処理回路312および入力側基本波整合回路304という信号経路において、発振を誘発させるような不要な電流ループの形成が回避される。

[0094] 高出力なトランジスタを得るために低出力トランジスタ301を多段並列接続した場合には、出力側と同様に、入力インピーダンスも低くなるため、各低出力トランジスタ301のゲート入力端子に高調波処理回路312を単純に接続しただけでは高効率化は困難である。実施の形態1で示したように、低出力トランジスタ301同士のアイソレーションを確保するために抵抗311を介して、それぞれの低出力トランジスタ301のゲート入力端子同士を接続すればよい。これにより、低出力トランジスタ301の高い入力インピーダンスに対して、例えばF級動作として、2次高調波で理想的にはショートとなる低インピーダンスの高調波処理回路312を接続することで、高調波処理動作がより効率的に行われ、高効率化が達成される。逆F級動作をさせる場合の3次高調波についても同様の効果が奏される。

[0095] 図4は、本発明の実施の形態2に係る高周波増幅回路のレイアウト図である。同図において、破線で囲まれた部分は低出力トランジスタ401であり

、図3の回路図における低出力トランジスタ301に相当する。抵抗402は、図3の回路図における抵抗302に相当する。高調波処理回路403は、図3の回路図における高調波処理回路303に相当し、ボンディングワイヤ403Aと容量パッド403Bとで構成される。抵抗411は、図3の回路図における抵抗311に相当する。高調波処理回路412は、図3の回路図における高調波処理回路312に相当し、ボンディングワイヤ412Aと容量パッド412Bとで構成される。入力側基本波整合回路404は、図3の回路図における入力側基本波整合回路304に相当し、ボンディングワイヤ404Aと容量パッド404Bとで構成される。同様に、出力側基本波整合回路405は、図3の回路図における出力側基本波整合回路305に相当し、ボンディングワイヤ405Aと容量パッド405Bとで構成される。

[0096] 低出力トランジスタ401のゲート406は、高調波処理回路412と接続されている。

[0097] 高調波処理回路412は、低出力トランジスタ401ごとに配置されている。

[0098] 抵抗411は、低出力トランジスタ401のゲート406と入力パッド406Aとの接続部の間に形成されている。

[0099] 図4において、容量パッド403Bは、低出力トランジスタ401ごとに個別部品として示しているが、例えば、セラミック基板に複数の導体をパターンニングして部品点数は1つとなる構成にしてもよい。また高調波処理回路403は、1つの高調波に対する処理回路のみを示しているが、さらに高次まで処理する回路を備えていてもよい。

[0100] 以上の構成が、1つのパッケージ内に搭載されており、パッケージ外への信号の取り出しは、入力側の容量パッド404Bと出力側の容量パッド405Bとから、それぞれボンディングワイヤ（図示せず）等でリード端子（図示せず）に接続される。ただし、入力側の容量パッド404Bや出力側の容量パッド405Bは、パッケージの外に配置されていてもよい。

[0101] 低出力トランジスタ401は、ゲート406、ドレイン407、ソース4

08から構成され、ソース408はビア409によって接地されている。そして各低出力トランジスタ401の出力端であるドレイン407同士が、抵抗402で接続されており、低出力トランジスタ401（ゲート406、ドレイン407、ソース408、ビア409）と抵抗402とが1チップ410上に形成されることで、工程を簡略化することができる。

[0102] なお、出力側の高調波処理回路403と入力側の高調波処理回路412とは、図中では同一のサイズで示しているが、これに限るものではない。それぞれの高調波処理回路は、理論的には2次高調波においてショート状態となる共振回路であるが、実際に最適なインピーダンスを計算するとショート状態のインピーダンスから若干ずれる可能性があり、それぞれの高調波処理回路で素子値が異なる場合がある。

[0103] また入力側基本波整合回路404および出力側基本波整合回路405を構成するボンディングワイヤ404Aおよび405Aと、高調波処理回路403および412を構成するボンディングワイヤ403Aおよび412Aとを比較すると、前者が長くなっている例を示しているが、逆の関係になる場合も想定される。さらにワイヤの本数も1本だけではなく、複数本並列して形成してもよい。

[0104] 従来、低出力トランジスタを並列接続して各々の出力端子を短絡接続した高出力トランジスタの構成では、出力インピーダンスが大幅に低下することで、高調波でショートとなる処理回路を出力に接続しても、トランジスタから処理回路を見るとショートとして機能しにくくなり、結果として高効率化が困難であった。これに対し、本発明の実施の形態に係る高周波増幅回路の構成では、低出力トランジスタを複数個並列接続して高出力トランジスタを構成する際に、低出力トランジスタのドレイン出力端子同士およびゲート入力端子同士を、抵抗を介して接続することで、入出力インピーダンスを高く維持することができる。よって、トランジスタから見た高調波処理回路のインピーダンスは十分に低いとみなせるため、高調波処理回路のショートとしての機能を高めることができ、高効率化が可能となる。

[0105] 一方、低出力トランジスタのドレイン出力端子同士およびゲート入力端子同士が接続されていない構成と比較して、入力側基本波整合回路404、高調波処理回路412、低出力トランジスタ401、高調波処理回路403および出力側基本波整合回路405という信号経路において、発振を誘発させるような不要な電流ループの形成が回避される。

[0106] これにより、F級や逆F級動作のための高調波処理を、より高効率にかつ安定に行うことが可能となる。

[0107] (実施の形態3)

図5は、本発明の実施の形態3に係る高周波増幅回路の回路図である。同図に記載された高周波増幅回路は、並列接続された複数の低出力トランジスタ501Aおよび501Bと、隣接する低出力トランジスタ501Aおよび501Bのドレイン出力端子の間に配置された抵抗502と、複数の低出力トランジスタ501Bの各々のドレイン出力端子に接続された高調波処理回路503と、入力側基本波整合回路504と、出力側基本波整合回路505とで構成される。

[0108] 図5に記載された本実施の形態に係る高周波増幅回路において、図1の高周波増幅回路と異なる点は、出力側に設けられた抵抗502および高調波処理回路503が、低出力トランジスタごとに接続されてはならず、2つまとめたもの同士に対して接続されている点異なる。以下、実施の形態1の高周波増幅回路と同じ点は説明を省略し、異なる点を中心に説明をする。

[0109] 第2のトランジスタである、複数の低出力トランジスタ501Bの各々の入力端子は、インダクタ504Aを介して高周波増幅回路の入力端子と接続され、複数の低出力トランジスタ501Bの各々の出力端子は、インダクタ505Aを介して高周波増幅回路の出力端子と接続され、さらに、隣接する低出力トランジスタ501Aの出力端子と短絡接続されている。

[0110] 複数の高調波処理回路503のそれぞれは、図1に示された高調波処理回路103と同じ構成であり、直列接続されたインダクタ503A及びキャパシタ503Bで構成される。インダクタ503Aとキャパシタ503Bとで

構成された直列共振回路は、2次高調波の周波数で共振し、ショート状態を示す。

- [0111] 入力側基本波整合回路504は、図1に示された入力側基本波整合回路104と同じ構成であり、低出力トランジスタ501Aおよび501Bごとに配置された入力整合素子であるインダクタ504A及び複数の低出力トランジスタ501Aおよび501Bに共通して配置されたキャパシタ504Bで構成される。
- [0112] 出力側基本波整合回路505は、図1に示された出力側基本波整合回路105と同じ構成であり、低出力トランジスタ501Aおよび501Bごとに配置されたインダクタ505A及び複数の低出力トランジスタ501Aおよび501Bに共通して配置されたキャパシタ505Bで構成される。
- [0113] 本実施の形態に係る高周波増幅回路では、第1のトランジスタである低出力トランジスタ501Aと第2のトランジスタである低出力トランジスタ501Bとは並列配置され、当該並列配置された2つのトランジスタが合成されたトランジスタ501としての出力インピーダンスは $1/2$ となるため、それぞれの低出力トランジスタ501Aまたは501Bに対して抵抗を接続した場合よりも、効率改善効果は低下してしまう。しかし、低出力トランジスタ501Aおよび501Bのサイズによっては、それぞれに対して抵抗502を配置することが困難である場合も考えられる。かかる場合には、例えば、本実施の形態のように2つの低出力トランジスタ501Aおよび501Bを並列接続してまとめた状態で抵抗502を接続することもあり得る。
- [0114] 図6は、本発明の実施の形態3に係る高周波増幅回路のレイアウト図である。同図において、破線で囲まれた部分は低出力トランジスタ601Aおよび601Bであり、それぞれ、図5の回路図における低出力トランジスタ501Aおよび501Bに相当する。抵抗602は、図5の回路図における抵抗502に相当する。高調波処理回路603は、図5の回路図における高調波処理回路503に相当し、ボンディングワイヤ603Aと容量パッド603Bとで構成される。入力側基本波整合回路604は、図5の回路図におけ

る入力側基本波整合回路504に相当し、ボンディングワイヤ604Aと容量パッド604Bとで構成される。同様に、出力側基本波整合回路605は、図5の回路図における出力側基本波整合回路505に相当し、ボンディングワイヤ605Aと容量パッド605Bとで構成される。

[0115] 図6において、容量パッド603Bは、低出力トランジスタ601Aおよび601Bのセットごとに個別部品として示しているが、例えば、セラミック基板に複数の導体をパターンニングして部品点数は1つとなる構成にしてもよい。また高調波処理回路603は、1つの高調波に対する処理回路のみを示しているが、さらに高次まで処理する回路を備えていてもよい。

[0116] 以上の構成が、1つのパッケージ内に搭載されており、パッケージ外への信号の取り出しは、入力側の容量パッド604Bと出力側の容量パッド605Bとから、それぞれボンディングワイヤ（図示せず）等でリード端子（図示せず）に接続される。ただし、入力側の容量パッド604Bや出力側の容量パッド605Bは、パッケージの外に配置されていてもよい。

[0117] 低出力トランジスタ601Aおよび601Bは、それぞれ、ゲート606、ドレイン607、ソース608から構成され、ソース608はビア609によって接地されている。そして低出力トランジスタ601Aのドレイン出力端子同士が、抵抗602を介して接続されており、低出力トランジスタ601Bのドレイン出力端子同士が、ボンディングワイヤ605Aを介して接続され、さらに、隣接する低出力トランジスタ601Aの出力端子と短絡接続されている。これらの低出力トランジスタ601Aおよび601Bと抵抗602とが1チップ610上に形成されることで、工程を簡略化することができる。

[0118] 本実施の形態に係る高周波増幅回路では、実施の形態1及び2に係る高周波増幅回路のように、各低出力トランジスタに対して抵抗を接続した場合と比較して、効率改善効果はわずかに低下すると考えられるが、従来のように抵抗が全く無い状態で複数個の低出力トランジスタが接続された構成よりも効率改善に有利であることは明白である。

[0119] なお、本実施の形態では、一例として、低出力トランジスタ501A及び501Bのゲート入力端子ごとにインダクタ504Aが接続され、低出力トランジスタ501A及び501Bのドレイン出力端子ごとにインダクタ505Aが接続された回路構成を挙げたが、必ずしも、低出力トランジスタごとに整合用のインダクタ504A及び505Aが配置されている必要はない。例えば、図6に記載された高周波増幅回路のレイアウト図において、チップ610上に形成された低出力トランジスタ601Aのゲート入力パッドと低出力トランジスタ601Bのゲート入力パッドとがチップ610上の配線で短絡接続され、当該短絡接続された配線部から容量パッド604Bへ、一組の低出力トランジスタ601Aおよび610Bごとに、ボンディングワイヤ604Aが配置されていてもよい。また、チップ610上に形成された低出力トランジスタ601Aのドレイン出力パッドと低出力トランジスタ601Bのドレイン出力パッドとの短絡接続部から容量パッド605Bへ、一組の低出力トランジスタ601Aおよび610Bごとに、ボンディングワイヤ605Aが配置されていてもよい。

[0120] かかる構成における高周波増幅回路の等価回路は、図5に記載された回路図において、一組の低出力トランジスタ501A及び501Bのゲート入力端子同士が短絡接続され、当該短絡接続された共通のゲート入力端子と高周波増幅回路の入力端子との間にインダクタ504Aが直列接続される。また、低出力トランジスタ501A及び501Bのドレイン出力端子ごとにインダクタ505Aが直列接続されているのではなく、短絡接続されている一組の低出力トランジスタ501A及び501Bの共通のドレイン出力端子と高周波増幅回路の出力端子との間にインダクタ505Aが直列接続される。

[0121] 上記回路構成を有する高周波増幅回路も、本発明の範囲内であり、実施の形態3に係る高周波増幅回路と同様の効果が奏される。

[0122] なお、本実施の形態では、一例として、2つの低出力トランジスタ501Aおよび501Bをまとめた、並列合成されたトランジスタ501ごとに抵抗502を接続した例を示したが、低出力トランジスタが3つ並列合成され

たトランジスタごとに、あるいは4つ並列合成されたトランジスタごとに、
というように、並列合成するトランジスタの数が増えたとしても、同じ技術
的思想によって、効率改善効果が得られる。さらに、実施の形態2における
高周波増幅回路のように、入力側に抵抗が配置される場合でも、低出力トラ
ンジスタがいくつか並列合成されたトランジスタごとに抵抗を介して接続さ
れてもよい。

[0123] 以上、本発明の高周波増幅回路について、実施の形態に基づいて説明した
が、本発明は、上述した実施の形態に限定されるものではない。本発明の要
旨を逸脱しない範囲内で当業者が思いつく各種変形を施したものも本発明の
範囲内に含まれる。また、発明の趣旨を逸脱しない範囲で、複数の実施の形
態における各構成要素を任意に組み合わせてもよい。

[0124] なお、低出力トランジスタのゲート入力端子およびドレイン出力端子に接
続される抵抗は、回路部品としての抵抗素子でなくてもよく、チップ上に抵
抗材料をパターニングすることで形成される抵抗領域を、抵抗として利用し
てもよい。

産業上の利用可能性

[0125] 本発明の高周波増幅回路は、移動体通信用の端末および基地局、ならびに
電子レンジなどのマイクロ波家電に適用可能な高出力パワーアンプとして利
用できる。

符号の説明

[0126] 101、201、301、401、501A、501B、601A、60
1B 低出力トランジスタ

102、202、302、311、402、411、502、602
抵抗

103、203、303、312、403、412、503、603
高調波処理回路

103A、104A、105A、303A、304A、305A、312
A、503A、504A、505A、702A、703A、703B イ

ンダクタ

103B、104B、105B、303B、304B、305B、312
B、503B、504B、505B、702B、703C キャパシタ

104、204、304、404、504、604 入力側基本波整合
回路

105、205、305、405、505、605 出力側基本波整合
回路

203A、204A、205A、403A、404A、405A、412
A、603A、604A、605A ボンディングワイヤ

203B、204B、205B、403B、404B、405B、412
B、603B、604B、605B 容量パッド

206、406、606 ゲート

207、407、607 ドレイン

207A 出力パッド

208、408、608 ソース

209、409、609 ビア

210、410、610 チップ

406A 入力パッド

501、701 トランジスタ

702 2次高調波処理回路

703 基本波整合回路

704 誘電体基板

705 外部回路

請求の範囲

- [請求項1] 入力端子と、出力端子と、接地端子とを有し、高周波信号を増幅する複数の第1のトランジスタと、
前記複数の第1のトランジスタの各々に対して配置され、前記複数の第1のトランジスタの各々の出力端子に接続され、増幅された高周波信号に含まれる偶数次または奇数次の高調波を処理し、F級または逆F級動作する出力側高調波処理回路と、
前記複数の第1のトランジスタの各々の出力端子に接続された出力側抵抗とを備え、
前記複数の第1のトランジスタの各々の入力端子は、入力整合素子を介して当該高周波増幅回路の入力端子に接続され、
前記複数の第1のトランジスタの各々の出力端子は、前記出力側抵抗を介して互いに接続され、さらに、出力整合素子を介して当該高周波増幅回路の出力端子に接続されている
高周波増幅回路。
- [請求項2] 前記高周波信号の周波数帯域における前記出力側抵抗のインピーダンスは、前記出力側抵抗を介さずに互いに並列接続された場合の前記複数の第1のトランジスタの出力インピーダンスの実部よりも高い
請求項1に記載の高周波増幅回路。
- [請求項3] 前記出力側高調波処理回路は、
一端が前記第1のトランジスタの出力端子に接続された第1のインダクタと、
一端が前記第1のインダクタの他端に接続され、他端が接地された第1のキャパシタとで構成され、
前記第1のトランジスタの基本周波数の2倍の周波数で共振する直列共振回路である
請求項1に記載の高周波増幅回路。
- [請求項4] 前記高周波増幅回路は、さらに、

前記第1のトランジスタの出力端子および前記出力側高調波処理回路に接続され、増幅された高周波信号に含まれる基本波を選択的に通過させる出力側基本波整合回路を備え、

前記出力側基本波整合回路は、

前記出力整合素子であり、一端が前記第1のトランジスタの出力端子に接続され、他端同士が接続された第2のインダクタと、

一端が、前記第2のインダクタの前記他端に接続され、他端が接地された第2のキャパシタとを備える

請求項1に記載の高周波増幅回路。

[請求項5]

前記第1のトランジスタと前記出力側抵抗とは、同一のチップ上に形成され、

前記出力側高調波処理回路は、前記チップを実装するパッケージ内に搭載されている

請求項1に記載の高周波増幅回路。

[請求項6]

さらに、

前記複数の第1のトランジスタの各々に対して配置され、前記複数の第1のトランジスタの各々の入力端子に接続され、増幅された高周波信号に含まれる偶数次または奇数次の高調波を処理し、F級または逆F級動作する入力側高調波処理回路と、

前記複数の第1のトランジスタの各々の入力端子に接続された入力側抵抗とを備え、

前記複数の第1のトランジスタの各々の入力端子は、前記入力側抵抗を介して互いに接続されている

請求項1に記載の高周波増幅回路。

[請求項7]

前記高周波信号の周波数帯域における前記入力側抵抗のインピーダンスは、互いに並列接続された前記複数の第1のトランジスタの入力インピーダンスよりも高い

請求項6に記載の高周波増幅回路。

- [請求項8] 前記入力側高調波処理回路は、
一端が前記第1のトランジスタの入力端子に接続された第3のインダクタと、
一端が前記第3のインダクタの他端に接続され、他端が接地された第3のキャパシタとで構成され、
前記第1のトランジスタの基本周波数の2倍の周波数で共振する直列共振回路である
請求項6に記載の高周波増幅回路。
- [請求項9] 前記高周波増幅回路は、さらに、
前記第1のトランジスタの入力端子および前記入力側高調波処理回路に接続され、増幅された高周波信号に含まれる基本波を選択的に通過させる入力側基本波整合回路を備え、
前記入力側基本波整合回路は、
前記入力整合素子であり、一端が前記第1のトランジスタの入力端子に接続され、他端同士が接続された第4のインダクタと、
一端が、前記第4のインダクタの前記他端に接続され、他端が接地された第4のキャパシタとを備える
請求項6に記載の高周波増幅回路。
- [請求項10] 前記入力側抵抗、前記第1のトランジスタおよび前記出力側抵抗は、同一のチップ上に形成され、
前記入力側高調波処理回路および前記出力側高調波処理回路は、前記チップを実装するパッケージ内に搭載されている
請求項6に記載の高周波増幅回路。
- [請求項11] さらに、
入力端子と、出力端子と、接地端子とを有し、高周波信号を増幅する複数の第2のトランジスタを備え、
前記複数の第2のトランジスタの各々の入力端子は、当該高周波増幅回路の入力端子に入力整合素子を介して接続され、

前記複数の第2のトランジスタの各々の出力端子は、当該高周波増幅回路の出力端子に出力整合素子を介して接続され、さらに、隣接する前記第1のトランジスタの出力端子と短絡接続されている

請求項1～10のうちいずれか1項に記載の高周波増幅回路。

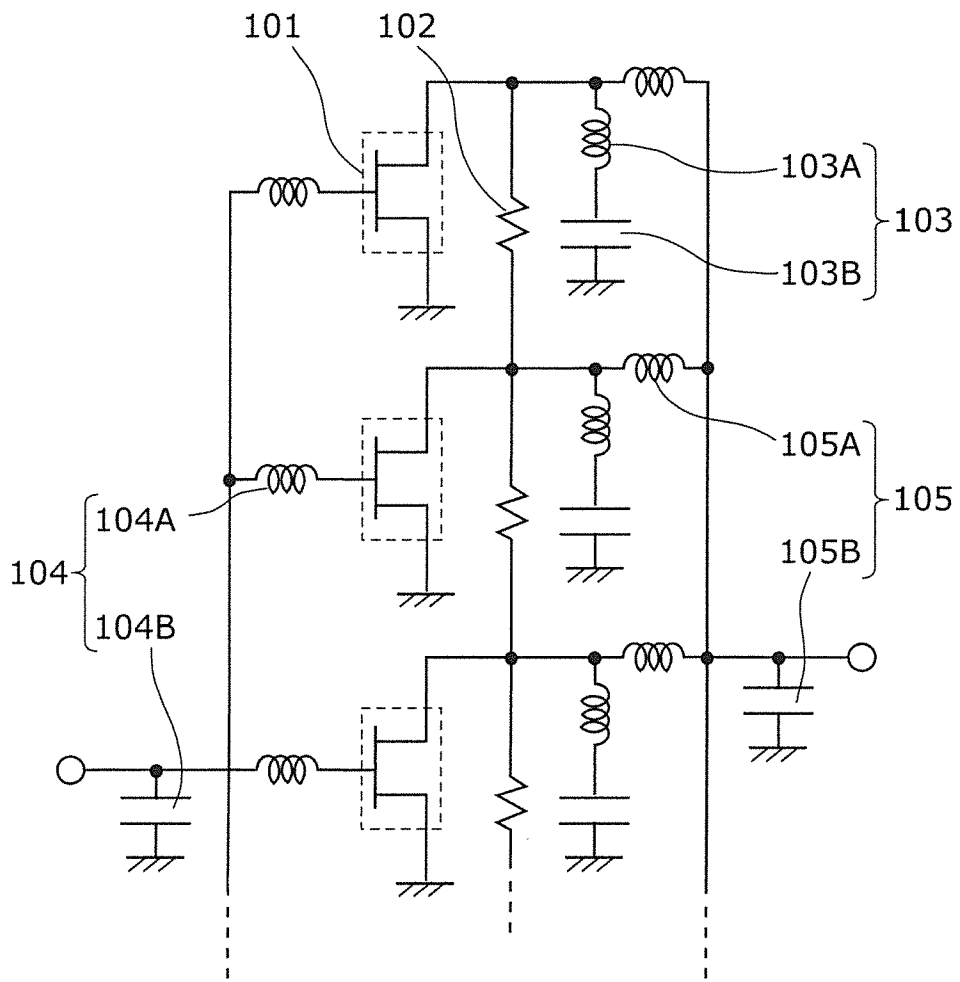
[請求項12]

前記第2のトランジスタ、前記第1のトランジスタおよび前記出力側抵抗は、同一のチップ上に形成され、

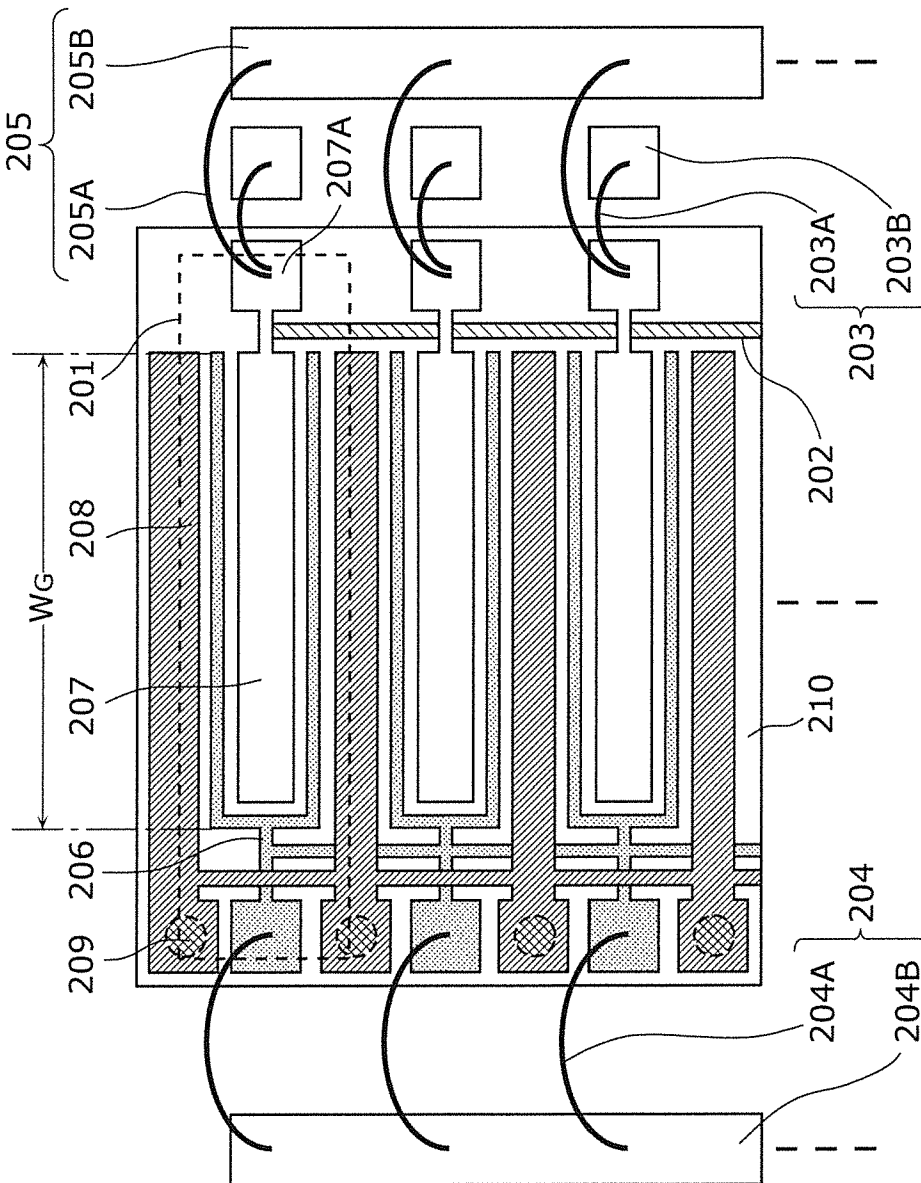
前記出力側高調波処理回路は、前記チップを実装するパッケージ内に搭載されている

請求項11に記載の高周波増幅回路。

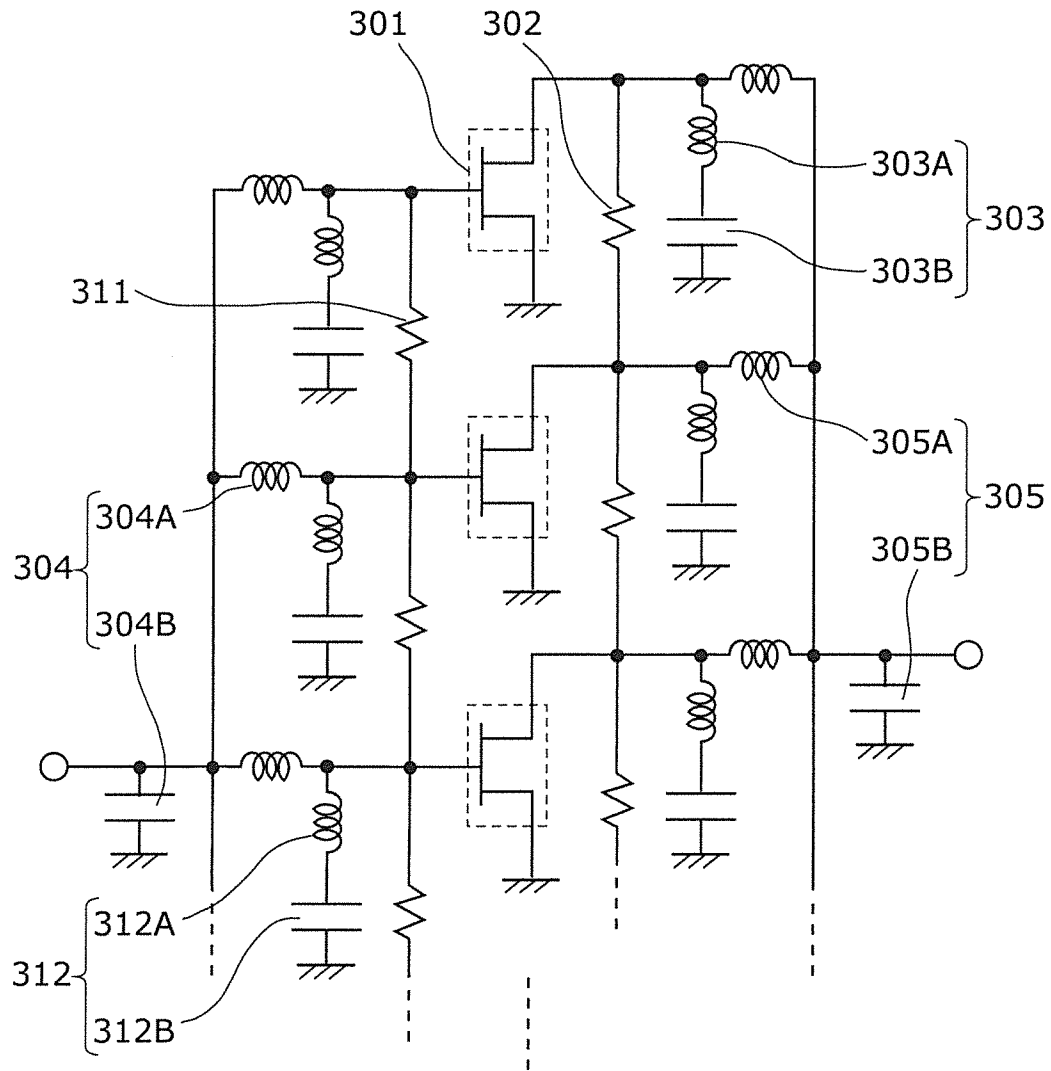
[図1]



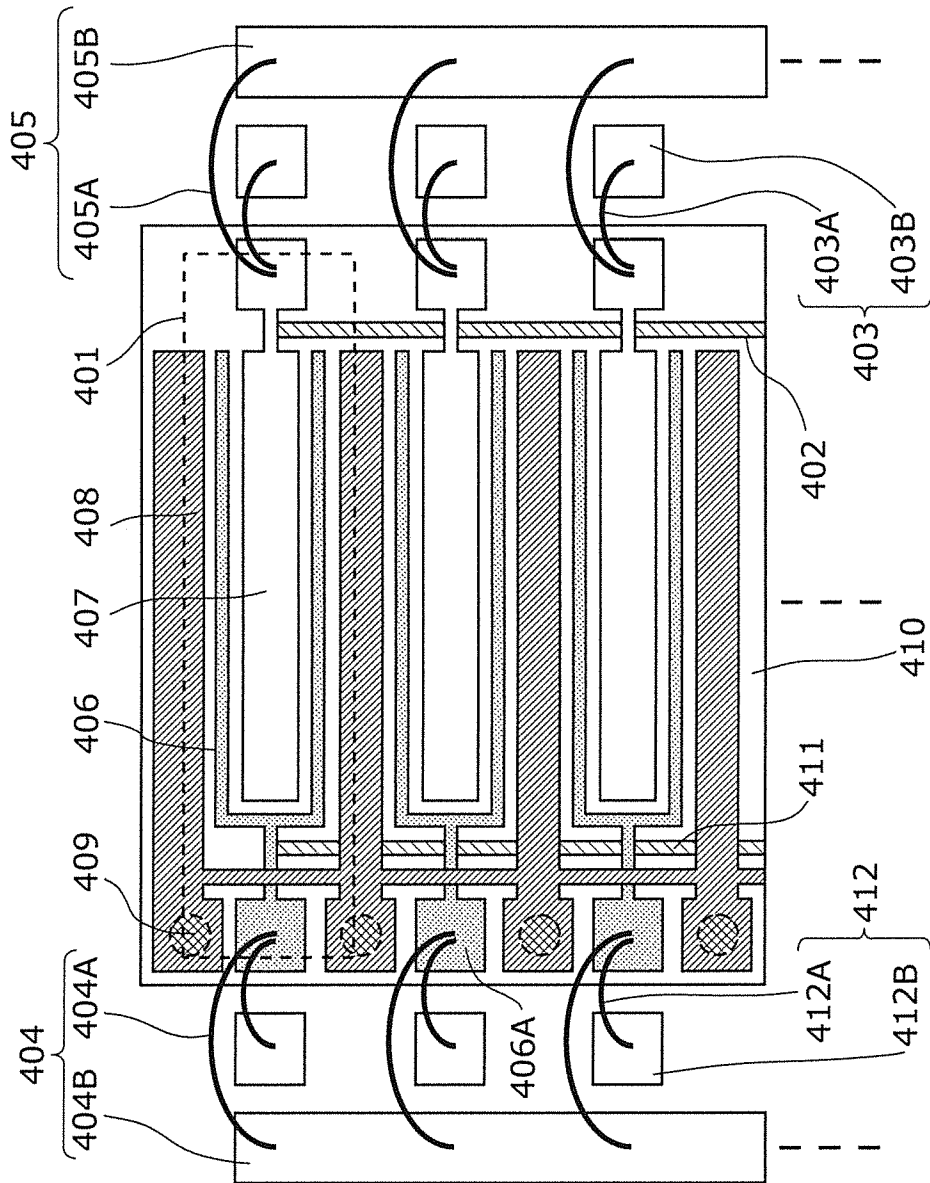
[図2]



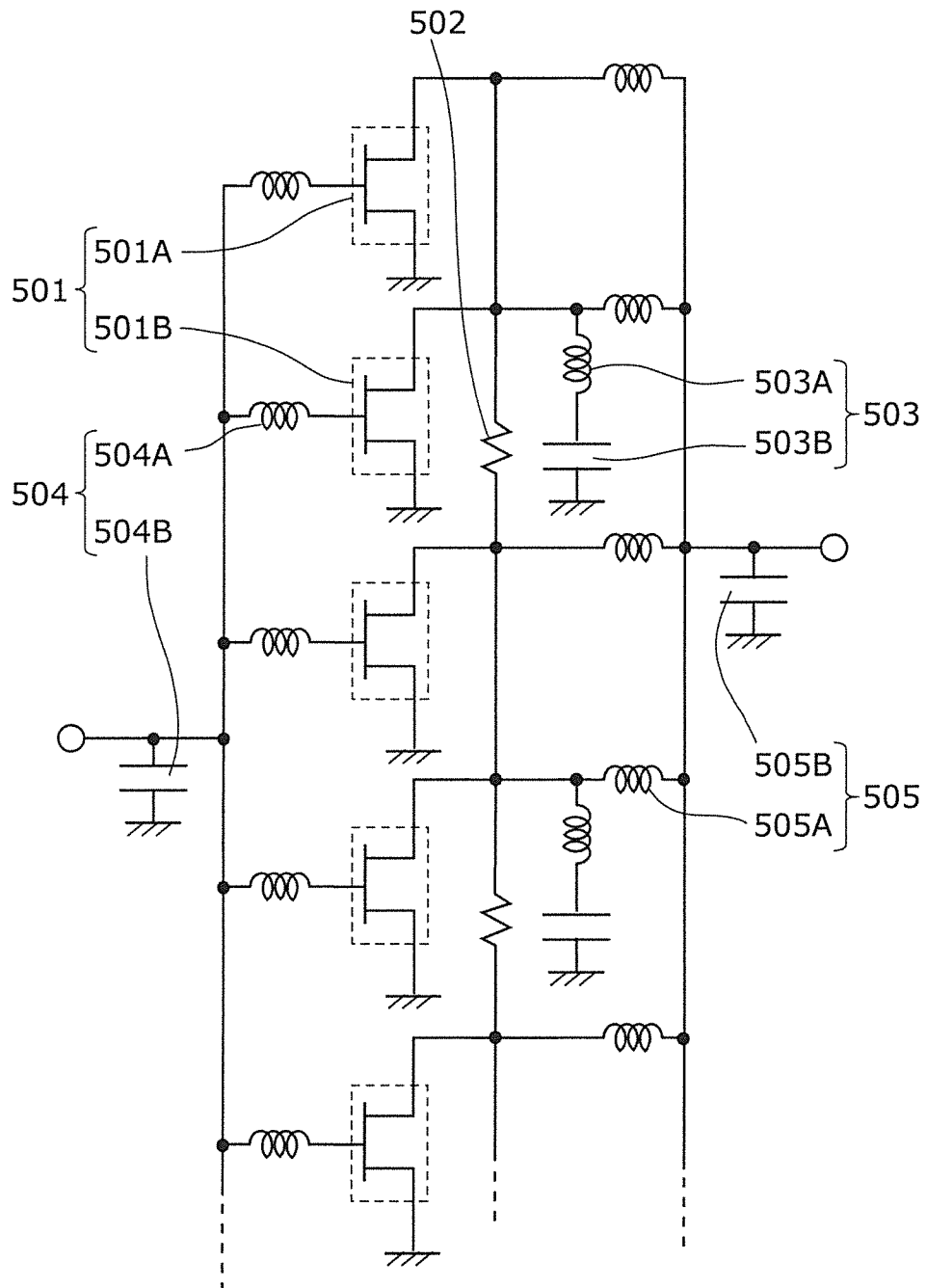
[図3]



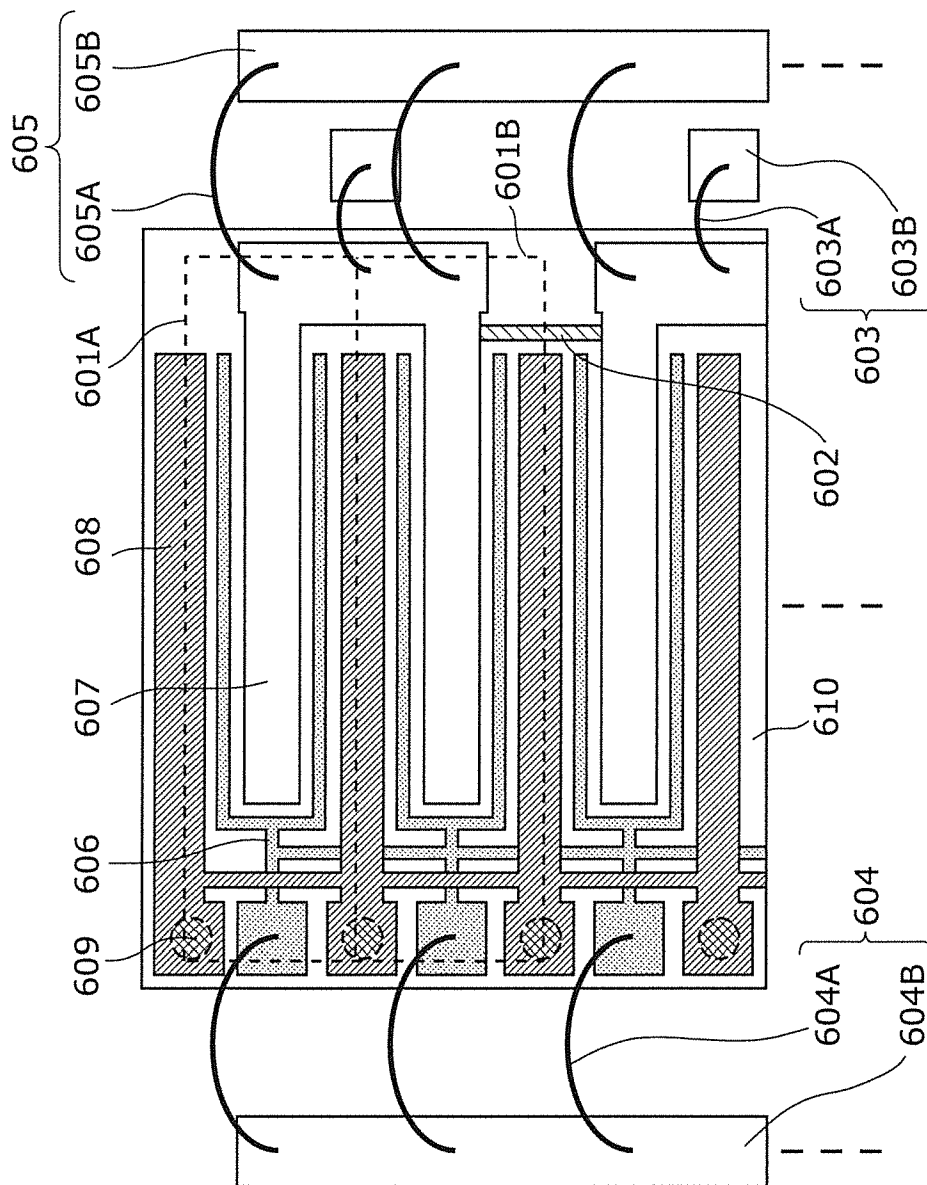
[図4]



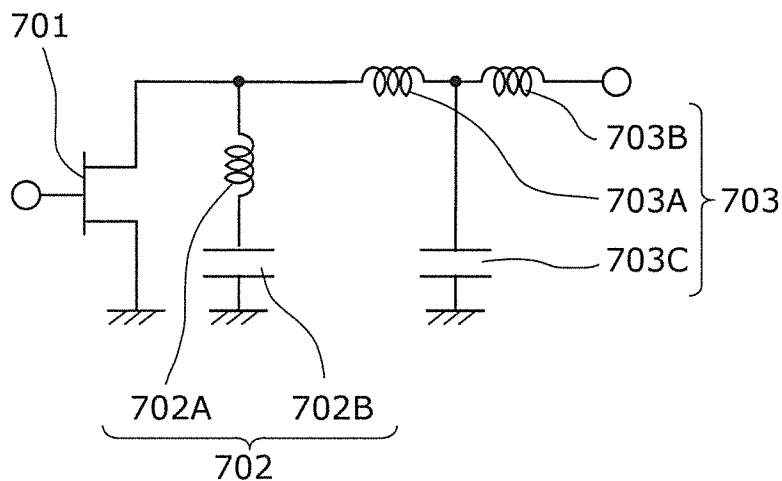
[図5]



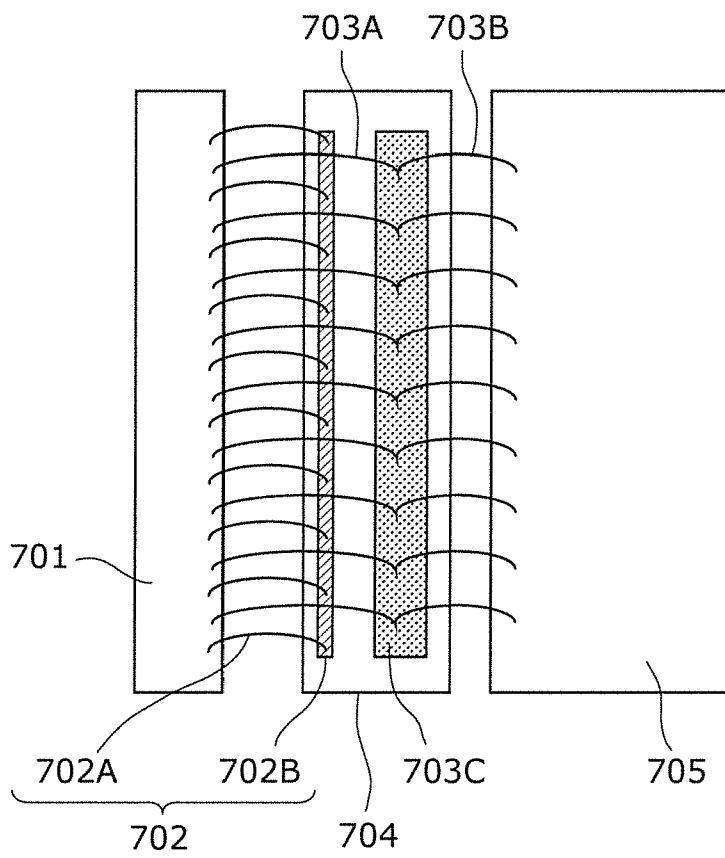
[図6]



[図7A]



[図7B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002841

A. CLASSIFICATION OF SUBJECT MATTER

H03F1/02(2006.01) i, H03F3/189(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/02, H03F3/189

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-35761 A (Mitsubishi Electric Corp.), 17 February 2011 (17.02.2011), entire text; all drawings (Family: none)	1-12
A	JP 2008-263439 A (Toshiba Corp.), 30 October 2008 (30.10.2008), entire text; all drawings (Family: none)	1-12
A	JP 7-183744 A (Hitachi, Ltd. et al.), 21 July 1995 (21.07.1995), entire text; all drawings (Family: none)	1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17 July, 2012 (17.07.12)

Date of mailing of the international search report
31 July, 2012 (31.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002841

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-260905 A (Fujitsu Ltd.), 23 October 1990 (23.10.1990), entire text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03F1/02(2006.01)i, H03F3/189(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03F1/02, H03F3/189

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-35761 A (三菱電機株式会社) 2011.02.17, 全文, 全図 (ファミリーなし)	1-12
A	JP 2008-263439 A (株式会社東芝) 2008.10.30, 全文, 全図 (ファミリーなし)	1-12
A	JP 7-183744 A (株式会社日立製作所 (他1名)) 1995.07.21, 全文, 全図 (ファミリーなし)	1-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

17.07.2012

国際調査報告の発送日

31.07.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安井 雅史

電話番号 03-3581-1101 内線 3596

5 X

4 0 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2-260905 A (富士通株式会社) 1990. 10. 23, 全文, 全図 (ファミリーなし)	1-12