



(12) 发明专利申请

(10) 申请公布号 CN 102779753 A

(43) 申请公布日 2012. 11. 14

(21) 申请号 201110121644. 2

(22) 申请日 2011. 05. 12

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 三重野文健

(74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 屠长存

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/266(2006. 01)

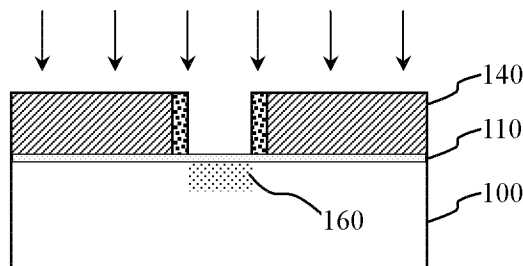
权利要求书 2 页 说明书 6 页 附图 3 页

(54) 发明名称

半导体器件制造方法

(57) 摘要

一种半导体器件制造方法,包括:在衬底上形成伪栅极和绝缘材料层,该伪栅极嵌在该绝缘材料层中;去除该伪栅极,从而在该绝缘材料层中形成开口;以该绝缘材料层为掩模,通过该开口向该衬底中注入碳离子或锆离子。根据上述方法,避免了由于多次使用与沟道区对应的掩模而导致的对准问题。



1. 一种制造半导体器件的方法,包括:

形成包括伪栅极和绝缘材料层的衬底,所述伪栅极嵌在所述绝缘材料层中;

去除所述伪栅极,从而在所述绝缘材料层中形成开口;

以所述绝缘材料层为掩模,通过所述开口向所述衬底中注入碳离子或锗离子。

2. 如权利要求 1 所述的方法,其中所述伪栅极与所述衬底之间形成有伪栅极氧化物层,其特征在于所述碳离子或锗离子是通过所述伪栅极氧化物层注入所述衬底的,并且其中

在注入锗离子的情况下,注入能量是 10-30keV,离子注入剂量是 $0.5 \times 10^{16} \text{cm}^{-2}$ 至 $6.0 \times 10^{16} \text{cm}^{-2}$;

在注入碳离子的情况下,采用 C_7H_x 执行所述注入,注入能量是 2-5keV,离子注入剂量是 $0.5 \times 10^{14} \text{cm}^{-2}$ 至 $1.2 \times 10^{14} \text{cm}^{-2}$ 。

3. 如权利要求 1 所述的方法,其中所述伪栅极与所述衬底之间形成有伪栅极氧化物层,该方法还包括:

在去除所述伪栅极之后,注入碳离子或锗离子之前,去除所述伪栅极氧化物层,其中,

在注入锗离子的情况下,注入能量是 2-20keV,离子注入剂量是 $0.5 \times 10^{16} \text{cm}^{-2}$ 至 $6.0 \times 10^{16} \text{cm}^{-2}$;

在注入碳离子的情况下,采用 C_7H_x 执行所述注入,注入能量是 1-2keV,离子注入剂量是 $0.3 \times 10^{14} \text{cm}^{-2}$ 至 $1.0 \times 10^{14} \text{cm}^{-2}$ 。

4. 如权利要求 1 所述的方法,其中,

对于所述半导体器件中要形成 PMOS 器件的部分,通过所述开口向所述衬底中注入锗离子。

5. 如权利要求 4 所述的方法,还包括:

对于所述半导体器件中要形成 PMOS 器件的部分,通过所述开口向所述衬底中注入 n 型杂质离子,

其中,所述 n 型杂质离子是铟,注入能量是 5-14keV,离子注入剂量是 $5 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

6. 如权利要求 1 所述的方法,其中,

对于所述半导体器件中要形成 NMOS 器件的部分,通过所述开口向所述衬底中注入碳离子。

7. 如权利要求 6 所述的方法,还包括:

对于所述半导体器件中要形成 NMOS 器件的部分,通过所述开口向所述衬底中注入 p 型杂质离子,

其中,所述 p 型杂质离子是铟,注入能量是 5-14keV,离子注入剂量是 $5 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

8. 如权利要求 4 或 6 所述的方法,还包括通过所述开口向所述衬底中注入氩,注入能量是 5-20keV,离子注入剂量是 $1 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

9. 如权利要求 1 所述的方法,还包括在注入碳离子或锗离子之后执行退火。

10. 如权利要求 9 所述的方法,其中采用长脉冲闪光灯退火工艺执行所述退火。

11. 如权利要求 10 所述的方法,其中在 800-1200°C 的温度下,采用 2ms-8ms 的脉冲执

行所述长脉冲闪光灯退火工艺。

12. 如权利要求 10 所述的方法,其中所述伪栅极下形成有伪栅极氧化物层,所述长脉冲闪光灯退火工艺所使用的光的波长处于所述伪栅极氧化物层的吸收波谱中。

13. 如权利要求 9 所述的方法,其中还包括在执行退火之后执行氧化。

14. 如权利要求 1 所述的方法,还包括在注入碳离子或锗离子之后执行氧化。

15. 如权利要求 14 所述的方法,其中所述伪栅极下形成有伪栅极氧化物层,该方法还包括在执行氧化之前去除所述伪栅极氧化物层。

16. 如权利要求 14 所述的方法,其中采用 700-850°C 下持续 0.5-2 分钟的快速热氧化工艺执行所述氧化。

17. 如权利要求 9 或 14 所述的方法,还包括去除所述开口中的氧化物,然后沉积高介电常数材料和金属栅极材料,以形成金属栅极。

18. 如权利要求 17 所述的方法,其中在沉积高介电常数材料之前还包括执行表面处理以减小表面粗糙度的步骤。

19. 如权利要求 18 所述的方法,其中

所述表面处理是在氢气环境中低于 850°C 的温度下进行退火而执行的;或者

所述表面处理是在 HCl 蒸气环境中低于 650°C 的温度下进行退火而执行的。

20. 如权利要求 1 所述的方法,其中,形成包括伪栅极和绝缘材料层的衬底的步骤包括:

制备衬底;

在衬底上形成氧化物层和伪栅极;

以伪栅极为掩模,在衬底上执行注入以在伪栅极两侧形成轻掺杂区;

在伪栅极的两侧侧壁上形成侧壁间隔件;

以侧壁间隔件为掩模执行注入以在栅极两侧分别形成源区和漏区;

在衬底上沉积绝缘材料以覆盖衬底和伪栅极;

进行化学机械抛光,使绝缘材料的上表面与伪栅极的上表面齐平。

半导体器件制造方法

技术领域

[0001] 本发明涉及半导体技术,特别涉及半导体器件制造方法。

背景技术

[0002] 随着半导体技术的不断发展, MOSFET 特征尺寸不断缩小,载流子迁移率降低的问题引起了业内的极大关注,并且已提出了若干种增强载流子迁移率的方案。

[0003] 其中一些方案是通过在 MOSFET 的沟道区中施加应力来实现增强载流子迁移率的目的的。

[0004] 如果对 MOS 器件的沟道区施加应力,使其产生应变,则可以影响其载流子迁移率。具体说来, NMOS 器件是电子导电的,因此晶格间距越大,晶格散射的作用就越小,电子迁移率就越大,驱动电流就越大,因此希望对沟道施加拉伸应力使得晶格变大;而 PMOS 器件则正好相反,晶格越小,空穴迁移率越大,所以希望对沟道施加压缩应力。

[0005] 锗原子半径比硅原子半径大,如果用锗原子替代硅衬底中的部分硅原子,形成硅锗晶体,则会产生压缩应力。碳原子半径比硅原子半径小,如果用碳原子替代硅衬底中的部分硅原子,形成碳化硅晶体,则会产生拉伸应力。

[0006] Jiang, Hong 和 Elliman, R. G. 的论文“Electrical Properties of GeSi Surface-and Buried-Channel p-MOSFET's Fabricated by Ge Implantation, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 43, NO. 1, JANUARY 1996, PAGE 97-103”,描述了通过 Ge 离子注入形成 PMOSFET 的 GeSi 的沟道区的电特性。图 3 是该论文中示出其 GeSi 沟道区形成方法的附图(在此删除了图中的注释性文字)。下面参考图 3 描述该论文所给出的 GeSi 沟道区形成方法。

[0007] 首先,在(100)晶面的 n-Si 衬底上形成 $0.8\mu\text{m}$ 厚的 SiO_2 层。在该 SiO_2 层中形成开口,以露出衬底表面要形成沟道区的部分。通过该开口向衬底中注入 Ge 离子,形成 $\text{Ge}_x\text{Si}_{1-x}$ 沟道区,参见图 3 的 (a) 部分。

[0008] 然后,去除 SiO_2 层的部分,并在 $\text{Ge}_x\text{Si}_{1-x}$ 沟道区上方形成光致抗蚀剂图案,注入 B 离子以形成源区和漏区。

[0009] 接下来,去除光刻胶,向沟道区中注入 B 离子,参见图 3 的 (b) 部分。

[0010] 接下来,通过 PECVD 沉积 $0.6\mu\text{m}$ 厚的 SiO_2 层,并在衬底背侧掺杂 As 离子,参见图 3 的 (c) 部分。

[0011] 接下来,将沟道区上方的 SiO_2 层减薄,参见图 3 的 (d) 部分。

[0012] 接下来,形成到源区和漏区的接触孔,沉积铝并进行蚀刻,形成分别到源区、漏区和栅极的接触件。

[0013] 在上述方法中,需要先后至少三次用到与沟道区对应的掩模:一次用于形成 (a) 部分所示开口;一次用于形成 (b) 部分所示光致抗蚀剂图案;一次用于如 (d) 部分所示减薄沟道区上方的 SiO_2 层。

[0014] 而这三三次用到的掩模图案就存在难以对准的问题。

[0015] 因此,需要一种简便的方法来形成具有应变沟道区的半导体器件。

发明内容

[0016] 根据本发明的一个方面,提供了一种制造半导体器件的方法,包括:形成包括伪栅极和绝缘材料层的衬底,伪栅极嵌在绝缘材料层中;去除伪栅极,从而在绝缘材料层中形成开口;以绝缘材料层为掩模,通过开口向衬底中注入碳离子或锗离子。

[0017] 对于该半导体器件中要形成 NMOS 器件的部分,通过该开口向该衬底中注入碳离子。而对于该半导体器件中要形成 PMOS 器件的部分,通过该开口向该衬底中注入锗离子。

[0018] 在一个实施例中,该伪栅极与衬底之间可以形成有伪栅极氧化物层,碳离子或锗离子是通过伪栅极氧化物层注入衬底的。。

[0019] 其中,在注入锗离子的情况下,注入能量可以是 10-30keV,离子注入剂量可以是 $0.5 \times 10^{16} \text{cm}^{-2}$ 至 $6.0 \times 10^{16} \text{cm}^{-2}$;在注入碳离子的情况下,可以采用 C_7H_x 执行该注入,注入能量可以是 2-5keV,离子注入剂量可以是 $0.5 \times 10^{14} \text{cm}^{-2}$ 至 $1.2 \times 10^{14} \text{cm}^{-2}$ 。

[0020] 在另一个实施例中,该伪栅极下形成有伪栅极氧化物层,该方法还可以包括:在去除该伪栅极之后,注入碳离子或锗离子之前,去除该伪栅极氧化物层。

[0021] 其中,在注入锗离子的情况下,注入能量可以是 2-20keV,离子注入剂量可以是 $0.5 \times 10^{16} \text{cm}^{-2}$ 至 $6.0 \times 10^{16} \text{cm}^{-2}$;在注入碳离子的情况下,可以采用 C_7H_x 执行该注入,注入能量可以是 1-2keV,离子注入剂量可以是 $0.3 \times 10^{14} \text{cm}^{-2}$ 至 $1.0 \times 10^{14} \text{cm}^{-2}$ 。

[0022] 对于该半导体器件中要形成 NMOS 器件的部分,还可以通过该开口向该衬底中注入 p 型杂质离子。

[0023] 该 p 型杂质离子可以是铟,注入能量可以是 5-14keV,离子注入剂量可以是 $5 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$

[0024] 对于该半导体器件中要形成 PMOS 器件的部分,还可以通过该开口向该衬底中注入 n 型杂质离子。

[0025] 该 n 型杂质离子可以是铟,注入能量可以是 5-14keV,离子注入剂量可以是 $5 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

[0026] 可选地,还可以包括通过该开口向该衬底中注入氩,注入能量可以是 5-20keV,离子注入剂量可以是 $1 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

[0027] 在一个实施例中,在注入碳离子或锗离子之后还可以执行退火。

[0028] 优选地,可以采用长脉冲闪光灯退火工艺执行该退火。

[0029] 优选地,可以在 800-1200℃ 的温度下,采用 2ms-8ms 的脉冲执行该长脉冲闪光灯退火工艺。

[0030] 优选地,该伪栅极下形成有伪栅极氧化物层,该长脉冲闪光灯退火工艺所使用的光的波长处于该伪栅极氧化物层的吸收波谱中。

[0031] 优选地,在执行退火之后可以进一步执行氧化。

[0032] 在另一个实施例中,在注入碳离子或锗离子之后还可以执行氧化。

[0033] 在该伪栅极下形成有伪栅极氧化物层的情况下,优选地,在执行氧化之前可以去除该伪栅极氧化物层。

[0034] 优选地,可以采用 700-850℃ 下持续 0.5-2 分钟的快速热氧化工艺执行该氧化。

[0035] 优选地,可以进一步去除该开口中的氧化物,然后沉积高介电常数材料和金属栅极材料,以形成金属栅极。

[0036] 优选地,在沉积高介电常数材料之前还可以执行表面处理以减小表面粗糙度。

[0037] 该表面处理可以是在氢气环境中低于 850°C 的温度下进行退火而执行的。或者,该表面处理也可以是在 HCl 蒸气环境中低于 650°C 的温度下进行退火而执行的。

[0038] 优选地,形成包括伪栅极和绝缘材料层的衬底的步骤包括:制备衬底;在衬底上形成氧化物层和伪栅极;以伪栅极为掩模,在衬底上执行注入以在伪栅极两侧形成轻掺杂区;在伪栅极的两侧侧壁上形成侧壁间隔件;以侧壁间隔件为掩模执行注入以在栅极两侧分别形成源区和漏区;在衬底上沉积绝缘材料以覆盖衬底和伪栅极;进行化学机械抛光,使绝缘材料的上表面与伪栅极的上表面齐平。

[0039] 根据本发明的制造方法,可以避免由于多次使用与沟道区对应的掩模而导致的对准问题。

附图说明

[0040] 附图示出了本发明的实施例,并与文字描述一起用于说明本发明的原理。

[0041] 要注意的是,在附图中,为了便于描述,各个部分的尺寸并不是按照实际的比例关系绘制的。

[0042] 图 1A-1E 分别以截面图的形式示出了本发明制造半导体器件的方法的最佳实施方式的各个步骤;

[0043] 图 2A-2D 分别以截面图的形式示出了形成图 1A 所示结构一种示例性方法的各个步骤;

[0044] 图 3 是现有技术文献中示出其 GeSi 沟道区形成方法的附图。

具体实施方式

[0045] 下面参考附图说明本发明制造半导体器件的方法。

[0046] 当前,具有 HKMG(高介电常数绝缘层+金属栅极)结构的晶体管的制造工艺分为以 IBM 为代表的先栅极工艺流派和以 Intel 为代表的后栅极工艺流派。

[0047] 在后栅极工艺中,在去除伪栅极之后,自然地形成了对应于沟道区的开口。本发明的发明人由此创造性地提出,借助于此开口注入锗,则不需要为锗注入额外地提供与沟道区对应的掩模。由于减少了与沟道区对应的掩模的使用,所以可以避免多个掩模图案需要对准的问题。

[0048] 下面参考图 1A-1E 和图 2A-2D 说明本发明制造半导体器件的方法。

[0049] 首先,如图 1A 所示,形成包括伪栅极 120 和绝缘材料层 140 的衬底 100。伪栅极 120 嵌在绝缘材料层 140 中。伪栅极 120 的上表面可以与绝缘材料层 140 的上表面齐平。

[0050] 衬底 100 与伪栅极 120 和绝缘材料层 140 之间可以形成有绝缘膜 110,例如氧化物层。伪栅极 120 与衬底 100 之间的绝缘膜 110 部分可以称为“伪栅极绝缘膜”,或者“伪栅极氧化物层”。

[0051] 在后栅极工艺中,至此已经进行了源漏注入。伪栅极 120 的两侧还可以形成有侧壁间隔件 130,以便在之前的源漏注入过程中限定重掺杂区的范围。

[0052] 下面参考图 2A-2D 描述得到图 1A 所示结构的一种示例性过程。

[0053] 如图 2A 所示,首先准备用来形成半导体器件的晶片。

[0054] 为了分别增强 NMOS 器件和 PMOS 器件的沟道迁移率,可以采用例如硅片键合方法实现“混合衬底取向”技术,为 NMOS 器件准备晶向为 (100) 的衬底 100,而为 PMOS 器件准备晶向为 (110) 的衬底 100。

[0055] 然后,如图 2B 所示,在衬底 100 上形成氧化物层 110 和伪栅极 120。

[0056] 接下来,如图 2C 所示,以伪栅极 120 为掩模,在衬底上执行注入以在伪栅极两侧形成轻掺杂区 (LDD)。

[0057] 接下来,如图 2D 所示,沉积例如氮化硅层,进行蚀刻,以在伪栅极 120 的两侧侧壁上形成侧壁间隔件 130。然后以侧壁间隔件为掩模执行注入以在栅极两侧分别形成源区和漏区。

[0058] 然后,在衬底上沉积绝缘材料以覆盖衬底和伪栅极,并进行化学机械抛光,使绝缘材料的上表面与伪栅极 120 的上表面齐平。由此得到图 1A 所示的结构。

[0059] 下面继续介绍本发明制造半导体器件的方法。

[0060] 如图 1B 所示,去除伪栅极 120,从而在绝缘材料层 140 中形成开口 150。

[0061] 然后,如图 1C 所示,以绝缘材料层 140 (以及侧壁间隔件 130,如果有的话) 为掩模,通过开口 150 向衬底 100 中注入碳离子或锗离子。

[0062] 当希望改进 NMOS 器件的性能时,对于半导体器件中要形成 NMOS 器件的部分注入碳离子。当希望改进 PMOS 器件的性能时,对于半导体器件中要形成 PMOS 器件的部分注入锗离子。

[0063] 例如,在更加关注 PMOS 器件的性能改进的情况下,可以只对要形成 PMOS 器件的部分注入锗离子,而不对要形成 NMOS 器件的部分进行注入。

[0064] 可以使用光致抗蚀剂遮蔽要形成例如 NMOS 器件的部分,而暴露要形成 PMOS 器件的部分,对要形成 PMOS 器件的部分进行注入。

[0065] 反之,在更加关注 NMOS 器件的性能改进的情况下,可以只对要形成 NMOS 器件的部分注入碳离子,而不对要形成 PMOS 器件的部分进行注入。

[0066] 可以使用光致抗蚀剂遮蔽要形成 PMOS 器件的部分,而暴露要形成 NMOS 器件的部分,对要形成 NMOS 器件的部分进行注入。

[0067] 或者,当希望 NMOS 器件和 PMOS 器件的性能都能得到改进时,可以对要形成 NMOS 器件的部分和要形成 PMOS 器件的部分分别进行相应注入。

[0068] 在此实施例中,由于没有去除伪栅极氧化物层,碳离子或锗离子是通过伪栅极氧化物层注入衬底 100 的。

[0069] 对于要形成 PMOS 器件的部分,注入锗离子。锗离子注入能量可以是 10-30keV,离子注入剂量可以是 $0.5 \times 10^{16} \text{cm}^{-2}$ 至 $6.0 \times 10^{16} \text{cm}^{-2}$ 。

[0070] 对于要形成 PMOS 器件的部分,还可以在此时通过开口 150 向衬底 100 中注入 n 型杂质离子,以便进一步调整阈值电压。例如,n 型杂质离子可以是锑 (Sb),注入能量可以是 5-14keV,注入剂量可以是 $5 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

[0071] 对于要形成 NMOS 器件的部分,可以采用 C_7H_x 注入碳离子。碳离子注入能量可以是 2-5keV,离子注入剂量可以是 $0.5 \times 10^{14} \text{cm}^{-2}$ 至 $1.2 \times 10^{14} \text{cm}^{-2}$ 。

[0072] 对于要形成 NMOS 器件的部分,还可以在此时通过开口 150 向衬底 100 中注入 p 型杂质离子,以便进一步调整阈值电压。p 型杂质离子可以是铟 (In),注入能量可以是 5-14keV,注入剂量可以是 $5 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

[0073] 另外,不论是对于要形成 PMOS 器件的部分还是对于要形成 NMOS 器件的部分,还可以通过开口 150 向衬底 100 中注入氙 (Xe),以便将沟道区中的硅晶体非晶化,从而便于后面重新结晶。注入能量可以是 5-20keV,注入剂量可以是 $1 \times 10^{13} \text{cm}^{-2}$ 至 $1 \times 10^{14} \text{cm}^{-2}$ 。

[0074] 在另一个实施例中,在去除伪栅极 120 的同时或之后,还可以进一步去除伪栅极绝缘膜。在这种情况下,对于要形成 PMOS 器件的部分,锗离子注入能量可以是 2-20keV,离子注入剂量可以是 $0.5 \times 10^{16} \text{cm}^{-2}$ 至 $6.0 \times 10^{16} \text{cm}^{-2}$;对于要形成 NMOS 器件的部分,可以采用 C_7H_x 注入碳离子,注入能量可以是 1-2keV,离子注入剂量可以是 $0.3 \times 10^{14} \text{cm}^{-2}$ 至 $1.0 \times 10^{14} \text{cm}^{-2}$ 。

[0075] 接下来,如图 1D 所示,执行退火和 / 或氧化,以便激活所注入的离子,形成具有压缩应力的硅锗晶体 (PMOS 器件部分) 或具有拉伸应力的碳化硅晶体 (NMOS 器件部分)。

[0076] 由于锗的原子半径大于硅的原子半径,所以当在 PMOS 器件的沟道区中用锗原子替换原来的硅晶体中的部分硅原子时,形成具有压缩应力的硅锗晶体,从而有利于提高空穴的载流子迁移率。另外,由于对于 PMOS 晶体管,硅锗沟道区的阈值电压低于硅沟道区的阈值电压,所以通过形成硅锗沟道区,还可以降低阈值电压。

[0077] 而由于碳的原子半径小于硅的原子半径,所以当在 NMOS 器件的沟道区中用碳原子替换原来的硅晶体中的部分硅原子时,形成具有拉伸应力的碳化硅晶体,从而有利于提高电子的载流子迁移率。另外,由于对于 NMOS 晶体管,碳化硅沟道区的阈值电压低于硅沟道区的阈值电压,所以通过形成碳化硅沟道区,还可以降低阈值电压。

[0078] 可以在 800-1200°C 的温度下,采用 2ms-8ms 的脉冲,来执行长脉冲闪光灯退火工艺。

[0079] 在执行退火工艺时,如果保留伪栅极氧化物层,则伪栅极氧化物层可以充当覆盖层。当长脉冲闪光灯退火工艺所使用的光的波长处于覆盖层的吸收波谱中时,能够加强退火的效果。

[0080] 可以采用 700-850°C 下持续 0.5-2 分钟快速热氧化工艺执行氧化。在执行氧化之前,例如在去除伪栅极 120 的同时或之后,去除伪栅极氧化物层,则能够取得更好的效果。

[0081] 如果在退火之后进一步执行氧化,结合两种方式,可以取得更好的效果。

[0082] 接下来,如图 1E 所示,去除开口 150 中的氧化物,然后沉积高介电常数材料和金属栅极材料,以形成金属栅极。这里的氧化物包括前面提到的伪栅极氧化物层 (如果之前没有去除的话),也包括在后续的操作,例如氧化过程中,形成的新的氧化物。

[0083] 在沉积高介电常数材料之前还可以执行表面处理以减小表面粗糙度。表面处理可以通过在氢气环境中低于 850°C 的温度下进行退火而执行,也可以通过在 HCl 蒸气环境中低于 650°C 的温度下进行退火而执行。

[0084] 至此,已经详细描述了根据本发明的制造半导体器件的方法和所形成的半导体器件。为了避免遮蔽本发明的构思,没有描述本领域所公知的一些细节。本领域技术人员根据上面的描述,完全可以明白如何实施这里公开的技术方案。

[0085] 上面的描述是为了示例和描述的目的而给出的,而并不是无遗漏的或者将本发明限于所公开的形式。很多修改和变化对于本领域的普通技术人员而言是显然的。选择和描述实施例是为了更好说明本发明的原理和实际应用,并且使本领域的普通技术人员能够理解本发明从而设计适于特定用途的带有各种修改的各种实施例。

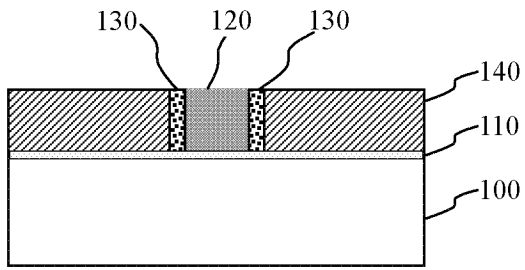


图 1A

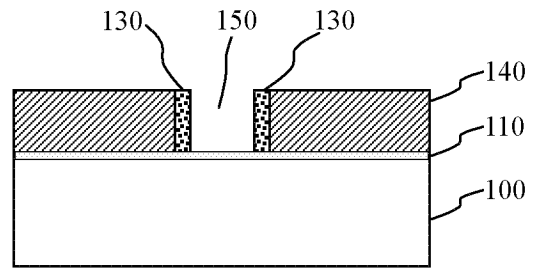


图 1B

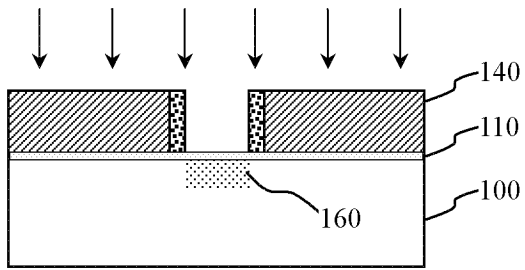


图 1C

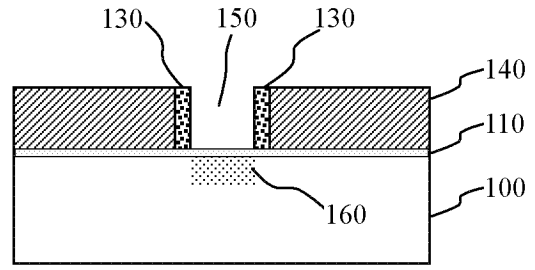


图 1D

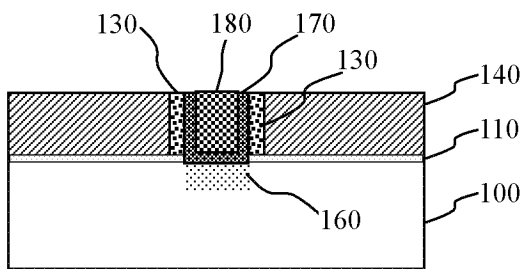


图 1E

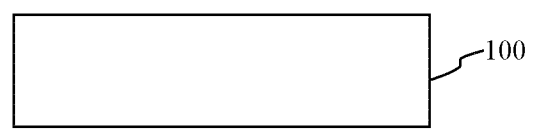


图 2A

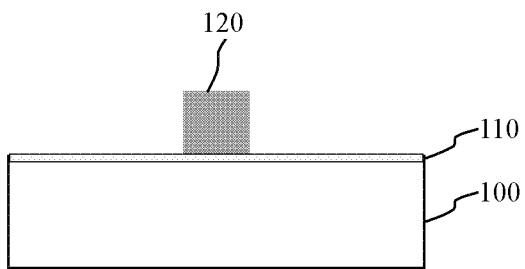


图 2B

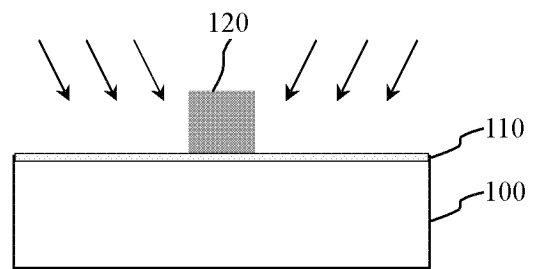


图 2C

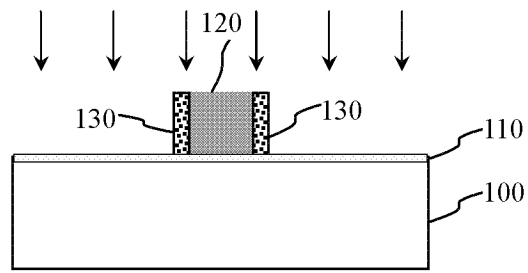


图 2D

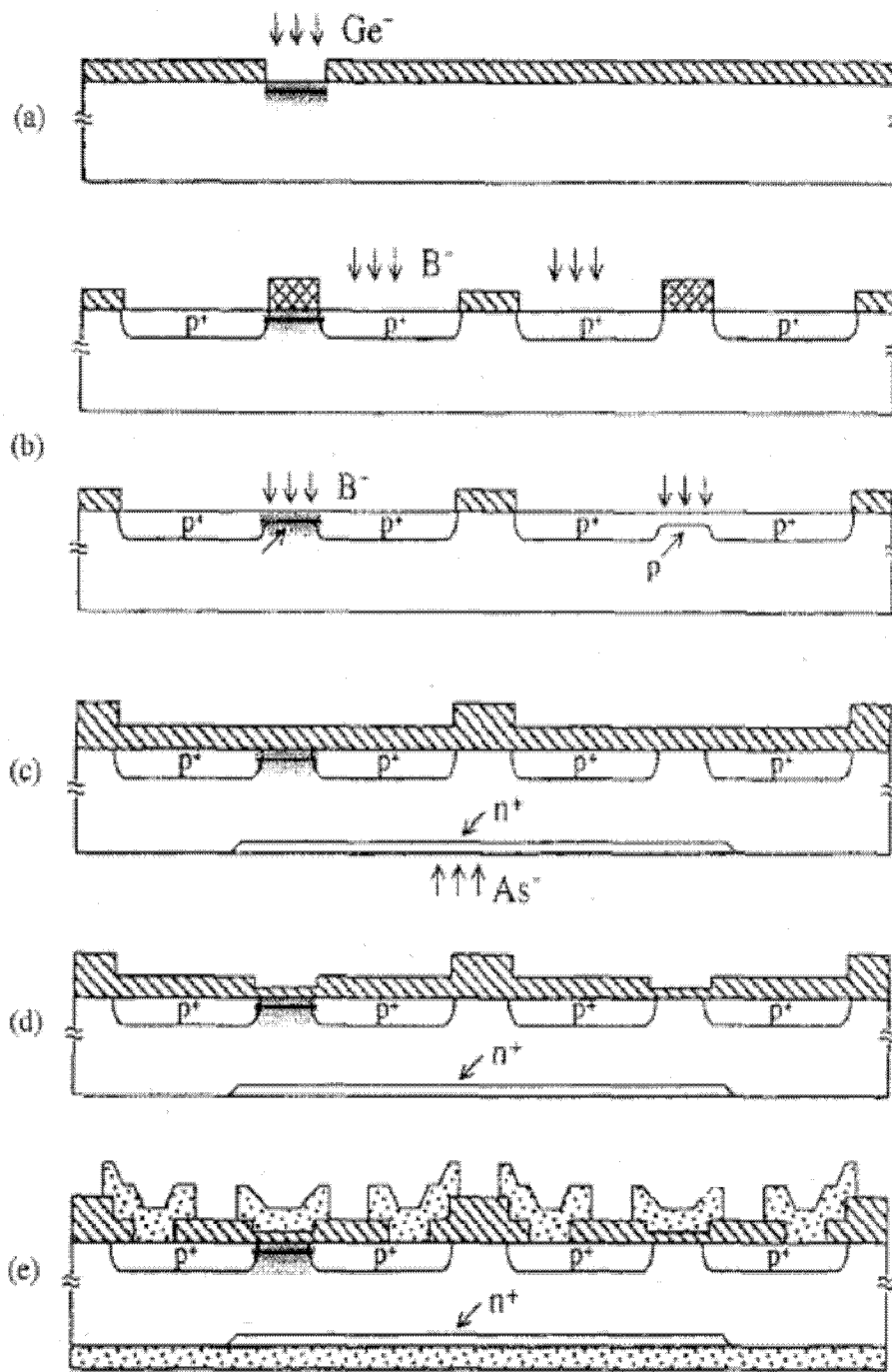


图 3