(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/108

(11) 공개번호 특1998-0012534
(43) 공개일자 1998년04월30일

(21) 출원번호 특1996-0031313
(22) 출원일자 1996년07월29일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이주영
경기도 수원시 팔달구 우만동 주공아파트 208-1207호
김기남
경기도 용인시 기흥읍 농서리 산 24
(74) 대리인 이영필, 권석흠, 정상빈

심사청구 : 있음

(54) 반도체장치의 제조방법

요약

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 본 발명에서는 COM(Capacitor on Metal) 구조를 가지는 반도체 장치를 제조하는 데 있어서, 스토리지 콘택과, 국부적인 인터콘넥션을 위한 메탈 콘택을 동시에 형성함으로써 공정을 단순화시키고, 셀 어레이 영역과 주변 회로 영역 사이의 단차 줄일 수 있으며, 콘택 저항을 향상시킬 수 있다.

대표도

도8

명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 COB 구조를 채용한 반도체 장치에 있어서, 셀 어레이 영역과 주변 회로 영역이 접하는 부분의 일반적인 구조를 개략적으로 나타낸 단면도이다.

제2도 내지 도 8은 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도이다.

제9도는 상기 도 6에서의 완성 결과를 SEM 사진으로 나타낸 것이다.

제10도는 본 발명의 방법에 의해 제조된 금속 배선층과, 종래 기술에 따른 방법에 의해 제조된 금속 배선층에서의 콘택 저항을 비교한 그래프이다.

제11도는 본 발명의 방법에 의하여 제조된 반도체 장치에서 커패시터를 완성한 후 셀 어레이 영역 내의 최종 단면 구조를 나타내는 SEM 사진이다.

제12도는 본 발명의 방법에 의해 제조된 반도체 장치에서의 스토리지 콘택의 콘택 저항과, 종래 기술에 따른 방법에 의해 제조된 반도페 장치에서의 스토리지 콘택에서 콘택 저항을 비교한 그래프이다

* 도면의 주요부분에 대한 부호의 설명

100 : 반도체 기판
102 : 소자
110, 120, 130 : 층간 절연막
122 : 비트 라인
124 : 제1 캡핑층
134 : 제2 캡핑층
d1, d2, d3, d4 : 콘택홀
e1 : 플러그
e2, e3, e4 : 배선층
170 : 층간 절연막 패턴
142 : 스토리지 전극
144 : 유전체막
146 : 플레이트 전극

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 COM(Capacitor on Metal) 구조를 가지는 반도체 장치의 제조 방법에 관한 것이다.

반도체 메모리 셀, 특히 DRAM의 집적도를 증가시키기 위하여는 가장 작은 면적에 가장 많은 수의 소자를 집적시키는 것이 중요하다

차세대 소자인 기가(giga) 비트급의 DRAM 셀은 하나의 트랜지스터와 하나의 커패시터로 이루어지는 메모리 셀의 면적이 $0.3\mu m^2$이하의 수준으로, 이 면적은 메가(mega) 비트급 DRAM 셀에서는 상호 접속을 위한 콘택 홀 1개의 면적에 불과한 것이다. 이와 같이 작은 면적에 단위 셀을 구성하기 루하여 트랜지스터, 커패시터 및 상호 접속을 위한 콘택홀을 각각 하나씩 따로 형성하는 것은 거의 불가능하다.

특히, 지금까지 제시되어 온 레이아웃(layout) 방법으로는 면적에 따른 한계에 의해 장애 요소가 존재한다. 따라서 새로운 기술 도입이 필요하다.

지금까지 사용되어 온 대부분의 메모리 셀들은 트랜지스터, 커패시터 및 콘택홀 등이 평면 레이아웃에서 래터럴(lateral)로 이루어졌으며, 상기 트랜지스터, 커패시터 및 콘택홀 등의 각각의 면적의 합이 메모리 셀의 면적을 결정하는 요인으로 작용하였다.

그러나, 기가 비트급의 메모리 셀을 구성하기 위하여는 약 $0.3\mu m^2$이하의 면적 안에 트랜지스터, 커패시터 및 소오스/드레인 영역과의 접속을 위한 콘택홀을 모두 포함하여야 하므로, 면적의 한계를 극복하기 위하여는 3차원적인 셀 구조가 필요하다. 즉, 셀 구조를 래터럴 레이아웃 구조에서 버티컬(vertical) 레이아웃 구조로 변경하여 구성하여야 한다.

이 때, 반도체 장치의 고집적화에 따른 단위 셀 사이즈의 감소와 함께 래터럴 디멘션(dimension)이 축소되고, 그에 따라 콘택 사이즈도 필연적으로 감소하게 된다. 이에 대하여, 버티컬 방향의 스케일 다운(scale down)은 크지 않기 때문에 콘택의 아스팩트 비(aspect ratio)가 증가하고, 콘택의 저항이 증가하여 소자의 개발에 있어서 큰 제한 요소중 하나로 작용한다. 결국, 콘택 사이즈 감소와 아스팩트 비의 증가는 콘택 저항의 증가를 초래하게 된다.

또한, 좁은 셀 면적 내에서 필요한 셀 커패시턴스를 확보하기 위하여는 고유전 물질을 사용하거나 셀 스토리지 노드의 높이를 높일 수밖에 없다. 특히, 커패시터 구조를 COB(Capacitor over Bitline) 구조로 형성하는 반도체 장치에서는 비트 라인을 먼저 형성한 후, 그 비트 라인 위에 셀 커패시터를 형성함으로써, 제한된 셀 면적내에서 셀 커패시터의 용량을 확보할 수 있는 이점이 있다.

도 1은 COB 구조를 채용한 반도체 장치에 있어서, 셀 어레이 영역과 주변 회로 영역이 서로 접하는 부분의 일반적인 구조를 개략적으로 나타낸 단면도이다.

도 1을 참조하여 COB 구조를 채용한 반도체 장치의 일반적인 구조를 설명하면, 워드 라인(12)이 형성된 반도체 기판(10) 위에 비트 라인(16)을 먼저 형성하고, 제1 층간 절연막(20)을 통하여 스토리지 콘택홀을 형성한 후 스토리지 전극(24), 유전체막(26) 및 플레이트 전극(28)을 형성하여 커패시터를 완성한다. 상기 커패시터 구조에 있어서, 스토리지 콘택은 스토리지 전극 형성과 동시에 형성되는 것으로서, 예를 들면 상기 스토리지 전극 형성 물질과 동일한 도핑된 폴리실리콘으로 이루어지는 플러그에 의해 형성된다. 그 후, 상기 커패시터 위에 제 2 층간 절연막(30)을 덮고, 상기 제2 층간 절연막(30) 및 제1 층간 절연막(20)을 통하여 콘택홀을 형성한 후, 국부적인 인터콘넥션을 위한 제1 레벨의 금속 배선층으로서, 예를 들면 텅스텐으로 이루어지는 제1 배선층(32)을 형성한다. 그 후, 후속 공정에 의해 적당한 층간 절연막을 개재하여 제2 배선층(34) 및 제3 배선층(36)을 형성할 수 있다.

상기한 바와 같이 형성된 COB 구조를 채택한 반도체 장치에 있어서, 커패시터의 커패시턴스를 증가시키기 위하여 스토리지 노드의 높이를 높이는 경우에는 셀 어레이 영역과 주변 회로 영역 사이의 단차가 더욱 커지게 된다. 이 때, 커패시터를 형성한 후에 형성되는 제1 레벨의 금속 배선층이 타이트(tight)한 디자인 룰을 갖는 경우에는 반도체 장치의 집적도가 증가함에 따라 그 금속 배선층의 버티컬 피치(vertical pitch)가 증가하게 되어, 금속 배선 형성 공정시에 어려움이 따르고, 콘택 저항도 커지는 문제가 있다.

이와 같은 문제를 해결하기 위하여, 문헌(J. Y. Yoon et al., "A New Capacitor on metal(COM) Cell for beyond 256 Mbit DRAM", 1994 Symposium on VLSI Technology Digest of Technical Papers, pp135 ~ 137)에는 제1 레벨의 금속 배선층을 형성한 후에 그 금속 배선층 위에 커패시터를 형성하는 COM 구조가 제안되어 있다. 상기 문헌에 개시된 바와 같은 COM 구조에서는 금속 배선층의 버티컬 피치를 줄이면서 원하는 셀 커패시턴스를 확보할 수 있는 효과를 얻을 수 있다.

[발명이 이루고자 하는 기술적 과제]

본 발명의 목적은 상기한 바와 같은 COM 구조를 채용한 반도체 장치를 제조하는 데 있어서, 제1 레벨의 금속 배선층과 커패시터의 스토리지 콘택을 동시에 형성함으로써, 제조 공정을 단순화할 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위하여 본 발명은, 셀 어레이 영역과 주변 회로 영역을 포함하고, 트랜지스터가

형성된 반도체 기판상에 상기 반도체 기판의 활성 영역과 연결되는 비트 라인을 형성하는 단계와, 제1 절연 물질을 이용하여 상기 결과물상에 상기 비트 라인을 덮는 제1 캡핑층을 형성하는 단계와, 상기 제1 절연 물질과는 식각 선택비가 다른 제2 절연 물질을 사용하여 상기 결과물 전면에 제1 층간 절연막을 형성하는 단계와, 제3 절연 물질을 사용하여 상기 제1 층간 절연막상에 제2 캡핑층을 형성하는 단계와, 사진 식각 공정을 이용하여, 상기 셀 어레이 영역에서 상기 반도체 기판의 활성 영역과 전기적으로 접속되는 스토리지 콘택 형성용 콘택홀과, 상기 주변 회로 영역에서 국부적인 인터콘넥션을 형성하는 메탈 콘택용 콘택홀을 동시에 형성하는 단계와, 상기 스토리지 콘택 형성용 콘택홀과 메탈 콘택 형성용 콘택홀을 채우도록 상기 결과물 전면에 금속 물질을 증착하여 도전층을 형성하는 단계와, 상기 도전층중 상기 셀 어레이 영역에서는 상기 스토리지 콘택 형성용 콘택홀내에 채워진 부분만 남기고 모두 제거하여 상기 스토리지 콘택 형성용 콘택홀 내에 플러그를 형성하고, 상기 주변 회로 영역에서는 상기 도전층을 패터닝하여 상기 메탈 콘택 형성용 콘택홀의 상부에 배선층을 형성하는 단계와, 상기 제3 절연 물질과는 식각 선택비가 다른 제4 절연 물질을 사용하여 상기 결과물에서 상기 주변 회로 영역에만 제2 층간 절연막을 형성하는 단계와, 상기 셀 어레이 영역에 제1 도전 물질을 증착한 후 패터닝하여 상기 플러그의 상부에 스토리지 전극을 형성하는 단계와, 상기 스토리지 전극의 표면에 유전체막과, 플레이트 전극 형성용 제2 도전 물질을 차례로 증착하여 커패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법을 제공한다.

바람직하게는, 상기 제1 절연 물질로서 질화막을 사용하고, 상기 제2 절연 물질로서 산화막을 사용한다.

또한 바람직하게는, 상기 제1 층간 절연막을 형성하는 단계는, 상기 제1 캡핑층이 형성된 결과물 전면에 제1 산화막을 증착하는 단계와, 상기 제1 캡핑층을 식각 저 지층으로하여 상기 제1 산화막을 CMP(Chemical Mechanical Polishing) 공정에 의해 평탄화하는 단계를 포함한다.

바람직하게는, 상기 도전층을 형성하는 단계는 상기 금속 물질로서 텅스텐(W)을 사용한다

또한 바람직하게는, 상기 제3 절연 물질로서 질화막을 사용하고, 상기 제4 절연 물질로서 산화막을 사용한다.

또한 바람직하게는, 상기 제2 층간 절연막을 형성하는 단계는, 상기 플러그와 배선층이 형성된 결과물 전면에 제2 산화막을 증착하는 단계와, 상기 제2 캡핑층을 식각 저지층으로하여 상기 제1 산화막을 상기 셀 어레이 영역에만 한정하여 식각에 의해 제거하는 단계를 포함한다.

상기 스토리지 전극을 형성하는 단계는 상기 제1 도전 물질로서 도핑된 폴리실리콘을 사용하는 것이 바람직하다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 2 내지 도 8는 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도이다.

도 2는 반도체 기판상에 비트 라인을 형성하고, 그 위에 제1 캡핑층을 형성하는 단계를 나타낸다. 구체적으로 설명하면, 트랜지스터와 같은 필요한 소자(102)가 형성인 반도체 기관(100)상에 층간 절연막(110, 120)을 개재하여 상기 반도체 기판(100)의 활성 영역과 연결되는 제1 도전층으로서 비트 라인(122)을 형성하고, 후속 공정에서 산화물을 CMP(Chemical Mechanical Polishing) 공정에 의해 식각할 때 상기 산화물에 대하여 식각 선택비를 갖는 절연 물질, 예를 들면 실리콘 질화물(Si_3N_4)을 사용하여 상기 결과물 전면에 제1 절연층을 적층한 후 이를 이방성 식각하여 상기 비트 라인(122)을 덮는 제1 캡핑층(124)을 형성한다.

도 3은 상기 결과물상에 층간 절연막을 형성하고, 그 위에 제2 캡핑층을 형성하는 단계를 나타낸다. 구체적으로 설명하면, 상기 결과물 전면에 CVD(Chemical Vapor Deposition) 방법에 의하여 산화막을 증착한 후, 상기 제1 캡핑층(124)을 식각 저지층으로하여 상기 산화막을 CMP 공정에 의해 평탄화하여 층간 절연막(130)을 형성하고, 그 위에 예를 들면 실리콘 질화물(Si_3N_4)을 사용하여 상기 결과물 전면에 제2 절연층을 적층하여 제2 캡핑층(134)을 형성한다.

도 4는 상기 결과물상에서 셀 어레이 영역의 스토리지 콘택을 위한 콘택홀과, 주변 회로 영역의 메탈 콘택을 위한 콘택홀을 동시에 형성하는 단계를 나타낸다. 구체적으로 설명하면, 상기 도 3의 결과물에 대하여 사진 식각 공정을 이용하여 셀 어레이 영역에는 상기 반도체 기판(100)의 활성 영역중 소정의 영역과 전기적으로 접속 되는 스토리지 콘택 형성을 위한 콘택홀(d1)을 형성하고, 주변 회로 영역에는 국부적인 인터콘넥션을 위한 메탈 콘택 형성을 위한 콘택홀(d2, d3, d4)을 형성한다.

도 5는 금속 물질을 사용하여 상기 결과물상에 국부적인 인터콘넥션을 위한 배선층 린 스토리지 콘택을 형성하는 단계를 나타낸다. 구체적으로 설명하면, 상기 도 4의 결과물상에서 오픈되어 있는 콘택홀(d1, d2, d3, d4) 내부를 채우도록 CVD 방법에 의해 금속 물질, 예를 들면 텅스텐(W)을 증착하여 제2 도전층을 형성한 후, 사진 식각 공정을 이용하여 셀 어레이 영역에서는 상기 제2 도전층을 에치백하여 상기 콘택홀(d1) 내에 스토리지 콘택을 형성하는 플러그(e1)를 형성하고, 주변 회로 영역에서는 상기 제2 도전층을 패터닝하여 국부적인 인터콘넥션 형성을 위해 상기 콘택홀(d2, d3, d4)의 상부에 각자 배선층(e2, e3, e4)을 형성한다

이 때, 상기 도 3을 참조하여 설명한 바와 같이, CMP 공정을 이용하여 상기 층간 절연막(130)의 평탄화도를 향상시켰으므로, 상기 배선층(e2, e3, e4) 형성을 위한 사진 공정시에 DOF(Depth of Focus) 마진을 증가시킬 수 있을 뿐 만 아니라, 금속 물질로 이루어지는 상기 제2 도전층을 식각할 때, 통상적인 경우에서와 같이 단차가 형성된 부분에서의 과도 식각을 최소화할 수 있다. 따라서, 셀 어레이 영역의 콘택홀 내에 형성된 상기 플러그(e1)의 표면이 과도 식각에 의해 리세스(recess)되는 현상을 방지할 수 있다.

도 6은 상기 결과물에서 주변 회로 영역만을 층간 절연막에 의해 피복하는 단계를 나타낸다. 구체적으로 설명하면, 상기 도 5의 결과물 전면에 산화막으로 이루어지는 층간 절연막을 형성한 후, 상기 제2 캡핑층(134)을 식각 저 지층으로하여 상기 층간 절연막을 셀 어레이 영역만 한정하여 식각에 의해 제거함으로써, 주변 회로 영역만을 덮는 층간 절연막 패턴(140)을 형성한다. 이로써, 셀 어레이 영역에서는 상기 플러그(el)의 표면이 노출 된다.

도 7은 상기 결과물상에 하부 전극으로서 스토리지 전극을 형성하는 단계를 나타낸다. 구체적으로 설명하면, 상기 도 6의 결과물상에서 셀 어레이 영역에 예를 들면 도핑된 폴리실리콘과 같은 도전 물질을 증착한 후 패터닝하여, 상기 플러그(el)를 통해 상기 반도체 기판(100)의 활성 영역중 소정의 영역에 전기적으로 연결되는 스토리지 전극(142)을 형성한다

상기 도 7에 있어서, 상기 스토리지 전극(142)을 OCS(One Cylinder Stack) 구조로서 형성하는 것으로 도시하였으나, 본 발명은 이에 한정되지 않고, 심플 스택(simple stack) 구조나 그 밖의 다른 형상의 구조를 채용할 수 있다.

도 8은 커패시터를 완성하는 단계를 나타낸다. 구체적으로 설명하면, 셀 어레이 영역에서 상기 스토리지 전극(142)의 표면에 예를 들면 Ta_2O_5(Ba, Sr)TiO_3 등과 같은 고유전 물질에 의한 유전체막(144)을 형성하고, 그 위에 상부 전극으로서 플레이트 전극(146)을 형성함으로써 커패시터를 완성한다.

그 후, 통상의 콘택 및 배선 형성 공정을 이용하여 반도체 장치의 전체 구조를 완성한다. 여기서, 셀 어레이 영역에서는 커패시터가 형성되고, 셀 어레이 영역을 제외한 영역에서는 후속 공정에서 국부적인 인터콘넥션 형성을 위한 배선층이 형성되므로, 셀 어레이 영역과, 주변 회로 영역을 비롯한 그와 다른 영역간의 단차가 완화 될 수 있으며, 후속 공정에서 콘택 및 금속 배선층을 형성할 때 공정 마진을 증가시킬 수 있다.

도 9는 본 발명에 따른 실시예를 적용하여 상기 도 6에서의 완성 결과를 SEM 사진으로 나타낸 것이다. 도 9에 있어서, 동시에 형성된 셀 어레이 영역의 스토리지 콘택을 형성하는 텅스텐(W) 플러그와, 주변 회로 영역의 텅스텐으로 이루어지는 배선층이 나타나 있다.

도 10은 상기 도 5의 배선층(e2, e3, e4)에 대응하는 제1 레벨의 금속 배선층과, 종래 기술에 따른 방법에 의해 제조된 반도체 장치에서 상기 도 1의 제1 배선층(32)에 대응하는 제1 레벨의 금속 배선층에서의 콘택 저항을 각각 측정하여 비교한 그래프이다.

도 10에서 알 수 있는 바와 같이, 본 발명의 방법에 따라서 셀 어레이 영역의 스토리지 콘택과 주변 회로 영역의 금속 배선층을 동시에 형성하는 경우의 금속 배선층의 콘택 저항은 종래 기술에 의한 경우의 콘택 저항과 거의 동일한 수준을 나타낸다. 따라서, 금속 배선층에서 동일한 콘택 저항을 유지하면서 금속 배선층 형성에 필요한 사진 식각 공정을 감소시켜서 공정을 단순화할 수 있다.

도 11은 본 발명의 방법에 의하여 제조된 반도테 장치에서 커패시터를 완성한 후 셀 어레이 영역 내의 최종 단면 구조를 나타내는 SEM 사진이다. 상기 도 11에 도시한 구조에서는 스토리지 콘택으로 사용되는 플러그를 텅스텐 플러그로 형성하고, 스토리지 전극 및 플레이트 전극을 형성하는 데 있어서 CVD 방법에 의해 증착된 TiN과 도핑된 폴리실리콘을 이용하였으며, 유전체막으로서 Ta_2O_5를 사용하였다. 도 11로부터, 셀 어레이 영역에서의 스토리지 콘택으로 사용되는 텅스텐 플러그 및 그 위에 형성된 OCS 구조의 커패시터가 안정적으로 형성되어 있는 것을 알 수 있다.

도 12는 상기 도 11에 나타낸 바와 같은 구조를 가지는 본 발명에 따른 방법에 의해 완성된 반도체 장치에서의 스토리지 콘택의 콘택 저항과, 종래 기술에 의해 제조된 반도체 장치에서의 스토리지 콘택의 콘택 저항을 각각 측정하여 비교한 그래프이다

도 12에서 알 수 있는 바와 같이, 본 발명에 따라 제조된 반도체 장치에서 스토리지 콘택이 폴리실리콘 플러그에서 텅스텐 플러그로 대체됨에 따라, 본 발명의 방법에 의해 제조된 반도체 장치에서의 콘택 저항이 종래 기술에 의해 제조된 반도체 장치의 스토리지 콘택에서의 콘택 저항에 비하여 1 오더(order) 정도 감소되었다.

[발명의 효과]

상기한 바와 같은 본 발명의 바람직한 실시예에 따르면, 스토리지 콘택 형성에 있어서 폴리실리콘에 의한 플러그 대신 금속에 의한 플러그를 사용함으로써 콘택 저항을 감소시킬 수 있는 동시에, 셀 어레이 영역 내에 스토리지 전극을 형성하기 전에 인터콘넥션을 위한 금속 배선층을 형성함으로써 금속 배선 형성시에 단차로 인한 문제를 야기하지 않고 공정을 용이하게 진행할 수 있다 즉, 셀 어레이 영역의 스토리지 전극 형성 이후에 셀 어레이 영역과, 주변 회로 영역 또는 코어 영역과의 단차를 적게 할 수 있다.

따라서 본 발명에 의하면, COM 구조를 채용한 반도체 장치에서 국부적인 인터콘넥션을 위한 제1 레벨의 금속 배선층과 커패시터의 스토리지 콘택을 동시에 형성함으로써, 셀 어레이 영역과 주변 회로 영역간의 단차를 개선함으로써 공정 마진을 확보할 수 있고, 콘택 저항이 작은 반도체 장치를 단술화된 제조 공정에 의해 제조 할 수 있다.

(57) 청구의 범위

청구항 1

셀 어레이 영역과 주변 회로 영역을 포함하고, 트랜지스터가 형성된 반도체 기판상에 상기 반도체 기판의 활성 영역과 연결되는 비트 라인을 형성하는 단계와, 제1 절연 물질을 이용하여 상기 결과물상에 상기 비트 라인을 덮는 제1 캡핑층을 형성하는 단계와, 상기 제1 절연 물질과는 식각 선택비가 다른 제2 절연 물질을 사용하여 상기 결과물 전면에 제1 층간 절연막을 형성하는 단계와, 제3 절연 물질을 사용하

여 상기 제1 층간 절연막상에 제2 캡핑층을 형성하는 단계와, 사진 식각 공정을 이용하여, 상기 셀 어레이 영역에서 상기 반도체 기판의 활성 영역과 전기적으로 접속되는 스토리지 콘택 형성용 콘택홀과, 상기 주변 회로 영역에서 국부적인 인터콘넥션을 형성하는 메탈 콘택용 콘택홀을 동시에 형성하는 단계와, 상기 스토리지 콘택 형성용 콘택홀과 메탈 콘택 형성용 콘택홀을 채우도록 상기 결과물 전면에 금속 물질을 증착하여 도전층을 형성하는 단계와, 상기 도전층중 상기 셀 어레이 영역에서는 상기 스토리지 콘택 형성용 콘택홀 내에 채워진 부분만 남기고 모두 제거하여 상기 스토리지 콘택 형성용 콘택홀 내에 플러그를 형성하고, 상기 주변 회로 영역에서는 상기 도전층을 패터닝하여 상기 메탈 콘택 형성용 콘택홀의 상부에 배선층을 형성하는 단계와, 상기 제3 절연 물질과는 식각 선택비가 다른 제4 절연 물질을 사용하여 상기 결과물에서 상기 주변 회로 영역에만 제2 층간 절연막을 형성하는 단계와, 상기 셀 어레이 영역에 제1 도전 물질을 증착한 후 패터닝하여 상기 플러그의 상부에 스토리지 전극을 형성하는 단계와, 상기 스토리지 전극의 표면에 유전체막과, 플레이트 전극 형성용 제2 도전 물질을 차례로 증착하여 커패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 제I 절연 물질로서 질화막을 사용하고, 상기 제12 절연 물질로서 산화막을 사용하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서, 상기 제1 층간 절연막을 형성하는 단계는 상기 제1 캡핑층이 형성된 결과물 전면에 제1 산화막을 증착하는 단계와, 상기 제1 캡핑층을 식각 저지층으로하여 상기 제1 산화막을 CMP(Chemical Mechanical Polishing) 공정에 의해 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서, 상기 도전층을 형성하는 단계는 상기 금속 물질로서 텅스텐(W)을 사용하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서, 상기 제3 절연 물질로서 질화막을 사용하고, 상기 제4 절연 물질로서 산화막을 사용하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제1항에 있어서, 상기 제2 층간 절연막을 형성하는 단계는, 상기 플러그와 배선층이 형성된 결과물 전면에 제2 산화막을 증착하는 단계와, 상기 제2 캡핑층을 식각 저지층으로하여 상기 제1 산화막을 상기 셀 어레이 영역에만 한정하여 식각에 의해 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

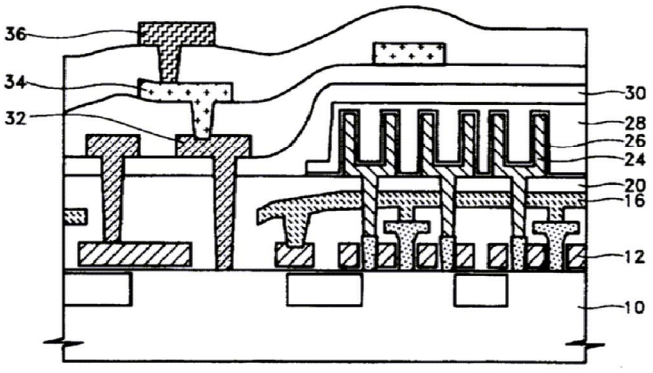
청구항 7

제1항에 있어서, 상기 스토리지 전극을 형성하는 단계는 상기 제1 도전 물질로서 도핑된 폴리실리콘을 사용하는 것을 특징으로 하는 반도체 장치의 제조 방법.

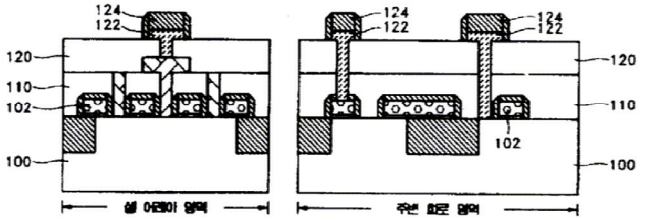
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

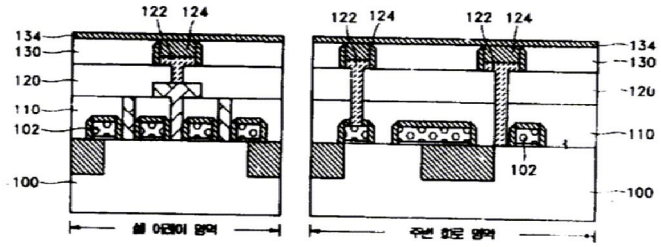
도면1



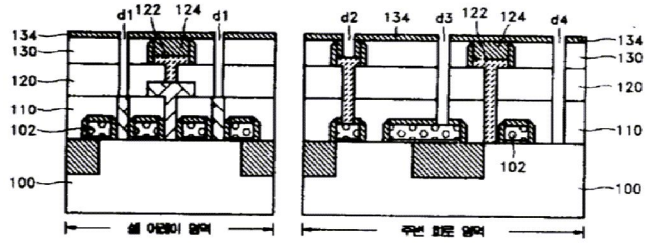
도면2



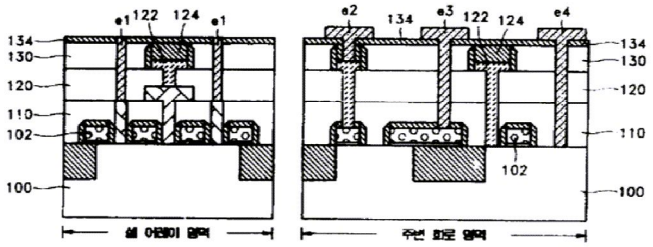
도면3



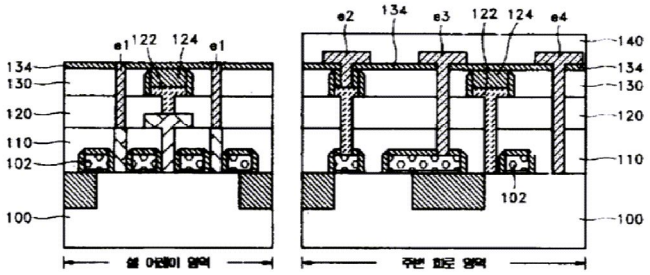
도면4



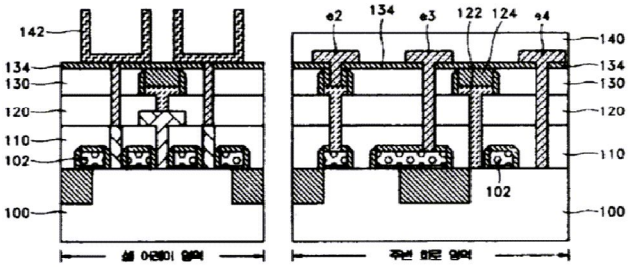
도면5



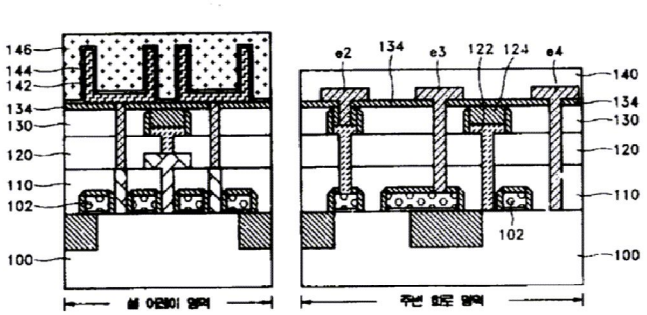
도면6



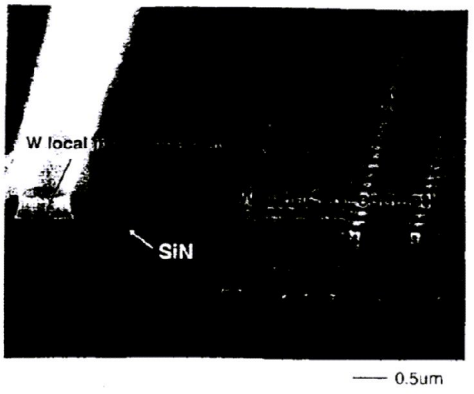
도면7



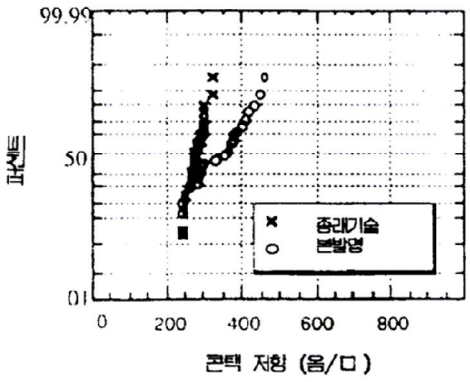
도면8



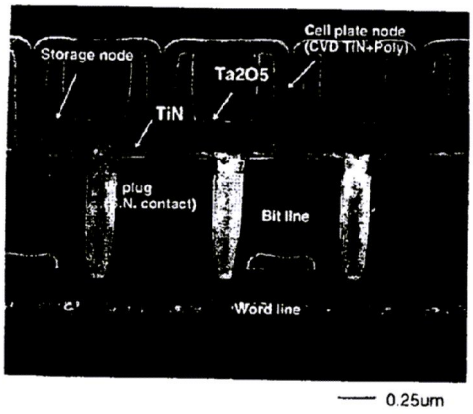
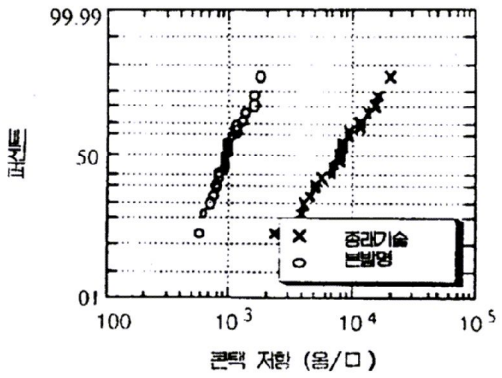
도면9



도면10



도면11



도면12