

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 19 年 3 月 22 日 (2007.3.22)

【公表番号】特表 2006-528403 (P2006-528403A)

【公表日】平成 18 年 12 月 14 日 (2006.12.14)

【年通号数】公開・登録公報 2006-049

【出願番号】特願 2006-532842 (P2006-532842)

【国際特許分類】

**G 1 1 C 16/06 (2006.01)**

**G 1 1 C 16/02 (2006.01)**

**G 1 1 C 16/04 (2006.01)**

【F I】

G 1 1 C 17/00 6 3 3 B

G 1 1 C 17/00 6 1 2 B

G 1 1 C 17/00 6 3 4 E

G 1 1 C 17/00 6 2 2 E

【手続補正書】

【提出日】平成 19 年 2 月 2 日 (2007.2.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ装置における読出しと消去ベリファイのしきい値の均一化を向上する方法において、

連続構成内の複数のセルのうち、最初にアクセスされるセルの位置を、前記メモリ装置での接地電位を基準にして設定するステップと、

前記最初にアクセスされるセルに接続された第 1 ワード線信号の電圧レベルを、前記最初にアクセスされるセルの位置に応じて調整するステップとを有することを特徴とする方法。

【請求項 2】

請求項 1 記載の方法において、さらに、

2 番目にアクセスされるセルが、前記連続構成内の複数のセルのうち、前記最初にアクセスされるセルよりも前記接地電位から遠い位置にある場合に、前記 2 番目にアクセスされるセルに対する第 2 ワード線電圧を、該第 2 ワード線電圧が前記第 1 ワード線電圧よりも高くなるように生成するステップを有することを特徴とする方法。

【請求項 3】

請求項 1 記載の方法において、

2 番目にアクセスされるセルが、前記連続構成内の複数のセルのうち、前記最初にアクセスされるセルよりも前記接地電位に近い位置にある場合に、前記 2 番目にアクセスされるセルに対する第 2 ワード線電圧を、該第 2 ワード線電圧が前記第 1 ワード線電圧未満となるように生成するステップを有することを特徴とする方法。

【請求項 4】

請求項 1 記載の方法において、

前記メモリ装置は、NAND 構造を有することを特徴とする方法。

【請求項 5】

請求項 1 記載の方法において、

前記最初にアクセスされるセルの位置を設定するステップは、前記フラッシュメモリ装置に入力されるアドレスをデコードするステップを有することを特徴とする方法。

【請求項 6】

請求項 1 記載の方法において、

前記複数のセルの連続構成は、前記連続構成の一端部にビット線で接続され、前記連続構成の他端部に接地電位に接続されていることを特徴とする方法。

【請求項 7】

請求項 1 記載の方法において、

前記第 1 ワード線電圧を調整するステップは、公称電圧レベルを有する前記第 1 ワード線信号を生成するために入力されたアドレスをデコードするステップと、

前記最初にアクセスされるセルの位置に応じて前記公称電圧レベルを補償するステップとを有することを特徴とする方法。

【請求項 8】

請求項 7 記載の方法において、

前記公称電圧レベルを補償するステップは、前記公称電圧レベルを補償するために、前記公称電圧レベルを有する前記第 1 ワード線信号を分割電圧生成回路のレジスタに結合するステップを有することを特徴とする方法。

【請求項 9】

請求項 7 記載の方法において、

前記公称電圧レベルを補償するステップは、前記公称電圧レベルを補償するために、前記公称電圧レベルを有する前記第 1 ワード線信号を、電圧生成回路として動作するアナログ - デジタル変換器に結合するステップを有することを特徴とする方法。

【請求項 10】

連続構成に互いに結合された複数のメモリセルを有し、前記連続構成の第 1 端部がビット線に結合され、前記連続構成の第 2 端部が接地電位に結合されたメモリアレイと、

前記ビット線を生成する列デコードと、

公称電圧レベルを有するワード線を生成する行デコードと、

前記行デコードと前記メモリアレイとの間に接続され、前記ワード線で示される前記公称電圧レベルを、第 1 メモリセルの位置に応じて調整する電圧生成回路とを有することを特徴とするフラッシュメモリ装置。

【請求項 11】

請求項 10 記載の装置において、

前記装置は、NAND 型のフラッシュメモリ装置であることを特徴とする装置。

【請求項 12】

請求項 10 記載の装置において、

前記電圧生成回路は、電圧分割ネットワークであることを特徴とする装置。

【請求項 13】

請求項 10 記載の装置において、

前記電圧生成回路は、前記公称電圧レベルを調整するために、前記行デコードによって生成された複数のワード線を使用するアナログ - デジタル変換器であることを特徴とする装置。

【請求項 14】

請求項 10 記載の装置において、

さらに、制御回路を有し、

前記制御回路は、

前記第 1 メモリセルを読み出し、

前記第 1 メモリセルの位置を接地電位を基準にして設定し、

前記位置に応じた参照電圧を生成するように構成されていることを特徴とする装置。

【請求項 15】

請求項 1 4 記載の装置において、

前記制御回路は、さらに、入力アドレスをデコードすることによって前記第 1 メモリセルの位置を設定するように構成されていることを特徴とする装置。

【請求項 1 6】

請求項 1 4 記載の装置において、

前記制御回路は、さらに、前記第 1 メモリセルからの測定電圧と前記参照電圧とを比較し、その比較結果に応じて前記読み出した第 1 メモリセルの値を設定するように構成されていることを特徴とする装置。

【請求項 1 7】

請求項 1 0 記載の装置において、

複数のメモリ領域を有し、

前記複数のメモリ領域は、複数のセルに対応した各参照電圧を示すテーブルを格納することを特徴とする装置。

【請求項 1 8】

請求項 1 6 記載の装置において、

前記参照電圧は、参照生成回路によって生成されることを特徴とする装置。