



등록특허 10-2678404



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년06월27일  
(11) 등록번호 10-2678404  
(24) 등록일자 2024년06월21일

- (51) 국제특허분류(Int. Cl.)  
*H01L 27/146* (2006.01)  
(52) CPC특허분류  
*H01L 27/14634* (2013.01)  
*H01L 27/14612* (2013.01)  
(21) 출원번호 10-2023-7007336(분할)  
(22) 출원일자(국제) 2015년04월09일  
심사청구일자 2023년03월30일  
(85) 번역문제출일자 2023년02월28일  
(65) 공개번호 10-2023-0035463  
(43) 공개일자 2023년03월13일  
(62) 원출원 특허 10-2022-7009868  
원출원일자(국제) 2015년04월09일  
심사청구일자 2022년04월12일  
(86) 국제출원번호 PCT/JP2015/001990  
(87) 국제공개번호 WO 2015/162867  
국제공개일자 2015년10월29일  
(30) 우선권주장  
JP-P-2014-087603 2014년04월21일 일본(JP)  
JP-P-2014-129952 2014년06월25일 일본(JP)  
(56) 선행기술조사문헌  
JP2011071958 A\*  
KR1020130105336 A\*  
KR1020140027357 A\*  
JP2013172014 A

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 7 항

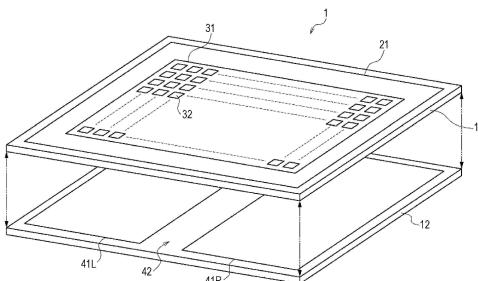
심사관 : 심병로

(54) 발명의 명칭 고체 활상 소자, 고체 활상 소자의 제조 방법, 및, 전자 기기

**(57) 요 약**

본 발명의 고체 활상 소자는, 화소 어레이부를 포함하는 화소 회로가 형성되어 있는 제1의 기판과, 복수의 신호 처리 회로가 스크라이브 영역을 통하여 나열하도록 형성되어 있는 제2의 기판을 포함하고, 상기 제1의 기판과 상기 제2의 기판은 적층되어 있다.

**대 표 도**



(52) CPC특허분류

*H01L 27/14618* (2013.01)

*H01L 27/14636* (2013.01)

*H01L 27/1464* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1의 부분과,

제2의 부분을 구비하고,

상기 제1의 부분은,

상기 제1의 부분의 광입사측에 있고, 적어도 화소 신호를 출력하도록 구성되는 광전 변환 영역을 포함하는 제1의 기판층과,

상기 제1의 부분의 상기 광입사측의 반대측에 있고, 적어도 화소 트랜지스터를 포함하는 제1의 배선층을 포함하고,

상기 제2의 부분은 제1의 영역 및 제2의 영역을 포함하고,

상기 제1의 영역은 상기 화소 신호에 의거하여 제1의 신호를 처리하도록 구성되는 로직부를 포함하는 제2의 기판층과, 제2의 배선층을 포함하고,

상기 제2의 영역은 상기 제1의 신호에 의거하여 화소 데이터를 격납하도록 구성되는 메모리부를 포함하는 제3의 기판층과, 제3의 배선층을 포함하고,

상기 제1의 부분 및 상기 제2의 부분은 함께 접합되어, 상기 제1의 배선층과 상기 제2의 배선층이 서로 대향하고,

상기 제1의 기판층 및 상기 제2의 기판층은 상기 제1의 배선층 및 상기 제2의 배선층을 통하여 전기적으로 접속되고,

상기 제2의 부분의 상기 제1의 영역 및 상기 제2의 영역은 수평적으로 인접하여 배치되고, 상기 제1의 영역 및 상기 제2의 영역은 상기 제1의 부분과 직접 접합되고,

상기 제1의 영역과 상기 제2의 영역은 상기 제2의 부분의 최상층에 형성되어 있는 회로 사이 배선층에 의하여 전기적으로 접속되는 것을 특징으로 하는 광검출 장치.

#### 청구항 2

제1항에 있어서,

상기 제1의 영역의 크기 및 상기 제2의 영역의 크기는 각각 상기 제1의 부분의 크기보다 작은 것을 특징으로 하는 광검출 장치.

#### 청구항 3

제1항에 있어서,

상기 제1의 영역 및 상기 제2의 영역은 분리 영역에 의해 분리되는 것을 특징으로 하는 광검출 장치.

#### 청구항 4

제1항에 있어서,

상기 제1의 부분 및 상기 제2의 부분은 함께 접합되어, 상기 제1의 배선층과 상기 제3의 배선층이 서로 대향하고,

상기 제1의 기판층 및 상기 제3의 기판층은 상기 제1의 배선층 및 상기 제3의 배선층을 통하여 전기적으로 접속되는 것을 특징으로 하는 광검출 장치.

#### 청구항 5

삭제

### 청구항 6

제1항에 있어서,

상기 제1의 부분은 상기 제2의 부분 위에 적층되는 것을 특징으로 하는 광검출 장치.

### 청구항 7

제1항에 있어서,

상기 제2의 배선층은 상기 제2의 기판 위에 마련되고,

상기 제3의 배선층은 상기 제3의 기판 위에 마련되는 것을 특징으로 하는 광검출 장치.

### 청구항 8

제1항에 있어서,

상기 제1의 배선층과, 상기 제2의 배선층 또는 상기 제3의 배선층은 비아에 의해 전기적으로 접속되는 것을 특징으로 하는 광검출 장치.

## 발명의 설명

### 기술 분야

[0001]

본 기술은, 고체 활상 소자, 고체 활상 소자의 제조 방법, 및, 전자 기기에 관한 것으로, 특히, 적층 구조의 고체 활상 소자, 적층 구조의 고체 활상 소자의 제조 방법, 및, 적층 구조의 고체 활상 소자를 구비하는 전자 기기에 관한 것이다.

### 배경기술

[0002]

우선권 주장

[0003]

본 출원은, 일본국 특허출원 JP2014-087603호(2014.04.21) 및 JP2014-129952(2014.06.25)호를 우선권으로 주장하는 출원이다.

[0004]

배경기술

[0005]

종래, 노광 장치의 노광 범위보다 면적이 큰 고체 활상 소자를 제조하는 경우, 고체 활상 소자를 복수의 영역으로 분할하고, 분할 영역마다 노광하는 분할 노광이 이용되고 있다(예를 들면, 특히 문헌 1 참조).

[0006]

또한, 종래, 고체 활상 소자의 개구율을 향상시키기 위해, 화소 어레이부를 포함하는 화소 회로와 신호 처리 회로를 각각 다른 반도체 기판에 형성하고, 2개의 반도체 기판을 적층하고, 전기적으로 접속하는 적층 기술이 이용되고 있다(예를 들면, 특히 문헌 2 참조).

[0007]

그리고, 예를 들면, 노광 장치의 노광 범위보다 면적이 큰 적층 구조의 고체 활상 소자를 제조한 경우, 각 반도체 기판에 대해 분할 노광이 행하여진다.

### 선행기술문헌

#### 특허문헌

[0008]

(특허문헌 0001) 일본국 특허2902506호 공보

(특허문헌 0002) 일본국 특허4497844호 공보

## 발명의 내용

### 해결하려는 과제

[0009] 그러나, 분할 노광에서는, 분할 영역마다 다른 포토 마스크를 이용하거나, 분할 영역의 접속 부분에서 고정밀한 위치맞춤이 필요해지고, 제조 프로세스가 복잡화하고, 제조 비용이 상승한다.

[0010] 그래서, 본 기술은, 고체 활상 소자의 제조 비용을 삭감할 수 있도록 하는 것이다.

### 과제의 해결 수단

[0011] 본 기술의 제1의 측면의 고체 활상 소자는, 화소 어레이부를 포함하는 화소 회로가 형성되어 있는 제1의 기판과, 복수의 신호 처리 회로가 스크라이브 영역을 통하여 나열하도록 형성되어 있는 제2의 기판이 적층되어 있고, 상기 복수의 신호 처리 회로는 서로 인접하여 배치되고 그들 사이에 스페이싱 영역을 포함한다. 상기 제1의 기판과 상기 제2의 기판은 적층되어 있다.

[0012] 본 기술의 제2의 측면의 고체 활상 소자의 제조 방법은, 하나 이상의 분할 노광을 이용하여, 화소 어레이부를 포함하는 화소 회로를, 스크라이브 영역을 통하여 2차원으로 나열하도록 제1의 반도체 기판에 형성하는 공정과, 일괄 노광을 이용하여, 상기 화소 어레이부의 각 화소의 화소 신호의 처리를 행하는 신호 처리 회로를, 스크라이브 영역을 통하여 2차원으로 나열하도록 제2의 반도체 기판에 형성하는 공정과, 상기 제1의 반도체 기판의 스크라이브 영역이 상기 제2의 반도체 기판의 스크라이브 영역에 겹쳐지고, 상기 화소 회로와 소정의 수의 복수의 상기 신호 처리 회로가 겹쳐지도록, 상기 제1의 반도체 기판과 상기 제2의 반도체 기판을 적층화하는 공정과, 상기 제1의 반도체 기판과 상기 제2의 반도체 기판을 적층화한 반도체 기판을, 상기 제1의 반도체 기판의 스크라이브 영역에 따라 절단하는 공정을 포함한다.

[0013] 본 기술의 제1의 측면의 전자 기기는, 고체 활상 소자를 포함하고, 상기 고체 활상 소자는, 화소 어레이부를 포함하는 화소 회로가 형성되어 있는 제1의 기판과, 복수의 신호 처리 회로가 스크라이브 영역을 통하여 나열하도록 형성되어 있는 제2의 기판이 적층되어 있고, 상기 복수의 신호 처리 회로는 서로 인접하여 배치되고 그들 사이에 스페이싱 영역을 포함한다. 상기 제1의 기판과 상기 제2의 기판은 적층되어 있다.

### 발명의 효과

[0014] 본 기술의 제1 내지 제3의 측면에 의하면, 고체 활상 소자의 제조 비용을 삭감할 수 있다.

### 도면의 간단한 설명

[0015] 도 1은 본 기술의 제1의 실시의 형태에 관한 고체 활상 소자를 모식적으로 도시하는 사시도.

도 2는 제1의 실시의 형태에 관한 고체 활상 소자의 화소 회로 및 신호 처리 회로의 구체적인 구성을 도시하는 회로도.

도 3은 제1의 실시의 형태에 관한 고체 활상 소자의 신호 처리부의 구체적인 구성을 도시하는 블록도.

도 4는 제1의 실시의 형태에 관한 고체 활상 소자의 로직 기판의 레이아웃을 모식적으로 도시하는 도면.

도 5는 신호 처리 회로의 접속 방법의 예를 도시하는 도면.

도 6은 제1의 실시의 형태에 관한 고체 활상 소자의 활상 처리를 설명하기 위한 도면.

도 7은 신호 처리 회로의 좌우의 설정 방법에 관해 설명하기 위한 도면.

도 8은 신호 처리 회로의 좌우의 설정 방법에 관해 설명하기 위한 도면.

도 9는 제1의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 10은 제1의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 11은 제1의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 12는 제1의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 13은 제1의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 14는 본 기술의 제2의 실시의 형태에 관한 고체 활상 소자를 모식적으로 도시하는 사시도.

도 15는 제2의 실시의 형태에 관한 고체 활상 소자의 활상 처리를 설명하기 위한 도면.

도 16은 제2의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 17은 제2의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 18은 제2의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 19는 제2의 실시의 형태에 관한 고체 활상 소자의 제조 방법을 설명하기 위한 도면.

도 20은 본 기술의 제3의 실시의 형태에 관한 고체 활상 소자를 모식적으로 도시하는 사시도.

도 21은 본 기술의 제3의 실시의 형태에 관한 고체 활상 소자를 모식적으로 도시하는 단면도.

도 22는 신호 처리 회로의 접속 방법의 예를 도시하는 도면.

도 23은 화소 AD 변환 방식을 채용한 경우의 화소 기판과 로직 기판의 구성례를 모식적으로 도시하는 도면.

도 24는 회로 사이 배선층의 배선과 내습 링과의 간섭을 회피하도록 한 로직 기판의 제1의 실시의 형태를 모식적으로 도시하는 평면도.

도 25는 내습 링의 제1의 실시의 형태를 모식적으로 도시하는 단면도.

도 26은 내습 링의 제1의 실시의 형태를 모식적으로 도시하는 사시도.

도 27은 회로 사이 배선층의 배선과 내습 링과의 간섭을 회피하도록 한 로직 기판의 제2의 실시의 형태를 모식적으로 도시하는 평면도.

도 28은 내습 링의 제2의 실시의 형태를 모식적으로 도시하는 제1의 단면도.

도 29는 내습 링의 제2의 실시의 형태를 모식적으로 도시하는 제1의 사시도.

도 30은 내습 링의 제2의 실시의 형태를 모식적으로 도시하는 제2의 단면도.

도 31은 내습 링의 제2의 실시의 형태를 모식적으로 도시하는 제2의 사시도.

도 32는 내습 링의 제2의 실시의 형태를 모식적으로 도시하는 제3의 단면도.

도 33은 내습 링의 제2의 실시의 형태를 모식적으로 도시하는 제3의 사시도.

도 34는 내습 링의 제2의 실시의 형태의 제조 방법을 설명하기 위한 도면.

도 35는 내습 링의 제2의 실시의 형태의 제조 방법을 설명하기 위한 도면.

도 36은 내습 링의 제2의 실시의 형태의 제조 방법을 설명하기 위한 도면.

도 37은 내습 링의 제2의 실시의 형태의 제조 방법을 설명하기 위한 도면.

도 38은 내습 링의 제2의 실시의 형태의 제조 방법을 설명하기 위한 도면.

도 39는 내습 링의 제2의 실시의 형태의 제조 방법을 설명하기 위한 도면.

도 40은 내습 링의 제2의 실시의 형태의 제조 방법을 설명하기 위한 도면.

도 41은 전자 기기의 구성례를 도시하는 블록도.

### 발명을 실시하기 위한 구체적인 내용

[0016]

이하, 본 기술을 실시하기 위한 형태(이하, 실시의 형태라고 한다)에 관해 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0017]

1. 제1의 실시의 형태(신호 처리 회로를 전기적으로 접속하지 않는 예)

[0018]

2. 제2의 실시의 형태(신호 처리 회로를 로직 기판 내에서 전기적으로 접속하는 예)

[0019]

3. 제3의 실시의 형태(신호 처리 회로를 화소 기판 내에서 전기적으로 접속하는 예)

[0020]

4. 변형례

[0021]

<1. 제1의 실시의 형태>

[0022] {1-1. 시스템 구성}

[0023] 도 1은, 본 기술의 제1의 실제의 형태에 관한 고체 활상 소자(1)의 구성례를 모식적으로 도시하는 사시도이다. 또한, 여기서는, 고체 활상 소자(1)가 CMOS 이미지 센서인 경우를 예로 들어 설명하지만, 본 기술은 CMOS 이미지 센서에의 적용으로 한정되는 것이 아니다.

[0024] 고체 활상 소자(1)는, 화소 기판(11)과 로직 기판(12)이 적층된 구조(이른바, 적층 구조)의 반도체 칩이다. 또한, 고체 활상 소자(1)는, 이면 조사형의 CMOS 이미지 센서이고, 화소 기판(11)의 배선층과 로직 기판(12)의 배선층이 인접하도록 적층된다. 또한, 본 기술은, 이면 조사형의 CMOS 이미지 센서에의 적용으로 한정되는 것이 아니다.

[0025] 화소 기판(11)은, 광전 변환 소자를 포함하는 단위 화소(32)가 행렬형상으로 2차원으로 배열된 화소 어레이부(화소부(31))를 포함하는 화소 회로(21)가 형성된 반도체 기판이다. 또한, 도시는 생략하지만, 화소 회로(21)의 화소 어레이부(31)를 둘러싸는 주연부에는, 예를 들면, 외부와의 전기적 접속을 행하기 위한 패드나, 로직 기판(12)과의 사이에서의 전기적 접속을 행하기 위한 비아가 마련된다. 화소 어레이부(31)의 각 단위 화소(32)로부터 얻어지는 화소 신호는 아날로그 신호이고, 이 아날로그의 화소 신호는, 화소 기판(11)부터 로직 기판(12)에 비아 등을 통하여 전송된다.

[0026] 로직 기판(12)은, 같은 회로 패턴을 갖는 신호 처리 회로(41L)와 신호 처리 회로(41R)가, 스크라이브 영역(42)을 통하여 좌우로 나열하도록 형성된 반도체 기판이다. 또한, 이 도면에서는, 도면을 알기 쉽게 하기 위해, 스크라이브 영역(42)의 폭을 넓게 과장하여 나타내고 있다. 이것은, 이하의 도면에 대해서도 마찬가지이다.

[0027] 신호 처리 회로(41L)는, 예를 들면, 화소 어레이부(31)의 좌측 절반분의 영역 내의 각 단위 화소(32)로부터 판독되는 아날로그의 화소 신호에 대해, 디지털화(AD 변환)를 포함하는 소정의 신호 처리를 행하고, 신호 처리가 시행된 화소 데이터를 격납한다. 또한, 신호 처리 회로(41L)는, 예를 들면, 격납한 화소 데이터를 소정의 순번대로 판독하고, 칩 밖으로 출력한다. 이에 의해, 화소 어레이부(31)의 좌측 절반분의 영역 내의 단위 화소(32)에 의해 얻어지는 화상 데이터가, 신호 처리 회로(41L)로부터 출력된다.

[0028] 신호 처리 회로(41R)는, 예를 들면, 화소 어레이부(31)의 우측 절반분의 영역 내의 각 단위 화소(32)로부터 판독되는 아날로그의 화소 신호에 대해, 디지털화(AD 변환)를 포함하는 소정의 신호 처리를 행하고, 신호 처리가 시행된 화소 데이터를 격납한다. 또한, 신호 처리 회로(41R)는, 예를 들면, 격납한 화소 데이터를 소정의 순번대로 판독하고, 칩 밖으로 출력한다. 이에 의해, 화소 어레이부(31)의 우측 절반분의 영역 내의 단위 화소(32)에 의해 얻어지는 화상 데이터가, 신호 처리 회로(41R)로부터 출력된다.

[0029] 또한, 신호 처리 회로(41L) 및 신호 처리 회로(41R)는, 예를 들면, 화소 회로(21)와의 동기를 취하면서, 고체 활상 소자(1)의 각 부분의 제어를 행한다.

[0030] 이와 같이, 화소 기판(11)과 로직 기판(12)의 적층 구조로 함에 의해, 화소 기판(11)의 면적을, 화소 어레이부(31)의 면적과 거의 같게 할 수 있다. 그 결과, 고체 활상 소자(1)의 크기를 작게 하고, 나아가서는, 칩 전체의 사이즈를 작게 할 수 있다. 또한, 고체 활상 소자(1)의 개구율을 올릴 수 있다.

[0031] 또한, 화소 기판(11)에는 단위 화소(32) 등의 작성에 적합한 프로세스를, 로직 기판(12)에는 신호 처리 회로(41L 및 41R)의 작성에 적합한 프로세스를 각각 적용할 수 있기 때문에, 고체 활상 소자(1)의 제조에 있어서, 프로세스의 최적화를 도모할 수 있다.

[0032] 또한, 화소 회로(21)의 면적은 노광 장치의 노광 범위보다 크고, 분할 노광이 필요해진다. 한편, 신호 처리 회로(41L) 및 신호 처리 회로(41R)의 면적은, 각각 노광 장치의 노광 범위보다 작고, 일괄 노광이 가능하다.

[0033] 또한, 이하, 신호 처리 회로(41L)와 신호 처리 회로(41R)를 개별적으로 구별할 필요가 없는 경우, 단지 신호 처리 회로(41)라고 칭한다.

[0034] {1-2. 회로 구성}

[0035] 도 2는, 고체 활상 소자(1)의 화소 기판(11)측의 화소 회로(21), 및, 로직 기판(12)측의 신호 처리 회로(41L 및 41R)의 구체적인 구성을 도시하는 회로도이다. 또한, 상술한 바와 같이, 화소 회로(21)와 신호 처리 회로(41L 및 41R)와의 전기적인 접속은, 도시하지 않은 비아를 통하여 행하여진다.

[0036] (화소 회로(21)의 구성)

- [0037] 우선, 화소 기판(11)측의 화소 회로(21)의 구성에 관해 설명한다. 화소 회로(21)에는, 단위 화소(32)가 행렬형상으로 2차원으로 배열된 화소 어레이부(31) 외에, 로직 기판(12)측에서 주어지는 어드레스 신호를 기초로, 화소 어레이부(31)의 각 단위 화소(32)를 행 단위로 선택하는 행 선택부(33)가 마련되어 있다. 또한, 여기서는, 행 선택부(33)를 화소 기판(11)측에 마련하도록 하였지만, 로직 기판(12)측에 마련하는 것도 가능하다.
- [0038] 단위 화소(32)는, 광전 변환 소자로서, 예를 들면 포토 다이오드(51)를 갖고 있다. 또한, 단위 화소(32)는, 포토 다이오드(51)에 더하여, 예를 들면, 전송 트랜지스터(전송 게이트)(52), 리셋 트랜지스터(53), 증폭 트랜지스터(54), 및, 선택 트랜지스터(55)의 4개의 트랜지스터를 갖고 있다.
- [0039] 여기서는, 4개의 트랜지스터(52 내지 55)로서, 예를 들면 N채널의 트랜지스터가 사용되고 있다. 단, 여기서 예시한 전송 트랜지스터(52), 리셋 트랜지스터(53), 증폭 트랜지스터(54), 및, 선택 트랜지스터(55)의 도전형의 조합은 한 예에 지나지 않고, 이들의 조합으로 한정되는 것이 아니다. 즉, 필요에 응하여, P채널의 트랜지스터를 이용하는 조합으로 할 수 있다.
- [0040] 이 단위 화소(32)에 대해, 당해 단위 화소(32)를 구동하는 구동 신호인 전송 신호(TRG), 리셋 신호(RST), 및, 선택 신호(SEL)가 행 선택부(33)로부터 적절히 주어진다. 즉, 전송 신호(TRG)가 전송 트랜지스터(52)의 게이트 전극에, 리셋 신호(RST)가 리셋 트랜지스터(53)의 게이트 전극에, 선택 신호(SEL)가 선택 트랜지스터(55)의 게이트 전극에 각각 인가된다.
- [0041] 포토 다이오드(51)는, 애노드 전극이 저전위측 전원(예를 들면, 그라운드)에 접속되어 있고, 수광한 광(입사광)을 그 광량에 응한 전하량의 광 전하(여기서는, 광 전자)로 광전 변환하여 그 광 전하를 축적한다. 포토 다이오드(51)의 캐소드 전극은, 전송 트랜지스터(52)를 통하여 증폭 트랜지스터(54)의 게이트 전극과 전기적으로 접속되어 있다. 증폭 트랜지스터(54)의 게이트 전극과 전기적으로 연결된 노드(56)를 FD(플로팅 디퓨전/부유 확산 영역)부라고 부른다.
- [0042] 전송 트랜지스터(52)는, 포토 다이오드(51)의 캐소드 전극과 FD부(56)와의 사이에 접속되어 있다. 전송 트랜지스터(52)의 게이트 전극에는, 고레벨(예를 들면,  $V_{DD}$  레벨)이 액티브(이하, 「High 액티브」라고 기술한다)의 전송 신호(TRG)가 행 선택부(33)로부터 주어진다. 이 전송 신호(TRG)에 응답하여, 전송 트랜지스터(52)가 도통 상태가 되어, 포토 다이오드(51)에서 광전 변환된 광 전하를 FD부(56)에 전송한다.
- [0043] 리셋 트랜지스터(53)는, 드레인 전극이 화소 전원( $V_{DD}$ )에, 소스 전극이 FD부(56)에 각각 접속되어 있다. 리셋 트랜지스터(53)의 게이트 전극에는, High 액티브의 리셋 신호(RST)가 행 선택부(33)로부터 주어진다. 이 리셋 신호(RST)에 응답하여, 리셋 트랜지스터(53)가 도통 상태가 되어, FD부(56)의 전하를 화소 전원( $V_{DD}$ )에 버림에 의해 당해 FD부(56)를 리셋한다.
- [0044] 증폭 트랜지스터(54)는, 게이트 전극이 FD부(56)에, 드레인 전극이 화소 전원( $V_{DD}$ )에 각각 접속되어 있다. 그리고, 증폭 트랜지스터(54)는, 리셋 트랜지스터(53)에 의해 리셋된 후의 FD부(56)의 전위를 리셋 신호(리셋 레벨)(Vreset)로서 출력한다. 증폭 트랜지스터(54)는 또한, 전송 트랜지스터(52)에 의해 신호 전하가 전송된 후의 FD부(56)의 전위를 광 축적 신호(신호 레벨)(Vsigt)로서 출력한다.
- [0045] 선택 트랜지스터(55)는, 예를 들면, 드레인 전극이 증폭 트랜지스터(54)의 소스 전극에, 소스 전극이 신호선(34)에 각각 접속되어 있다. 선택 트랜지스터(55)의 게이트 전극에는, High 액티브의 선택 신호(SEL)가 행 선택부(33)로부터 주어진다. 이 선택 신호(SEL)에 응답하여, 선택 트랜지스터(55)가 도통 상태가 되어, 단위 화소(32)를 선택 상태로 하여 증폭 트랜지스터(54)로부터 출력된 신호를 신호선(34)에 판독한다.
- [0046] 상술한 것으로부터 분명한 바와 같이, 단위 화소(32)로부터는, 리셋 후의 FD부(56)의 전위가 리셋 레벨(Vreset)로서, 뒤이어, 신호 전하의 전송 후의 FD부(56)의 전위가 신호 레벨(Vsig)로서 차례로 신호선(34)에 판독되게 된다. 참고로, 신호 레벨(Vsig)에는, 리셋 레벨(Vreset)의 성분도 포함된다.
- [0047] 또한, 여기서는, 선택 트랜지스터(55)에 관해, 증폭 트랜지스터(54)의 소스 전극과 신호선(34)과의 사이에 접속하는 회로 구성으로 하였지만, 화소 전원( $V_{DD}$ )과 증폭 트랜지스터(54)의 드레인 전극과의 사이에 접속하는 회로 구성을 채택하는 것도 가능하다.
- [0048] 또한, 단위 화소(32)로서는, 상기한 4개의 트랜지스터로 이루어지는 화소 구성의 것으로 한정되는 것이 아니다. 예를 들면, 증폭 트랜지스터(54)에 선택 트랜지스터(55)의 기능을 갖게 한 3개의 트랜지스터로 이루어지는 화소 구성이나, 복수의 광전 변환 소자 사이(화소 사이)에서, FD부(56) 이후의 트랜지스터를 공용하는 화소 구성 등

이라도 좋고, 그 화소 회로의 구성은 묻지 않는다.

[0049] (신호 처리 회로(41L 및 41R)의 구성)

[0050] 다음에, 로직 기판(12)측의 신호 처리 회로(41L 및 41R)의 구성에 관해 설명한다. 또한, 상술한 바와 같이, 신호 처리 회로(41L)와 신호 처리 회로(41R)는 같은 회로 패턴을 갖고 있고, 여기서는, 신호 처리 회로(41L)의 구성을 중심으로 설명한다.

[0051] 신호 처리 회로(41L)는, 주로 화소 어레이부(31)의 좌측 절반분의 영역 내의 단위 화소(32)로부터의 화소 신호의 처리를 행하는 회로이다. 신호 처리 회로(41L)는, 전류원(61L), 디코더(62L), 제어부(63L), 행 디코더(64L), 신호 처리부(65L), 열 디코더/센스 앰프(66L), 메모리부(67L), 데이터 처리부(68L), 및, 인터페이스(IF)부(69L)를 포함하도록 구성된다.

[0052] 전류원(61L)은, 화소 어레이부(31)의 각 단위 화소(32)로부터 화소열마다 신호가 판독되는 신호선(34)의 각각에 접속되어 있다. 전류원(61L)은, 예를 들면, 어느 일정 전류를 신호선(34)에 공급하도록, 게이트 전위가 일정 전위에 바이어스된 MOS 트랜지스터로 이루어지는, 이른바, 부하 MOS 회로의 구성으로 되어 있다. 이 부하 MOS 회로로 이루어지는 전류원(61L)은, 선택행의 단위 화소(32)의 증폭 트랜지스터(54)에 정전류를 공급함에 의해, 당해 증폭 트랜지스터(54)를 소스 폴로워로서 동작시킨다.

[0053] 디코더(62L)는, 제어부(63L)에 의한 제어하에, 화소 어레이부(31)의 각 단위 화소(32)를 행 단위로 선택할 때에, 그 선택행의 어드레스를 지정하는 어드레스 신호를 행 선택부(33)에 대해 준다.

[0054] 행 디코더(64L)는, 제어부(63L)에 의한 제어하에, 메모리부(67L)에 화소 데이터를 기록하거나, 메모리부(67L)로부터 화소 데이터를 판독하거나 할 때의 행 어드레스를 지정한다.

[0055] 신호 처리부(65L)는, 적어도, 화소 어레이부(31)의 각 단위 화소(32)로부터 신호선(34)을 통하여 판독되는 아날로그 화소 신호를 디지털화(AD 변환)하는 AD 변환기(81L-1 내지 81L-n)를 갖는다. 그리고, 신호 처리부(65L)는, 당해 아날로그 화소 신호에 대해 화소열의 단위로 병렬로 신호 처리(열병렬 AD)를 행하는 구성으로 되어 있다. 또한, 이하, AD 변환기(81L-1 내지 81L-n)를 개별적으로 구별할 필요가 없는 경우, 단지 AD 변환기(81L)라고 칭한다.

[0056] 신호 처리부(65L)는 또한, 각 AD 변환기(81L)에서의 AD 변환시에 이용하는 참조 전압을 생성하는 참조 전압 생성부(82L)를 갖는다. 참조 전압 생성부(82L)는, 시간이 경과함에 따라 전압치가 계단형상으로 변화하는, 이른바, 램프(RAMP) 과형(경사형상의 과형)의 참조 전압을 생성한다. 참조 전압 생성부(82L)에 관해서는, 예를 들면, DAC(디지털-아날로그 변환) 회로를 이용하여 구성할 수 있다.

[0057] AD 변환기(81L)는, 예를 들면, 화소 어레이부(31)의 화소열마다, 즉, 신호선(34)마다 마련되어 있다. 즉, AD 변환기(81L)는, 화소 어레이부(31)의 좌측 절반분의 화소열의 수만큼 배치된, 이른바, 열병렬 AD 변환기로 되어 있다. 그리고, 각 AD 변환기(81L)는, 예를 들면, 화소 신호의 레벨의 크기에 대응하는 시간축 방향으로 크기(펄스 폭)를 갖는 펄스 신호를 생성하고, 당해 펄스 신호의 펄스 폭의 기간의 길이를 계측함에 의해 AD 변환의 처리를 행한다.

[0058] 보다 구체적으로는, 예를 들면, AD 변환기(81L-1)는, 도 2에 도시하는 바와 같이, 비교기(COMP91L-1) 및 카운터(92L-1)를 적어도 포함하도록 구성된다. 비교기(91L-1)는, 단위 화소(32)로부터 신호선(34)을 통하여 판독되는 아날로그 화소 신호(선술한 신호 레벨(Vsig) 및 리셋 레벨(Vreset))을 비교 입력으로 하고, 참조 전압 생성부(82L)로부터 공급되는 램프 과도의 참조 전압(Vref)을 기준 입력으로 하여, 양 입력을 비교한다.

[0059] 그리고, 비교기(91L-1)는, 예를 들면, 참조 전압(Vref)이 화소 신호보다도 큰 때에 출력이 제1의 상태(예를 들면, 고레벨)가 되고, 참조 전압(Vref)이 화소 신호 이하일 때에 출력이 제2의 상태(예를 들면, 저레벨)가 된다. 이 비교기(91L-1)의 출력 신호가, 화소 신호의 레벨의 크기에 대응하는 펄스 폭을 갖는 펄스 신호가 된다.

[0060] 카운터(92L-1)로는, 예를 들면, 업/다운 카운터가 사용된다. 카운터(92L-1)는, 비교기(91L)에 대한 참조 전압(Vref)의 공급 시작 타이밍과 같은 타이밍에서 클록(CK)이 주어진다. 업/다운 카운터인 카운터(92L-1)는, 클록(CK)에 동기하여 다운(DOWN) 카운트, 또는, 업(UP) 카운트를 행함으로써, 비교기(91L-1)의 출력 펄스의 펄스 폭의 기간, 즉, 비교 동작의 시작부터 비교 동작의 종료까지의 비교 기간을 계측한다. 이 계측 동작시, 카운터(92L-1)는, 단위 화소(32)로부터 차례로 판독된 리셋 레벨(Vreset) 및 신호 레벨(Vsig)에 관해, 리셋 레벨(Vreset)에 대해서는 다운 카운트를 행하고, 신호 레벨(Vsig)에 대해서는 업 카운트를 행한다.

- [0061] 이 다운 카운트/업 카운트의 동작에 의해, 신호 레벨(Vsig)과 리셋 레벨(Vreset)과의 차분을 취할 수 있다. 그 결과, AD 변환기(81L-1)에서는, AD 변환 처리에 더하여 CDS(Correlated Double Sampling ; 상관 이중 샘플링) 처리가 행하여진다. 여기서, CDS 처리란, 신호 레벨(Vsig)과 리셋 레벨(Vreset)과의 차분을 취함에 의해, 단위 화소(32)의 리셋 노이즈나 증폭 트랜지스터(54)의 임계치 편차 등의 화소 고유의 고정 패턴 노이즈를 제거하는 처리이다. 그리고, 카운터(92L-1)의 카운트 결과(카운트값)가, 아날로그 화소 신호를 디지털화한 디지털값이 된다.
- [0062] 또한, AD 변환기(81L-2 내지 81L-n)도 AD 변환기(81L-1)와 같은 구성을 갖고 있고, 그 설명은 반복이 되기 때문에 생략한다. 또한, 이하, 비교기(91L-1 내지 91L-n)를 개별적으로 구별할 필요가 없는 경우, 단지 비교기(91L)라고 칭하고, 카운터(92L-1 내지 92L-n)를 개별적으로 구별할 필요가 없는 경우, 단지 카운터(92L)라고 칭한다.
- [0063] 도 3은, 신호 처리부(65L)의 구체적인 구성의 한 예를 도시하는 블록도이다. 신호 처리부(65L)는, AD 변환기(81L) 및 참조 전압 생성부(82L) 외에, 데이터 래치부(83L) 및 패럴렐-시리얼(이하, 「파라시리」라고 약칭한다) 변환부(84L)를 갖고 있다. 그리고, 신호 처리부(65L)는, AD 변환기(81L)에서 디지털화된 화소 데이터를 메모리부(67L)에 파이프라인 전송하는 파이프라인 구성으로 되어 있다. 그 때, 신호 처리부(65L)는, 1수평 기간 내에 AD 변환기(81L)에 의한 디지털화 처리를 행하고, 디지털화한 화소 데이터를 다음의 1수평 기간 내에 데이터 래치부(83L)에 전송한 처리를 행한다.
- [0064] 한편, 메모리부(67L)에는, 그 주변 회로로서 열 디코더/센스 앰프(66L)가 마련되어 있다. 선술한 행 디코더(64L)(도 2 참조)가 메모리부(67L)에 대해 행 어드레스를 지정하는 것에 대해, 열 디코더는, 메모리부(67L)에 대해 열 어드레스를 지정한다. 또한, 센스 앰프는, 메모리부(67L)로부터 비트선을 통하여 판독되는 미약한 전압을, 디지털 레벨로서 취급이 가능해지는 레벨까지 증폭한다. 그리고, 열 디코더/센스 앰프(66L)를 통하여 판독된 화소 데이터는, 데이터 처리부(68L) 및 인터페이스부(69L)를 통하여 로직 기판(12)의 외부에 출력된다.
- [0065] 또한, 여기서는, 열병렬의 AD 변환기(81L)가 하나인 경우를 예로 들었지만, 이것으로 한정되는 것이 아니고, AD 변환기(81L)를 2개 이상 마련하고, 이를 2개 이상의 AD 변환기(81L)에서 병렬적으로 디지털화 처리를 행하는 구성을 취하는 것도 가능하다.
- [0066] 이 경우, 2개 이상의 AD 변환기(81L)는, 예를 들면, 화소 어레이부(31)의 신장 방향, 즉, 화소 어레이부(31)의 상하 양측에 나누어 배치된다. AD 변환기(81L)를 2개 이상 마련하는 경우는, 이에 대응하여 데이터 래치부(83L), 파라시리 변환부(84L), 및, 메모리부(67L) 등도 2개(2계통) 이상 마련된다.
- [0067] 이와 같이, AD 변환기(81L) 등을 예를 들면 2계통 마련하는 구성을 채택하는 고체 콤파리 장치1)에서는, 2개의 화소행마다 행 주사를 병렬하여 행한다. 그리고, 일방의 화소행의 각 화소의 신호에 관해서는 화소 어레이부(31)의 상하 방향의 일방측에, 타방의 화소행의 각 화소의 신호에 관해서는 화소 어레이부(31)의 상하 방향의 타방 측에 각각 판독하고, 2개의 AD 변환기(81L)에서 병렬적으로 디지털화 처리를 행한다. 이후의 신호 처리에 대해서도 마찬가지로, 병렬적으로 행하여진다. 그 결과, 하나의 화소행마다 행 주사를 행하는 경우에 비하여, 화소 데이터의 고속 판독을 실현할 수 있다.
- [0068] 또한, 상세한 도시 및 설명은 생략하지만, 신호 처리 회로(41R)도, 신호 처리 회로(41L)와 같은 구성을 갖고 있다. 그리고, 신호 처리 회로(41R)는, 주로 화소 어레이부(31)의 우측 절반분의 영역 내의 단위 화소(32)로부터의 화소 신호의 처리를 행한다.
- [0069] 또한, 이하, 도시를 생략한 신호 처리 회로(41R)의 각 부분의 부호는, 신호 처리 회로(41L)의 각 부분의 부호의 L의 문자를 R로 치환한 부호로 한다.
- [0070] {1-3. 로직 기판(12)의 레이아웃}
- [0071] 도 4는, 로직 기판(12)의 레이아웃의 예를 도시하고 있다. 이 도면에 도시되는 바와 같이, 로직 기판(12)의 신호 처리 회로(41L)와 신호 처리 회로(41R)는, 같은 좌우 대칭의 레이아웃을 갖고 있다.
- [0072] 신호 처리 회로(41L)에서는, AD 변환부(101L-1), 메모리부(102L-1), 로직부(103L), 메모리부(102L-2), 및, AD 변환부(101L-2)가, 위로부터 차례로 적층되어 있다. 또한, 그 적층부의 좌우에 인터페이스부(104L-1) 및 인터페이스부(104L-2)가 배치되어 있다. 또한, 신호 처리 회로(41L)의 상하 좌우의 단부에, 비아(105L-1 내지 105L-4)가 각각 배치되어 있다.
- [0073] AD 변환부(101L-1 및 101L-2)에는, 예를 들면, 도 2 및 도 3에 도시되는 전류원(61L), AD 변환기(81L-1 내지

81L-n), 참조 전압 생성부(82L), 데이터 래치부(83L), 및, 파라시리 변환부(84L)가, 나누어져서 배치된다.

[0074] 또한, 이 예에서는, AD 변환부(101L-1 및 101L-2)에, AD 변환기(81L) 및 그에 수반하는 회로 부분이, 각각 3단계에 적층되어 배치되어 있다. 즉, 신호 처리 회로(41L)에서는, AD 변환기(81L) 및 그에 수반하는 회로 부분이, 6계통으로 나누어져서 배치되어 있다. 그리고, 신호 처리 회로(41L)는, 예를 들면, 6개의 화소행마다 행 주사를 병렬하여 행한다.

[0075] 또한, 화소 어레이부(31)의 각 단위 화소(32)로부터의 화소 신호는, 비아(105L-1 내지 105L-4)를 통하여, AD 변환부(101L-1 및 101L-2)에 배치되어 있는 각 AD 변환기(81L)에 공급된다.

[0076] 메모리부(102L-1 및 102L-2)에는, 예를 들면, 도 3에 도시되는 열 레코더/센스 앰프(66L) 및 메모리부(67L)가, 나누어져서 배치된다. 그리고, 메모리부(102L-1)는, AD 변환부(101L-1)로부터 공급되는 화소 데이터를 기억하고, 메모리부(102L-2)는, AD 변환부(101L-2)로부터 공급되는 화소 데이터를 기억한다.

[0077] 로직부(103L)에는, 예를 들면, 도 2에 도시되는 디코더(62L), 제어부(63L), 행 디코더(64L), 및, 데이터 처리부(68L)가 배치된다.

[0078] 인터페이스부(104L-1 및 104L-2)에는, 예를 들면, 도 2에 도시되는 인터페이스부(69L)가 각각 배치된다.

[0079] 또한, 신호 처리 회로(41R)는, 신호 처리 회로(41L)와 같은 레이아웃을 갖고 있고, 그 설명은 반복이 되기 때문에 생략한다.

[0080] 또한, 상술한 신호 처리 회로(41L 및 41R)의 구성 및 레이아웃은, 그 한 예이고, 상술한 이외의 구성 및 레이아웃으로 하는 것도 가능하다.

[0081] {1-4. 고체 활상 소자(1)의 활상 처리}

[0082] 다음에, 도 5 및 도 6을 참조하여, 고체 활상 소자(1)의 활상 처리에 관해 간단히 설명한다.

[0083] 도 5는, 고체 활상 소자(1)의 신호 처리 회로(41L 및 41R)와 외부의 신호 처리 LSI(121)와의 접속 방법의 예를 도시하고 있다. 구체적으로는, 신호 처리 회로(41L)의 인터페이스부(104L-1), 및, 신호 처리 회로(41R)의 인터페이스부(104R-2)에 신호 처리 LSI(121)가 접속되어 있다.

[0084] 예를 들면, 고체 활상 소자(1)에 의해 도 6의 피사체(141)를 활상하는 경우, 화소 어레이부(31)의 좌측 절반분의 영역 내의 단위 화소(32)로부터의 화소 신호가 신호 처리 회로(41L)에 공급되고, 우측 절반분의 영역 내의 단위 화소(32)로부터의 화소 신호가 신호 처리 회로(41R)에 공급되는, 즉, 피사체(141)의 좌측 절반분에 대응하는 화소 신호가 신호 처리 회로(41L)에 공급되고, 피사체(141)의 우측 절반분에 대응하는 화소 신호가 신호 처리 회로(41R)에 공급된다.

[0085] 신호 처리 회로(41L)는, 화소 회로(21)로부터 공급되는 화소 신호에 의거하여, 피사체(141)의 좌측 절반분에 대응하는 화상 데이터(142L)를 생성한다. 마찬가지로, 신호 처리 회로(41R)는, 화소 회로(21)로부터 공급되는 화소 신호에 의거하여, 피사체(141)의 우측 절반분에 대응하는 화상 데이터(142R)를 생성한다.

[0086] 그리고, 신호 처리 회로(41L)는, 생성한 화상 데이터(142L)를 인터페이스부(104L-1)로부터 출력하여, 신호 처리 LSI(121)에 공급한다. 신호 처리 회로(41R)는, 생성한 화상 데이터(142R)를 인터페이스부(104R-2)로부터 출력하여, 신호 처리 LSI(121)에 공급한다.

[0087] 신호 처리 LSI(121)는, 화상 데이터(142L)와 화상 데이터(142R)를 합성함에 의해 1장의 화상 데이터(143)를 생성하고, 생성한 화상 데이터(143)를 출력한다.

[0088] 이와 같이, 고체 활상 소자(1)에서는, 좌우의 화상 데이터가 독립하여 생성되기 때문에, 처리를 고속화할 수 있다.

[0089] {1-5. 신호 처리 회로(41)의 좌우의 설정 방법}

[0090] 상술한 바와 같이, 각 신호 처리 회로(41)는, 회로 패턴이 공통이고, 같은 기능을 갖고 있다. 한편, 상술한 바와 같이, 신호 처리 회로(41L)는, 피사체의 좌반의 화상 데이터를 생성하고, 생성한 화상 데이터를 좌측의 인터페이스부(104L-1)로부터 출력한다. 또한, 신호 처리 회로(41R)는, 피사체의 우측 절반분의 화상 데이터를 생성하고, 생성한 화상 데이터를 우측의 인터페이스부(104R-2)로부터 출력한다. 즉, 신호 처리 회로(41L)는, 로직 기판(12)의 좌측에 배치된 회로로서 동작하고, 신호 처리 회로(41R)는, 로직 기판(12)의 우측에 배치된 회로로

서 동작한다.

[0091] 그래서, 각 신호 처리 회로(41)에는, 좌측의 신호 처리 회로(41L) 또는 우측의 신호 처리 회로(41R)의 어느 것으로도 동작할 수 있도록, 양쪽의 기능이 구비된다. 그리고, 외부로부터의 신호에 의해, 각 신호 처리 회로(41)를 좌측의 신호 처리 회로(41L)로서 동작시키는지, 우측의 신호 처리 회로(41R)로서 동작시키는지가 설정된다. 환언하면, 외부로부터의 신호에 의해, 각 신호 처리 회로(41)의 유효한 기능과 무효한 기능이 설정된다.

[0092] 구체적으로는, 예를 들면, 도 7에 모식적으로 도시되는 바와 같이, 신호 처리 회로(41L 및 41R)가, 각각 본딩 와이어(162L 및 162R)에 의해, 외부의 기판(161)에 접속된다. 또한, 이 기판(161)은, 고체 활상 소자(1)와 같은 패키지 내에 마련되어 있어도 좋고, 패키지의 밖에 마련되어 있어도 좋다.

[0093] 그리고, 기판(161)은, 본딩 와이어(162L)를 통하여 신호 처리 회로(41L)에 선택 신호를 공급한다. 선택 신호는, 예를 들면, 전원 레벨(High)이나 그라운드 레벨(Low)의 어느 하나의 값을 취한다. 신호 처리 회로(41L)는, 도 8에 도시되는 멀티플렉서(171L) 및 코어(172L)를 갖고 있다. 그리고, 기판(161)으로부터의 선택 신호는 멀티플렉서(171L)에 입력되고, 멀티플렉서(171L)는, 선택 신호에 따라 0이나 1의 값을 나타내는 설정 신호를 코어(172L)에 공급한다.

[0094] 설정 신호는, 좌측의 회로(신호 처리 회로(41L))용의 설정을 행하는 경우에 값이 0이 되고, 우측의 회로(신호 처리 회로(41R))용의 설정을 행하는 경우에 값이 1이 된다. 그리고, 코어(172L)는, 도시하지 않은 레지스터에 설정 신호의 값을 기억하고, 신호 처리 회로(41L)는, 레지스터의 값을 따라 동작한다. 예를 들면, 신호 처리 회로(41L)의 레지스터의 값이 0으로 설정되고, 신호 처리 회로(41L)는, 좌측의 신호 처리 회로로서 동작한다.

[0095] 또한, 도시는 생략하지만, 신호 처리 회로(41R)에도, 신호 처리 회로(41L)와 마찬가지로, 멀티플렉서(171R) 및 코어(172R)가 마련되어 있다. 그리고, 신호 처리 회로(41R)는, 신호 처리 회로(41L)와 마찬가지 방법에 의해, 기판(161)으로부터 본딩 와이어(162R)를 통하여 공급되는 선택 신호에 의해, 우측의 신호 처리 회로로서 동작하도록 설정된다.

[0096] 또한, 신호 처리 회로(41L)와 신호 처리 회로(41R)가 같은 기능을 갖기 때문에, 기능이 이중화된다. 그래서, 어느 일방만이 동작하면 좋은 기능에 관해서는, 이 선택 신호에 의해, 일방의 신호 처리 회로(41)의 기능이 유효하게 되고, 타방의 신호 처리 회로(41)의 기능이 무효화된다.

#### 1-6. 고체 활상 소자(1)의 제조 방법

[0098] 다음에, 도 9 내지 도 13을 참조하여, 고체 활상 소자(1)의 제조 방법에 관해 설명한다. 또한, 도 9 내지 도 13에서는, 도면을 알기 쉽게 하기 위해, 화소 회로(21) 및 신호 처리 회로(41)만을 도시하고, 화소 회로(21) 및 신호 처리 회로(41)가 형성되는 웨이퍼(반도체 기판)의 도시를 생략하고 있다.

[0099] 우선, 도 9에 도시되는 바와 같이, 도시하지 않은 웨이퍼(반도체 기판)에, 화소 회로(21-1, 21-2, ...)가 형성된다. 이 때, 각 화소 회로(21)의 면적이 노광 장치의 노광 범위보다 크기 때문에, 각 화소 회로(21)의 노광에는, 분할 노광이 이용된다.

[0100] 또한, 인접하는 화소 회로(21)의 사이에는, 종방향 및 횡방향으로 스크라이브 영역(22)이 마련된다. 또한, 이 도면에서는, 도면을 알기 쉽게 하기 위해, 스크라이브 영역(22)의 폭을 넓게 과장하여 나타내고 있다. 이것은, 이하의 도면에 대해서도 마찬가지이다.

[0101] 또한, 이 도면에서는, 화소 회로(21)가 2행×1열의 2개밖에 도시되어 있지 않지만, 실제로는, 더욱 많은 수의 화소 회로(21)가 2차원으로 나열하도록 형성된다.

[0102] 또한, 도 9와는 다른 제조 공정에 의해, 도 10에 도시되는 바와 같이, 도시하지 않은 웨이퍼(반도체 기판)에, 신호 처리 회로(41L-1, 41R-1, 41L-2, 42R-2, ...)가 형성된다. 그 중, 신호 처리 회로(41L-1)와 신호 처리 회로(41R-1)가 같은 로직 기판(12)에 배치되고, 신호 처리 회로(41L-2)와 신호 처리 회로(41R-2)가 같은 로직 기판(12)에 배치된다. 이 때, 각 신호 처리 회로(41)의 면적이 노광 장치의 노광 범위보다 작기 때문에, 각 신호 처리 회로(41)의 노광에는, 일괄 노광이 이용된다.

[0103] 또한, 인접하는 신호 처리 회로(41)의 사이에는, 종방향 및 횡방향으로 스크라이브 영역(42)이 마련된다. 물론, 같은 로직 기판(12)에 배치된 신호 처리 회로(41)의 사이에도 스크라이브 영역(42)이 마련된다.

[0104] 또한, 이 도면에서는, 신호 처리 회로(41)가 2행×2열의 4개밖에 도시되어 있지 않지만, 실제로는, 더욱 많은

수의 신호 처리 회로(41)가 2차원으로 나열하도록 형성된다.

[0105] 다음에, 도 11에 도시되는 바와 같이, 화소 회로(21)가 형성된 웨이퍼(이하, 화소 웨이퍼라고 칭한다)와, 신호 처리 회로(41)가 형성된 웨이퍼(이하, 로직 웨이퍼라고 칭한다)가 맞붙여져, 화소 웨이퍼와 로직 웨이퍼가 적층화된다.

[0106] 여기서, 스크라이브 영역(42)을 통하여 좌우에 인접하는 신호 처리 회로(41)와, 화소 회로(21)의 면적이 거의 같고, 화소 웨이퍼의 스크라이브 영역(22)이, 로직 웨이퍼의 스크라이브 영역(42)에 겹쳐지도록, 화소 웨이퍼와 로직 웨이퍼가 적층화된다. 이에 의해, 좌우에 인접하는 신호 처리 회로(41)의 위에, 화소 회로(21)가 꼭 겹쳐진다. 예를 들면, 스크라이브 영역(42)을 통하여 좌우에 인접하여 있는 신호 처리 회로(41L-1)와 신호 처리 회로(41R-1)의 위에, 화소 회로(21-1)가 꼭 겹쳐진다.

[0107] 또한, 고체 활상 소자(1)는 이면 조사형이고, 로직 웨이퍼의 화소 회로(21)가 형성되어 있는 기판층이 위를 향하고, 로직 웨이퍼의 배선층과 화소 웨이퍼의 배선층이 인접하도록, 화소 웨이퍼와 로직 웨이퍼가 적층화된다.

[0108] 또한, 이하, 화소 웨이퍼와 로직 웨이퍼를 적층화한 웨이퍼를 적층 웨이퍼라고 칭한다.

[0109] 다음에, 도 12의 굵은 점선으로 도시되는 바와 같이, 적층 웨이퍼가 칩 단위로 절단된다. 즉, 각 화소 회로(21)의 주위에 마련되어 있는 화소 웨이퍼의 스크라이브 영역(22)에 따라 적층 웨이퍼가 절단된다. 또한, 화소 웨이퍼의 스크라이브 영역(22)과 겹치지 않은 로직 웨이퍼의 스크라이브 영역(42)은, 절단되지 않고 그대로 남아 있다.

[0110] 이에 의해, 스크라이브 영역(42)을 남긴 채로 좌우에 인접하는 신호 처리 회로(41)의 위에 화소 회로(21)가 적층된 고체 활상 소자가 개편화된다. 예를 들면, 도 13에 도시되는 바와 같이, 스크라이브 영역(42)을 통하여 인접하여 있는 신호 처리 회로(41L-1 및 41R-1)의 위에 화소 회로(21-1)가 적층된 고체 활상 소자(1-1)가 개편화된다.

[0111] 이와 같이, 화소 기판(11)측의 화소 회로(21)의 면적이 노광 장치의 노광 범위보다 크고, 분할 노광을 행할 필요가 있는 경우에도, 로직 기판(12)측의 각 신호 처리 회로(41)는, 분할 노광을 이용하지 않고서 일괄 노광에 의해 제조된다. 또한, 각 신호 처리 회로(41)가, 고체 활상 소자(1)의 좌우의 어느 쪽에 배치되는지에 관계없이, 같은 회로 패턴의 신호 처리 회로(41)가, 일정한 간격(스크라이브 영역(42))을 띠우고 2차원으로 나열하도록 형성된다. 따라서, 예를 들면, 로직 기판(12)의 제조에 필요한 포토 마스크의 종류를 삼감할 수 있음과 함께, 포토 마스크 교환 장치를 갖고 있지 않는 노광 장치라도 로직 기판(12)을 제조할 수 있다.

[0112] <2. 제2의 실시의 형태>

[0113] 상술한 바와 같이, 고체 활상 소자(1)에서는, 2개의 신호 처리 회로가, 전기적으로 접속되지 않고, 각각 독립하여 처리를 행한다. 이에 대해, 본 기술의 제2의 실시의 형태에서는, 2개의 신호 처리 회로가, 전기적으로 접속되어, 일부의 처리를 협조하여 행한다.

[0114] {2-1. 시스템 구성}

[0115] 도 14는, 본 기술의 제2의 실시의 형태에 관한 고체 활상 소자(201)의 구성례를 모식적으로 도시하는 사시도이다. 또한, 도면 중, 도 1과 대응하는 부분에는, 같은 부호를 붙이고 있고, 처리가 같은 부분에 관해서는, 그 설명은 반복이 되기 때문에 적절히 생략한다.

[0116] 도 14에 도시하는 바와 같이, 고체 활상 소자(201)는, 고체 활상 소자(1)와 마찬가지로, 화소 기판(11)과 로직 기판(211)이 적층된 구조(이른바, 적층 구조)의 반도체 칩이다.

[0117] 로직 기판(211)은, 로직 기판(12)과 비교하여, 신호 처리 회로(41L 및 41R) 대신에, 신호 처리 회로(241L 및 241R)가 마련되어 있는 점이 다르다. 또한, 로직 기판(211)은, 로직 기판(12)과 비교하여, 신호 처리 회로(241L)와 신호 처리 회로(241R)를 전기적으로 접속하기 위한 배선층(이하, 회로 사이 배선층이라고 칭한다)이로직 기판(12)의 최상층에 형성되어 있는 점이 다르다. 즉, 도 14의 로직 기판(211)상에 사선으로 도시되는 패턴은, 회로 사이 배선층의 배선 패턴을 도시하고 있고, 이 회로 사이 배선층에서, 신호 처리 회로(241L)와 신호 처리 회로(241R)가 전기적으로 접속된다.

[0118] 또한, 신호 처리 회로(241L 및 241R)는, 신호 처리 회로(41L 및 41R)와 비교하여, 도 15를 참조하여 후술하는 바와 같이, 레이아웃의 일부가 다르다.

- [0119] 또한, 이하, 신호 처리 회로(241L)와 신호 처리 회로(241R)를 개별적으로 구별할 필요가 없는 경우, 단지, 신호 처리 회로(241)라고 칭한다.
- [0120] {2-2. 로직 기판(211)의 레이아웃}
- [0121] 도 15는, 로직 기판(211)의 레이아웃의 예를 도시하고 있다. 또한, 이 도면에서는, 회로 사이 배선층의 도시는 생략하고 있다. 또한, 도면 중, 도 4와 대응하는 부분에는, 같은 부호를 붙이고 있고, 처리 등이 같은 부분에 관해서는, 그 설명은 적절히 생략한다.
- [0122] 신호 처리 회로(241L)는, 도 4의 신호 처리 회로(41L)와 비교하여, 인터페이스부(104L-1)가 삭제되고, 인터페이스부(104L-2)만이 마련되어 있는 점이 다르다. 마찬가지로, 신호 처리 회로(241R)는, 도 4의 신호 처리 회로(41R)와 비교하여, 인터페이스부(104R-1)가 삭제되고, 인터페이스부(104R-2)만이 마련되어 있는 점이 다르다.
- [0123] {2-3. 고체 활상 소자(201)의 활상 처리}
- [0124] 다음에, 도 6 및 도 15를 참조하여, 고체 활상 소자(201)의 활상 처리에 관해 간단히 설명한다.
- [0125] 예를 들면, 고체 활상 소자(201)에 의해 도 6의 피사체(141)를 활상하는 경우, 화소 어레이부(31)의 좌측 절반분의 영역 내의 단위 화소(32)로부터의 화소 신호가 신호 처리 회로(241L)에 공급되고, 우측 절반분의 영역 내의 단위 화소(32)로부터의 화소 신호가 신호 처리 회로(241R)에 공급되는, 즉, 피사체(141)의 좌측 절반분에 대응하는 화소 신호가 신호 처리 회로(241L)에 공급되고, 피사체(141)의 우측 절반분에 대응하는 화소 신호가 신호 처리 회로(241R)에 공급된다.
- [0126] 신호 처리 회로(241L)는, 화소 회로(21)로부터 공급되는 화소 신호에 의거하여, 피사체(141)의 좌측 절반분에 대응하는 화상 데이터(142L)를 생성한다. 마찬가지로, 신호 처리 회로(241R)는, 화소 회로(21)로부터 공급되는 화소 신호에 의거하여, 피사체(141)의 우측 절반분에 대응하는 화상 데이터(142R)를 생성한다.
- [0127] 여기까지의 처리는, 상술한 고체 활상 소자(1)와 마찬가지이다.
- [0128] 그리고, 신호 처리 회로(241L)의 로직부(103L)는, 생성한 화상 데이터(142L)를 도시하지 않은 회로 사이 배선층을 통하여, 신호 처리 회로(241R)의 로직부(103R)에 공급한다.
- [0129] 로직부(103R)는, 신호 처리 회로(241L)로부터 공급된 화상 데이터(142L)와, 자신이 작성한 화상 데이터(142R)를 합성하여, 1장의 화상 데이터(143)를 생성한다. 그리고, 로직부(103R)는, 생성한 화상 데이터(143)를 인터페이스부(104R-2)를 통하여 외부에 출력한다.
- [0130] 이와 같이, 고체 활상 소자(201)는, 고체 활상 소자(1)와 달리, 외부의 LSI 등의 장치를 이용하지 않고서, 1장의 완성한 화상 데이터를 생성하고, 출력할 수 있다. 따라서, 외부에 신호 처리 LSI(121)를 마련할 필요가 없어져, 비용 절감을 도모할 수 있다.
- [0131] 또한, 고체 활상 소자(201)에서도, 고체 활상 소자(1)와 마찬가지로, 도 7 및 도 8을 참조하여 상술한 방법에 의해, 신호 처리 회로(241L)와 신호 처리 회로(241R)에 대해, 좌우의 어느 측의 신호 처리 회로로서 동작을 행하는지의 설정이 행하여진다.
- [0132] [고체 활상 소자(201)의 제조 방법]
- [0133] 다음에, 앞서 도시한 도 9 및 도 10, 및, 도 16 내지 도 19를 참조하여, 고체 활상 소자(201)의 제조 방법에 관해 설명한다. 또한, 도 16 내지 도 19에서는, 도 9 내지 도 13과 마찬가지로, 도면을 알기 쉽게 하기 위해, 화소 회로(21) 및 신호 처리 회로(241)만을 도시하고, 화소 회로(21) 및 신호 처리 회로(241)가 형성되는 웨이퍼(반도체 기판)의 도시를 생략하고 있다.
- [0134] 우선, 도 9 및 도 10을 참조하여 상술한 방법과 마찬가지 방법에 의해, 화소 회로(21)가 스크라이브 영역(22)을 통하여 2차원으로 배열된 화소 웨이퍼, 및, 신호 처리 회로(241)가 스크라이브 영역(42)을 통하여 2차원으로 배열된 로직 웨이퍼가 제조된다.
- [0135] 다음에, 도 16에 도시되는 바와 같이, 로직 웨이퍼의 최상층에, 회로 사이 배선층이 형성된다. 또한, 이 회로 사이 배선층은, 화소 기판(11)의 화소 회로(21)와 거의 같은 크기이기 때문에, 분할 노광을 이용하여 형성된다. 이 회로 사이 배선층에 의해, 같은 고체 활상 소자(201)에 배치되는 2개의 신호 처리 회로(241)(예를 들면, 신호 처리 회로(241L-1)와 신호 처리 회로(241R-1))가 전기적으로 접속된다.

- [0136] 또한, 예를 들면, 로직 웨이퍼를 제조하는 메이커가, 회로 사이 배선층용의 금속막을 성막하였을 뿐의 노광 전의 상태의 로직 웨이퍼를 제조하고, 고체 활상 소자(201)를 제조하는 메이커에 납입하도록 하여도 좋다. 그리고, 예를 들면, 고체 활상 소자(201)를 제조하는 메이커가, 분할 노광에 의해 로직 웨이퍼의 회로 사이 배선층을 형성한 후, 화소 웨이퍼와 로직 웨이퍼를 적층화하도록 하여도 좋다. 이에 의해, 분할 노광을 행하는 서비스를 갖지 않은 메이커에서도, 로직 웨이퍼를 제조하는 것이 가능해진다.
- [0137] 다음에, 도 17에 도시되는 바와 같이, 도 11을 참조하여 상술한 제조 공정과 마찬가지로, 화소 웨이퍼와 로직 웨이퍼가 적층화된다.
- [0138] 그리고, 도 18에 도시되는 바와 같이, 도 12를 참조하여 상술한 제조 공정과 마찬가지로, 적층 웨이퍼가 칩 단위로 절단된다. 이에 의해, 예를 들면, 도 19에 도시되는 바와 같이, 스크라이브 영역(42)을 통하여 인접하여 있는 신호 처리 회로(241L-1 및 241R-1)의 위에 화소 회로(21-1)가 적층된 고체 활상 소자(201-1)가 개편화된다.
- [0139] 또한, 상술한 예에서는, 로직 기판(211)의 최상층에 회로 사이 배선층을 형성하는 예를 나타냈지만, 최상층보다 아래의 층에 회로 사이 배선층을 형성하도록 하여도 좋다. 예를 들면, 신호 처리 회로(241)에 복수의 배선층이 마련되는 경우, 로직 기판(211)의 최상층보다 아래에 형성된 배선층에서, 신호 처리 회로(241L)와 신호 처리 회로(241R)를 접속하도록 하여도 좋다.
- [0140] 또한, 예를 들면, 복수의 배선층을 통하여, 신호 처리 회로(241L)와 신호 처리 회로(241R)를 접속하도록 하여도 좋다. 즉, 회로 사이 배선층을 복수 형성하도록 하여도 좋다. 또한, 회로 사이 배선층에는, 신호 처리 회로(241L)와 신호 처리 회로(241R)를 접속하기 위한 배선뿐만 아니라, 각 신호 처리 회로(241)의 내부의 배선(예를 들면, 소자 사이의 배선 등)을 마련하는 것도 가능하다.
- [0141] 또한, 회로 사이 배선층이 로직 기판(211)의 어느 층에 배치되는 경우에도, 예를 들면, 로직 기판(211)의 각 층 중, 회로 사이 배선층이 분할 노광에 의해 형성되고, 그 밖의 층이 일괄 노광에 의해 형성된다. 또한, 상술한 바와 같이 회로 사이 배선층을 다른 메이커에서 형성하는 경우에는, 회로 사이 배선층을, 로직 기판(211)의 최상층에 형성하도록 하는 것이 바람직하다.
- [0142] <3. 제3의 실시의 형태>
- [0143] 본 기술의 제3의 실시의 형태에서는, 제2의 실시의 형태와는 다른 방법에 의해, 좌우의 신호 처리 회로가 전기적으로 접속된다.
- [0144] 구체적으로는, 도 20은, 본 기술의 제3의 실시의 형태에 관한 고체 활상 소자(301)의 구성례를 모식적으로 도시하는 사시도이다. 고체 활상 소자(301)는, 고체 활상 소자(1) 및 고체 활상 소자(201)와 마찬가지로, 화소 회로(321)가 형성된 화소 기판(311)(도 21)과, 신호 처리 회로(341L 및 341R)가 형성된 로직 기판(312)(도 21)이 적층된 구조(이른바, 적층 구조)의 반도체 칩이다.
- [0145] 화소 회로(321)는, 도 1의 화소 회로(21)의 화소 어레이부(31)와 마찬가지 화소 어레이부(331)가 형성되어 있다. 또한, 화소 회로(321)는, 도 2를 참조하여 상술한 화소 회로(21)와 마찬가지의 회로 구성을 갖고 있다. 신호 처리 회로(341L 및 341R)는, 도 2 및 도 3을 참조하여 상술한 신호 처리 회로(41L 및 41R)와 마찬가지의 회로 구성을 갖고 있다. 로직 기판(312)은, 도 4를 참조하여 상술한 로직 기판(12)과 마찬가지의 레이아웃을 갖고 있다. 이와 같이, 고체 활상 소자(301)는, 고체 활상 소자(1)와 거의 마찬가지의 회로 구성을 및 레이아웃을 갖고 있다.
- [0146] 단, 고체 활상 소자(301)는, 고체 활상 소자(1)와 달리, 화소 기판(311)에서 신호 처리 회로(341L)와 신호 처리 회로(341R)가 전기적으로 접속되어 있다.
- [0147] 구체적으로는, 도 21은, 도 20의 고체 활상 소자(301)의 A-A 단면도를 도시하고 있다. 즉, 도 21은, 화소 회로(321)의 화소 어레이부(331)의 외측으로서, 도 20 내에서 앞쪽에서의 고체 활상 소자(301)의 단면을 도시하고 있다.
- [0148] 고체 활상 소자(301)는, 이면 조사형의 활상 소자이기 때문에, 화소 기판(311)의 배선층과 로직 기판(312)의 배선층이 인접하도록 적층되어 있다. 따라서, 화소 기판(311)의 기판층이 상단(上端)에 배치되고, 로직 기판(312)의 기판층이 하단에 배치되어 있다.
- [0149] 화소 기판(311)의 기판층의 위에서, 화소 어레이부(331)의 외측에 배선(351L 및 351R)이 형성되어 있다. 배선

(351L)은, 신호 처리 회로(341L)의 상방에 배치되고, 배선(351R)은, 신호 처리 회로(341R)의 상방에 배치되어 있다.

[0150] 그리고, 배선(351L)은, 화소 기판(311)에 형성되어 있는 비아(352L)를 이용하여, 신호 처리 회로(341L)의 배선 층에 접속되어 있다. 또한, 배선(351L)은, 비아(353L)를 통하여 배선(354L)에 접속되어 있다. 배선(354L)은, 비아(355L)를 통하여 배선(356L)에 접속되어 있다. 배선(356L)은, 비아(357L)를 통하여 배선(358)에 접속되어 있다.

[0151] 배선(351R)은, 화소 기판(311)에 형성되어 있는 비아(352R)를 통하여, 신호 처리 회로(341R)의 배선 층에 접속되어 있다. 또한, 배선(351R)은, 비아(353R)를 통하여 배선(354R)에 접속되어 있다. 배선(354R)은, 비아(355R)를 통하여 배선(356R)에 접속되어 있다. 배선(356R)은, 비아(357R)를 통하여 배선(358)에 접속되어 있다.

[0152] 이에 의해, 신호 처리 회로(341L)의 배선층과 신호 처리 회로(341R)의 배선층이, 비아(352L), 배선(351L), 비아(353L), 배선(354L), 비아(355L), 배선(356L), 비아(357L), 배선(358), 비아(357R), 배선(356R), 비아(355R), 배선(354R), 비아(353R), 배선(351R), 및, 비아(352R)를 통하여 전기적으로 접속된다.

[0153] 따라서 고체 활상 소자(301)도, 고체 활상 소자(201)와 마찬가지로, 도 6 및 도 15를 참조하여 상술한 방법에 의해, 피사체를 활상함에 의해 얻어지는 1장의 화상 데이터를 생성하고, 출력하는 것이 가능하다.

[0154] 또한, 이 화소 회로(321)의 배선(351L, 351R) 및 비아(352L 및 352R) 등은, 예를 들면, 도 9를 참조하여 상술한 화소 웨이퍼의 제조시에 형성된다.

[0155] 또한, 도 21의 화소 기판(311)의 배선층의 층수는, 그 한 예이고, 임의의 층수로 설정할 수 있다. 또한, 예를 들면, 화소 기판(311)의 배선층 내에서 신호 처리 회로(341L)와 신호 처리 회로(341R)를 전기적으로 접속하기 위한 배선(358)은, 화소 기판(311)의 어느 배선층에 마련하여도 좋고, 또한, 예를 들면, 복수의 배선층으로 나누어서 형성하도록 하여도 좋다.

[0156] <4. 변형례>

[0157] 이하, 상술한 본 기술의 실시의 형태의 변형례에 관해 설명한다.

[0158] {5-1. 고체 활상 소자의 구성에 관한 변형례}

[0159] (로직 기판에 관한 변형례)

[0160] 이상의 설명에서는, 로직 기판에 2개의 신호 처리 회로를 마련하는 예를 나타냈지만, 3개 이상 마련하도록 하는 것도 가능하다.

[0161] 또한, 하나의 로직 기판에 마련하는 신호 처리 회로의 회로 패턴이나 크기는, 반드시 전부 동일할 필요는 없고, 회로 패턴이나 크기가 다른 신호 처리 회로를 혼재시키는 것도 가능하다. 단, 같은 회로 패턴의 신호 처리 회로를 로직 기판에 마련한 경우의 쪽이, 회로 패턴이나 크기가 다른 신호 처리 회로가 혼재하는 경우와 비교하여, 제조 프로세스가 심플하게 되고, 제조 비용이 낮아진다.

[0162] (적층 구조에 관한 변형례)

[0163] 또한, 이상의 설명에서는, 고체 활상 소자가 화소 기판과 로직 기판의 2층의 적층 구조를 갖는 예를 나타냈지만, 본 기술은 3층 이상의 적층 구조의 고체 활상 소자에도 적용할 수 있다. 예를 들면, 도 1의 로직 기판(12)의 아래(즉, 로직 기판(12)의 화소 기판(11)과 인접하는 면과 반대측의 면)에, 또한 로직 기판을 적층하도록 하여도 좋다. 이 경우, 예를 들면, 신호 처리 회로(41L, 41R)에 포함되어 있던 메모리부(102L-1 내지 102R-2)를, 추가한 최하층의 로직 기판에 배치하는 것이 생각된다.

[0164] 또한, 로직 기판이 2층 이상 마련되는 경우, 반드시 모든 층의 로직 기판을 일괄 노광을 이용하여 제조할 필요는 없고, 일부의 로직 기판을 분할 노광을 이용하여 제조하도록 하여도 좋다. 예를 들면, 상술한 예에서는, 메모리부(102L-1 내지 102R-2)가 마련된 최하층의 로직 기판을, 분할 노광을 이용하여 제조하도록 하여도 좋다.

[0165] 또한, 상술한 바와 같이, 신호 처리 회로를 로직 기판 내에서 접속하는 경우 등에, 반드시 로직 기판의 모든 층을 일괄 노광을 이용하여 제조할 필요는 없고, 일부의 층을 분할 노광을 이용하여 제조하도록 하여도 좋다.

[0166] (신호 처리 회로의 접속 방법에 관한 변형례)

[0167] 또한, 본 기술의 제2 및 제3의 실시의 형태에서는, 좌우의 신호 처리 회로를 고체 활상 소자 내에서 전기적으로

접속하는 예를 나타냈지만, 고체 활상 소자의 외부로부터 접속하도록 하여도 좋다.

[0168] 도 22는, 고체 활상 소자(1)의 신호 처리 회로(41L)와 신호 처리 회로(41R)를 고체 활상 소자(1)의 외부로부터 접속하는 예를 도시하고 있다. 또한, 이 예에서는, 고체 활상 소자(1)가 패키지(401)에 실장되어 있다. 또한, 이 도면에서는, 도면을 알기 쉽게 하기 위해, 고체 활상 소자(1) 중 신호 처리 회로(41L 및 41R)만이 도시되어 있다.

[0169] 신호 처리 회로(41L)는, 본딩 와이어(411L)를 통하여, 패키지(401)에 형성되어 있는 도전 패턴(412)에 접속되어 있다. 마찬가지로, 신호 처리 회로(41R)는, 본딩 와이어(411R)를 통하여, 도전 패턴(412)에 접속되어 있다. 따라서, 신호 처리 회로(41L)와 신호 처리 회로(41R)는, 본딩 와이어(411L, 411R) 및 도전 패턴(412)을 통하여 전기적으로 접속된다.

[0170] 또한, 이 이외에도, 리드 프레임 등을 통하여, 신호 처리 회로(41L)와 신호 처리 회로(41R)를 외부로부터 전기적으로 접속하도록 하여도 좋다.

[0171] 또한, 신호 처리 회로(41L)와 신호 처리 회로(41R)를 고체 활상 소자(1)의 외부에서 접속하는 경우, 내부에서 접속한 경우와 비교하여, 실장 가능한 배선수가 한정된다. 그 때문에, 고체 활상 소자(1) 내에서 좌우의 화상 데이터를 합성하는 것이 어려운 경우가 상정된다. 이 경우, 예를 들면, 신호 처리 회로(41L)와 신호 처리 회로(41R) 사이의 소정의 같은 아날로그 신호의 신호선(예를 들면, 참조 전압의 신호선, 그라운드선 등)을 접속하고, 당해 아날로그 신호를 공통화하도록 하여도 좋다.

[0172] 예를 들면, 좌우의 화상 데이터를 다른 신호 처리 회로(41)에서 생성하는 경우, 각 신호 처리 회로(41)의 특성 등의 차이에 의해, 좌우의 화상 데이터의 색이나 밝기에 차이가 생기고, 2개의 화상 데이터의 합성부분의 경계선(境目)이 보여 버리는 일이 있다. 그래서, 각 신호 처리 회로(41)의 소정의 아날로그 신호를 공통화함에 의해, 각 신호 처리 회로(41)의 특성 등의 차이를 경감하고, 화상 데이터의 합성 부분의 경계선을 눈에 띠지 않게 하도록 할 수 있다.

[0173] (AD 변환 방식에 관한 변형례)

[0174] 또한, 이상의 설명에서는, 도 2를 참조하여 상술한 바와 같이, 고체 활상 소자에 열병렬 AD 변환 방식을 채용하는 예를 나타냈지만, 화소 AD 병렬 변환 방식을 채용하도록 하여도 좋다.

[0175] 도 23은, 화소 AD 변환 방식을 채용한 경우의 화소 기판(511)과 로직 기판(512)의 구성을 모식적으로 도시하고 있다.

[0176] 화소 기판(511)에는, 도 1의 화소 기판(11)과 마찬가지로, 화소 어레이부(531)를 포함하는 화소 회로(521)가 형성되어 있다. 또한, 로직 기판(512)에는, 도 1의 로직 기판(12)과 마찬가지로, 같은 회로 패턴을 갖는 신호 처리 회로(541L)와 신호 처리 회로(541R)가, 스크라이브 영역(42)을 통하여 좌우로 나열하도록 형성되어 있다.

[0177] 그리고, 화소 기판(511)의 화소 어레이부(531)에는, 소정수의 2차원의 화소의 배열을 포함하는 영역을 1단위라고 하는 화소 유닛(그룹)이 행렬형상으로 2차원으로 배열되고, 화소 유닛마다 비아(532)가 형성되어 있다. 한편, 신호 처리 회로(541L) 및 신호 처리 회로(541R)에는, AD 변환기(81)(도 2) 및 메모리부(67)(도 2) 등을 포함하는 회로부(도면 중, 화소 AD 단위)가, 화소 어레이부(531)의 화소 유닛마다 마련되어 있다. 또한, 화소 AD 단위마다, 화소 유닛에 대응하여 비아(23)가 형성되어 있다.

[0178] 이와 같이, 화소 병렬 AD 변환 방식을 채용함에 의해, 화소 신호의 판독 속도를 고속화할 수 있기 때문에, AD 변환기(81)의 정지 기간을 길게 할 수 있고, 그 결과, 저소비 전력화를 도모할 수 있다.

[0179] (내습 링에 관한 변형례)

[0180] 로직 기판의 내습 링(실 링, 가드 링 등이라고도 한다)은, 기본적으로 종래와 마찬가지 방법에 의해 형성하는 것이 가능하다. 예를 들면, 내습 링은, 종래와 마찬가지 방법에 의해, 각 신호 처리 회로의 주위를 개별적으로 둘러싸도록 형성된다. 그러나, 도 14 등을 참조하여 상술한 제2의 실시의 형태와 같이, 신호 처리 회로 사이를 전기적으로 접속하는 회로 사이 배선층을 로직 기판에 형성하는 경우, 종래와 마찬가지 방법에 의해 내습 링을 형성한 것에서는, 회로 사이 배선층의 배선과 내습 링이 간접하여 버린다. 즉, 회로 사이 배선층의 배선이 신호 처리 회로의 단부를 통과하는 부분에서, 신호 처리 회로의 단부에 형성되어 있는 내습 링과 회로 사이 배선층의 배선이 간접하여 버린다.

[0181] 그래서, 이하, 회로 사이 배선층의 배선과 내습 링과의 간접을 회피하는 방법에 관해 설명한다.

- [0182] 우선, 도 24 내지 도 26을 참조하여, 회로 사이 배선층의 배선과 내습 링과의 간섭을 회피하는 제1의 방법에 관해 설명한다.
- [0183] 도 24는, 회로 사이 배선층의 배선과 내습 링과의 간섭을 회피하도록 한 로직 기판(601)의 구성례를 모식적으로 도시하는 평면도이다.
- [0184] 로직 기판(601)은, 상술한 도 14의 로직 기판(211)과 비교하여, 신호 처리 회로(241L 및 241R) 대신에, 같은 회로 패턴의 신호 처리 회로(611L) 및 신호 처리 회로(611R)가, 스크라이브 영역(42)을 통하여 마련되어 있는 점이 다르다. 또한, 로직 기판(601)의 최상층에는, 로직 기판(211)과 마찬가지로, 신호 처리 회로(611L)와 신호 처리 회로(611R)를 전기적으로 접속하는 회로 사이 배선층이 형성되어 있다. 이 예에서는, 회로 사이 배선층의 배선(612-1 내지 612-3)에 의해, 신호 처리 회로(611L)와 신호 처리 회로(611R)가 전기적으로 접속되어 있다.
- [0185] 또한, 로직 기판(601)의 외주 부근에 따라, 신호 처리 회로(611L 및 611R)의 외주를 둘러싸도록, 내습 링(613)이 형성되어 있다.
- [0186] 여기서, 도 25 및 도 26을 참조하여, 내습 링(613)의 구조에 관해 설명한다. 도 25는, 내습 링(613)의 단면을 모식적으로 도시하는 단면도이고, 도 26은, 내습 링(613)의 일부를 모식적으로 도시하는 사시도이다.
- [0187] 내습 링(613)은, 콘택트의 재료로 이루어지는 벽(621), 더미 배선(622-1 내지 622-6), 비아의 재료로 이루어지는 벽(623-1 내지 623-5), 벽(624), 및, 더미 배선(625)에 의해 구성된다.
- [0188] 더미 배선(622-1 내지 622-6) 및 더미 배선(625)은, 로직 기판(601)의 각각 다른 배선층에 형성되어 있고, 신호의 전송에는 사용되지 않는 더미의 배선이다. 이 예에서는, 로직 기판(601)의 배선층은, 예를 들면 실리콘 기판으로 이루어지는 기판층(631)의 위에 7층으로 적층되어 있다. 그리고, 더미 배선(622-1)은, 로직 기판(601)의 가장 아래의 제1의 배선층에 형성되어 있다. 더미 배선(622-2 내지 622-6)은, 로직 기판(601)의 제2 내지 제6의 배선층에 형성되어 있다. 더미 배선(625)은, 로직 기판(601)의 가장 위의 제7의 배선층에 형성되어 있다.
- [0189] 더미 배선(622-1 내지 622-6) 및 더미 배선(625)은, 거의 같은 사각형의 링형상의 형상을 갖고 있고, 각 배선층에서, 로직 기판(601)의 외주 부근에 따라, 신호 처리 회로(611L 및 611R)의 외주를 둘러싸도록 형성되어 있다.
- [0190] 벽(621), 벽(623-1 내지 623-5), 및, 벽(624)은, 거의 같은 사각형의 링형상의 형상을 갖고 있고, 로직 기판(601)의 외주 부근에 따라, 신호 처리 회로(611L 및 611R)의 외주를 둘러싸도록 형성되어 있다.
- [0191] 벽(621)은, 기판층(631)과 제1의 배선층을 접속하는 콘택트와 동일한 공정에서 형성되고, 기판층(631)과 더미 배선(622-1)을 접속한다.
- [0192] 벽(623-1 내지 623-5)은, 제1의 배선층부터 제6의 배선층까지의 각 배선층 사이를 접속하는 비아와 동일한 공정에서 형성된다. 벽(623-1)은, 더미 배선(622-1)과 더미 배선(622-2)을 접속한다. 벽(623-2)은, 더미 배선(622-2)과 더미 배선(622-3)을 접속한다. 벽(623-3)은, 더미 배선(622-3)과 더미 배선(622-4)을 접속한다. 벽(623-4)은, 더미 배선(622-4)과 더미 배선(622-5)을 접속한다. 벽(623-5)은, 더미 배선(622-5)과 더미 배선(622-6)을 접속한다.
- [0193] 벽(624)은, 제6의 배선층과 제7의 배선층을 접속하는 비아와 동일한 공정에서 형성되고, 더미 배선(622-6)과 더미 배선(625)을 접속한다.
- [0194] 제1의 배선층부터 제6의 배선층에는, 예를 들면, 구리가 사용되고, 벽(621)은 텅스텐에 의해 형성되고, 더미 배선(622-1 내지 622-6), 및, 벽(623-1 내지 623-5)은 구리에 의해 형성된다. 또한, 기판층(631)의 표면부터 제6의 배선층의 상단까지의 충간 절연막(632)에는, 예를 들면, 유전율이 낮은 low-K 재료로 이루어지는 절연막이 사용된다. 그리고, 제1의 배선층부터 제6의 배선층은, 예를 들면, 고속의 신호의 전송에 이용된다.
- [0195] 한편, 제7의 배선층에는, 예를 들면, 알루미늄이 사용되고, 더미 배선(625)은, 알루미늄에 의해 형성된다. 또한, 벽(624)은, 예를 들면, 텅스텐에 의해 형성된다. 또한, 제6의 배선층의 상단부터 위의 충간 절연막(633)에는, 예를 들면, 충간 절연막(632)보다 유전율이 높고, 내수성이 높은 산화막(예를 들면, 산화실리콘막)이 사용된다. 그리고, 제7의 배선층은, 예를 들면, 전원 등의 저속의 신호의 전송에 이용된다. 또한, 이 제7의 배선층이, 회로 사이 배선층이 된다.
- [0196] 이와 같이, 내습 링(613)은, 벽(621) 내지 더미 배선(625)에 의해, 로직 기판(601)의 주위를 둘러싸는 벽을 형성하고, 로직 기판(601)의 측면으로부터 신호 처리 회로(611L 및 611R)에의 수분의 침입을 방지한다.

- [0197] 또한, 내습 링(613)은, 신호 처리 회로(611L)와 신호 처리 회로(611R)의 사이에는 마련되지 않는다. 따라서, 신호 처리 회로(611L)와 신호 처리 회로(611R)를 연결하는 배선(612-1 내지 612-3)이, 내습 링(613)과 간섭하는 일이 없다.
- [0198] 또한, 내습 링(613)의 외주는, 화소 회로(21)와 개략 같은 크기이고, 노광 장치의 노광 범위보다 크다. 따라서, 로직 기판(601)의 기판층(631)보다 위의 층(내습 링(613)을 포함하는 층)을 형성할 때에는, 분할 노광이 이용된다.
- [0199] 또한, 내습 링(613)은, 반드시 로직 기판(601)의 주위를 전부 둘러싸도록 형성할 필요는 없고, 예를 들면, 내습 성을 확보할 수 있는 범위에서, 로직 기판(601)의 주위의 일부만을 둘러싸도록 하여도 좋다.
- [0200] 또한, 예를 들면, 로직 기판에 3 이상의 신호 처리 회로가 배치되는 경우도 마찬가지로, 모든 신호 처리 회로를 내부에 포함하고, 로직 기판의 주위 또는 주위의 일부를 둘러싸도록 내습 링을 형성하도록 하면 좋다.
- [0201] 다음에, 도 27 내지 도 33을 참조하여, 회로 사이 배선층의 배선과 내습 링과의 간섭을 회피하는 제2의 방법에 관해 설명한다.
- [0202] 도 27은, 회로 사이 배선층의 배선과 내습 링과의 간섭을 회피하도록 한 로직 기판(651)의 구성례를 모식적으로 도시하는 평면도이다.
- [0203] 로직 기판(651)은, 상술한 도 24의 로직 기판(601)과 비교하여, 신호 처리 회로(611L 및 611R) 대신에, 같은 회로 패턴의 신호 처리 회로(661L) 및 신호 처리 회로(661R)가, 스크라이브 영역(42)을 통하여 마련되어 있는 점이 다르다. 또한, 로직 기판(651)의 최상층에는, 로직 기판(601)과 마찬가지로, 신호 처리 회로(661L)와 신호 처리 회로(661R)를 전기적으로 접속하는 회로 사이 배선층이 형성되어 있다. 이 예에서는, 회로 사이 배선층의 배선(662-1 내지 662-3)에 의해, 신호 처리 회로(661L)와 신호 처리 회로(661R)가 전기적으로 접속되어 있다.
- [0204] 또한, 로직 기판(651)은, 로직 기판(601)과 비교하여, 내습 링(613) 대신에, 내습 링(663L 및 663R)이 형성되어 있는 점이 다르다. 내습 링(663L)은, 신호 처리 회로(661L)의 외주 부근에 따라, 신호 처리 회로(661L)의 주위를 둘러싸도록 형성되어 있다. 내습 링(663R)은, 신호 처리 회로(661R)의 외주 부근에 따라, 신호 처리 회로(661R)의 주위를 둘러싸도록 형성되어 있다.
- [0205] 여기서, 도 28 내지 도 33을 참조하여, 내습 링(663R)의 구조에 관해 설명한다. 또한, 상세한 설명은 생략하지만, 내습 링(663L)도, 내습 링(663R)과 개략 같은 구조를 갖고 있다. 또한, 이하, 내습 링(663R)의 각 부분에 대응하는 내습 링(663L)의 부분의 부호를, 내습 링(663R)의 각 부분의 부호의 "R"을 "L"로 치환한 부호에 의해 나타낸다.
- [0206] 도 28은, 내습 링(663R)의 영역(A1R-1 내지 A1R-3) 및 영역(A2R-1 내지 A2R-3) 이외의 부분의 단면을 모식적으로 도시하는 단면도이다. 도 29는, 내습 링(663R)의 영역(A1R-1 내지 A1R-3) 및 영역(A2R-1 내지 A2R-3) 이외의 부분의 일부를 모식적으로 도시하는 사시도이다.
- [0207] 도 30은, 내습 링(663L)의 영역(A1L-1) 및 내습 링(663R)의 영역(A1R-1)의 배선(662-1)이 통과하는 부분의 단면을 모식적으로 도시하는 단면도이다. 도 31은, 내습 링(663R)의 영역(A1R-1) 부근을 모식적으로 도시하는 사시도이다.
- [0208] 도 32는, 내습 링(663R)의 영역(A2R-1)에서, 내습 링(663L)의 영역(A1L-1)에서 배선(662-1)이 통과하는 부분과 같은 위치의 단면을 모식적으로 도시하는 단면도이다. 도 33은, 내습 링(663R)의 영역(A2R-1) 부근을 모식적으로 도시하는 사시도이다. 또한, 도 33에 있어서, 최상층의 더미 배선(675R)만을 투과시키고 있다.
- [0209] 내습 링(663R)은, 벽(671R), 더미 배선(672R-1 내지 672R-6), 벽(673R-1 내지 673R-5), 벽(674R), 및, 더미 배선(675R)에 의해 구성되고, 도 25 및 도 26을 참조하여 상술한 내습 링(613)과 개략 같은 구조를 갖고 있다. 즉, 내습 링(663R)은, 내습 링(613)과 마찬가지로 7층의 적층 구조를 가짐과 함께, 내습 링(613)과 같은 소재에 의해 형성되어 있다.
- [0210] 기판층(681)의 표면부터 제6의 배선층의 상단까지의 충간 절연막(682)에는, 예를 들면, 로직 기판(601)의 충간 절연막(632)과 마찬가지로, low-K 재료로 이루어지는 절연막이 사용된다. 또한 제6의 배선층의 상단부터 위의 충간 절연막(683)에는, 예를 들면, 로직 기판(601)의 충간 절연막(633)과 마찬가지로, 산화막(예를 들면, 산화 실리콘막)이 사용된다.
- [0211] 단, 내습 링(663R)은 내습 링(613)과 달리, 벽(674R) 및 더미 배선(675R)이 일부에서 형성되지 않고, 불연속으로

로 되어 있다. 구체적으로는, 벽(674R) 및 더미 배선(675R)은, 내습 링(663R)의 좌변의 영역(A1R-1 내지 A1R-3) 내의 배선(662-1 내지 662-3)이 통과하는 부분에서 불연속으로 되어 있다.

[0212] 예를 들면, 도 30 및 도 31에 도시되는 바와 같이, 벽(674R) 및 더미 배선(675R)은, 영역(A1R-1)의 배선(662-1)이 통과하는 부분에서, 배선(662-1)과 간섭하지 않도록 불연속으로 되어 있다. 또한, 도시는 생략하지만, 벽(674R) 및 더미 배선(675R)은, 영역(A1R-2)의 배선(662-2)이 통과하는 부분, 및, 영역(A1R-3)의 배선(662-3)이 통과하는 부분에서도, 배선(662-2 및 662-3)과 간섭하지 않도록 불연속으로 되어 있다.

[0213] 마찬가지로, 내습 링(663L)의 벽(674L) 및 더미 배선(675L)도, 내습 링(663L)의 우변의 영역(A1L-1 내지 A1L-3) 내의 배선(662-1 내지 662-3)이 통과하는 부분에서, 배선(662-1 내지 662-3)과 간섭하지 않도록 불연속으로 되어 있다.

[0214] 또한, 내습 링(663R)의 벽(674R)은, 내습 링(663L)의 영역(A1L-1 내지 A1L-3) 내의 벽(674L)의 불연속 부분과 대응하는 부분에서 불연속으로 되어 있다. 예를 들면, 벽(674R)은, 내습 링(663R)의 우변의 영역(A2R-1)에서, 내습 링(663L)의 우변의 영역(A1L-1) 내의 벽(674L)의 불연속 부분과 같은 부분이, 도 32 및 도 33에 도시되는 바와 같이 불연속으로 되어 있다. 또한, 도시는 생략하지만, 벽(674R)은, 내습 링(663R)의 우변의 영역(A2R-2) 및 영역(A2R-3)에서, 내습 링(663L)의 우변의 영역(A1L-2 및 A1L-3) 내의 벽(674L)의 불연속 부분과 같은 부분이 불연속으로 되어 있다.

[0215] 마찬가지로, 내습 링(663L)의 벽(674L)은, 내습 링(663R)의 영역(A1R-1 내지 A1R-3) 내의 벽(674R)의 불연속 부분과 대응하는 부분에서 불연속으로 되어 있다.

[0216] 이에 의해, 내습 링(663L)의 벽(674L)의 불연속 부분과, 내습 링(663R)의 벽(674R)의 불연속 부분이 같아지고, 벽(674R)과 벽(674L)이, 같은 좌우 대칭의 형상이 된다.

[0217] 또한, 더미 배선(675R)은, 영역(A2R-1 내지 A2R-3)에서, 도중절단(途切)되는 일 없이 연속하고 있다. 마찬가지로, 더미 배선(675L)은, 영역(A2L-1 내지 A2L-3)에서, 도중절단되는 일 없이 연속하고 있다.

[0218] 이상과 같이, 내습 링(663R)은, 벽(671R) 내지 더미 배선(675R)에 의해, 신호 처리 회로(661R)의 주위를 둘러싸는 벽을 형성하고, 로직 기판(651)의 측면으로부터 신호 처리 회로(661R)에의 수분의 침입을 방지한다. 마찬가지로, 내습 링(663L)은, 벽(671L) 내지 더미 배선(675L)에 의해, 신호 처리 회로(661L)의 주위를 둘러싸는 벽을 형성하고, 로직 기판(651)의 측면으로부터 신호 처리 회로(661L)에의 수분의 침입을 방지한다.

[0219] 또한, 상술한 바와 같이, 내습 링(663L 및 663R)은, 신호 처리 회로(661L)와 신호 처리 회로(661R)를 연결하는 배선(662-1 내지 662-3)과 간섭하지 않는다.

[0220] 또한, 내습 링(663R)의 벽(674R) 및 더미 배선(675R)의 불연속 구간은 매우 짧고, 충간 절연막(683)의 내수성도 높기 때문에, 내습 링(663R)의 내습성능은, 거의 열화되지 않는다. 마찬가지로, 내습 링(663L)의 벽(674L) 및 더미 배선(675L)의 불연속 구간은 매우 짧고, 충간 절연막(683)의 내수성도 높기 때문에, 내습 링(663L)의 내습성능은 거의 열화되지 않는다.

[0221] 또한, 내습 링(663L)의 벽(674L)과, 내습 링(663R)의 벽(674R)이 같은 형상이므로, 예를 들면, 같은 포토 마스크를 이용하여 노광할 수가 있어서, 비용 삭감을 실현할 수 있다.

[0222] 또한, 내습 링(663L, 663R)은, 각각 반드시 신호 처리 회로(661L, 661R)의 주위를 전부 둘러싸도록 형성할 필요는 없고, 예를 들면, 내습성을 확보할 수 있는 범위에서, 주위의 일부만을 둘러싸도록 하여도 좋다.

[0223] 또한, 배선(662-1 내지 662-3)이 통과하는 부분 이외의 벽(674L) 및 벽(674R)의 불연속 부분은, 반드시 마련할 필요는 없다. 단, 이 불연속 부분을 마련하지 않으면, 벽(674L)과 벽(674R)이 같은 형상이 되지 않기 때문에, 분할 노광을 이용할 필요가 생긴다.

[0224] 또한, 예를 들면, 로직 기판에 3 이상의 신호 처리 회로를 배치하는 경우도, 마찬가지 방법에 의해, 각 신호 처리 회로 사이를 접속하는 배선의 간섭을 회피하도록, 각 신호 처리 회로의 내습 링을 형성할 수 있다.

[0225] (내습 링(663L 및 663R)의 제조 방법)

[0226] 다음에, 도 34 내지 도 40을 참조하여, 로직 기판(651)의 내습 링(663L 및 663R)

[0227] 또한, 이하, 도 34 내지 도 40에서, 좌측의 도면은, 내습 링(663L)의 우변과 내습 링(663R)의 좌변이 인접하는 부분에서, 배선(662-1 내지 662-3)이 통과하지 않는 부분의 단면을 모식적으로 도시하고 있다. 한편, 도 34 내

지 도 40에서, 우측의 도면은, 내습 링(663L)의 우변과 내습 링(663R)의 좌변이 인접하는 부분에서, 배선(662-1)이 통과하는 부분의 단면을 모식적으로 도시하고 있다.

[0228] 또한, 이하, 내습 링(663L)의 벽(671L)부터 더미 배선(672L-6)까지, 및, 내습 링(663R)의 벽(671R)부터 더미 배선(672R-6)까지, 및, 충간 절연막(682)은 이미 형성되어 있고, 충간 절연막(682)보다 위의 부분을 형성하는 공정에 관해 설명한다. 또한, 여기까지의 공정의 노광에는, 일괄 노광이 이용된다.

[0229] 우선, 도 34에 도시되는 바와 같이, 충간 절연막(682)의 위에 산화막(691)이 퇴적된다.

[0230] 다음에, 도 35에 도시되는 바와 같이, 산화막(691)의 에칭이 행하여져서, 홈(692L 및 692R)이 형성된다. 홈(692L)은, 위에서 보아, 더미 배선(672L-6)을 통하여 벽(673L-5)과 개략 겹쳐지도록 형성된다. 단, 홈(692L)은, 내습 링(663L)의 벽(674L)을 형성하기 위한 것이고, 상술한 벽(674L)이 불연속이 되는 부분에는 형성되지 않는다. 마찬가지로, 홈(692R)은, 위에서 보아, 더미 배선(672R-6)을 통하여 벽(673R-5)과 개략 겹쳐지도록 형성된다. 단, 홈(692R)은, 내습 링(663R)의 벽(674R)을 형성하기 위한 것이고, 상술한 벽(674R)이 불연속이 되는 부분에는 형성되지 않는다.

[0231] 또한, 상술한 바와 같이, 벽(674R)과 벽(674L)은 같은 형상이기 때문에, 홈(692L)과 홈(692R)은 같은 형상이 된다. 따라서, 홈(692L)과 홈(692R)은, 각각 같은 포토 마스크를 이용하여, 일괄 노광에 의해 형성할 수 있다.

[0232] 다음에, 도 36에 도시되는 바와 같이, 산화막(691)의 위에, 텅스텐으로 이루어지는 금속막(693)이 증착된다. 이 때, 홈(692L 및 692R)이 완전히 파묻히도록, 금속막(693)이 두껍게 증착된다.

[0233] 다음에, 도 37에 도시되는 바와 같이, 홈(692L 및 692R) 내의 금속막(693)을 남기고, 산화막(691)의 위의 금속막(693)이 연마에 의해 제거된다. 이에 의해, 텅스텐으로 이루어지는 벽(674L 및 674R)이 형성된다.

[0234] 다음에, 도 38에 도시되는 바와 같이, 산화막(691)의 위에, 알루미늄으로 이루어지는 금속막(694)이 증착된다.

[0235] 다음에, 도 39에 도시되는 바와 같이, 금속막(694)의 에칭이 행하여진다. 이에 의해, 배선(662-1 내지 662-3), 및, 더미 배선(675L 및 675R)을 포함하는 회로 사이 배선층이 형성된다. 이 회로 사이 배선층의 형성에는, 상술한 바와 같이 분할 노광이 이용된다.

[0236] 최후에, 도 40에 도시되는 바와 같이, 회로 사이 배선층의 위에 산화막이 퇴적된다. 이에 의해, 도 34를 참조하여 상술한 공정에서 퇴적된 산화막(691)과 합쳐서, 충간 절연막(683)이 형성된다. 또한, 예를 들면, 또한 충간 절연막의 위에, 폴리이미드 등으로 이루어지는 보호막이 형성된다.

[0237] 또한, 상술한 내습 링의 총수나 소재, 및, 충간 절연막의 소재는, 그 한 예이고, 필요에 응하여 변경하는 것이 가능하다.

#### {5-2. 촬상 처리의 변형례}

[0239] 이상의 설명에서는, 1장의 화상 데이터를 좌우로 분할하여 각 신호 처리 회로에서 생성하는 예를 나타냈지만, 화상 데이터의 분할 방법은, 로직 기판에 마련되는 신호 처리 회로의 수나 레이아웃에 응하여 자유롭게 변경하는 것이 가능하다. 예를 들면, 화상 데이터를 상하로 분할하거나, n분할(n는 3 이상)하거나 하도록 하여도 좋다.

[0240] 또한, 예를 들면, 화상 데이터를 분할하지 않고, 복수(예를 들면 2개)의 신호 처리 회로에서 각각 전체의 화상 데이터를 생성하고, 생성한 복수의 화상 데이터의 화소치를 가산한 화상 데이터를 생성하도록 하여도 좋다. 이에 의해, 랜덤 노이즈를 저감하거나, AD 변환기(81)의 특성의 차이를 흡수하거나 할 수 있고, 화질을 향상시킬 수 있다.

[0241] 이 경우, 복수의 화상 데이터의 화소치를 무게 부여하여 가산하도록 하여도 좋다. 예를 들면, 2개의 신호 처리 회로에서 각각 전체의 화상 데이터를 생성하고, 각각 0.5의 무게로 무게 부여 가산함에 의해, 2장의 전체의 화상 데이터의 화소치의 평균치로 이루어지는 화상 데이터를 얻을 수 있다.

[0242] 또한, 예를 들면, 화상 데이터를 분할함과 함께, 같은 영역의 화상 데이터를 복수의 신호 처리 회로에서 각각 생성하고, 가산하도록 하여도 좋다. 예를 들면, 좌측의 신호 처리 회로와 우측의 신호 처리 회로를 이중으로 마련하고, 피사체의 좌반의 화상 데이터를 2개 작성하고, 우측 절반분의 화상 데이터를 2개 생성하도록 하여도 좋다. 그리고, 예를 들면, 2개의 좌반의 화상 데이터의 화소치를 가산한 화상 데이터와, 2개의 우측 절반분의 화상 데이터의 화소치를 가산한 화상 데이터를 합성하도록 하여도 좋다.

[0243] {5-3. 본 기술의 적용 범위의 변형례}

[0244] 이상의 설명에서는, 본 기술을 고체 활상 소자에 적용하는 예를 나타냈지만, 본 기술은, 칩 사이즈가 노광 장치의 노광 범위보다 큰 적층 구조의 다른 반도체 장치에도 적용하는 것이 가능하다.

[0245] <6. 전자 기기>

[0246] 본 기술이 적용되는 고체 활상 소자는, 디지털 스틸 카메라나 비디오 카메라 등의 활상 장치나, 휴대 전화기 등의 활상 기능을 갖는 휴대 단말 장치나, 화상 판독부에 고체 활상 소자를 이용하는 복사기 등의 전자 기기 전반에서, 그 활상부(화상 취입부)로서 이용할 수 있다. 또한, 전자 기기에 탑재되는 상기 모듈형상의 형태, 즉, 카메라 모듈을 활상 장치로 한 경우도 있다.

[0247] {6-1. 활상 장치}

[0248] 도 41은, 본 기술을 적용한 전자 기기의 한 예인 활상 장치(카메라 장치)(701)의 구성례를 도시하는 블록도이다.

[0249] 도 41에 도시하는 바와 같이, 활상 장치(701)는, 렌즈군(711) 등을 포함하는 광학계, 활상 소자(712), 카메라 신호 처리부인 DSP 회로(713), 프레임 메모리(714), 표시 장치(715), 기록 장치(716), 조작계(717), 및, 전원 계(718) 등을 갖고 있다. 그리고, DSP 회로(713), 프레임 메모리(714), 표시 장치(715), 기록 장치(716), 조작 계(717), 및, 전원계(718)가 버스 라인(719)을 통하여 상호 접속된 구성으로 되어 있다.

[0250] 렌즈군(711)은, 피사체로부터의 입사광(상광)을 취입하여 활상 소자(712)의 활상면상에 결상한다. 활상 소자(712)는, 렌즈군(711)에 의해 활상면상에 결상된 입사광의 광량을 화소 단위로 전기 신호로 변환하여 화소 신호로서 출력한다.

[0251] 표시 장치(715)는, 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등의 패널형 표시 장치로 이루어지고, 활상 소자(712)에서 활상된 동화 또는 정지화를 표시한다. 기록 장치(716)는, 활상 소자(712)에서 활상된 동화 또는 정지화를, 메모리 카드나 비디오 테이프나 DVD(Digital Versatile Disk) 등의 기록 매체에 기록한다.

[0252] 조작계(717)는, 유저에 의한 조작하에, 본 활상 장치(701)가 갖는 다양한 기능에 관해 조작 지령을 발한다. 전원계(718)는, DSP 회로(713), 프레임 메모리(714), 표시 장치(715), 기록 장치(716), 및, 조작계(717)의 동작 전원이 되는 각종의 전원을, 이를 공급 대상에 대해 적절히 공급한다.

[0253] 이와 같은 활상 장치(701)는, 비디오 카메라나 디지털 스틸 카메라, 나아가서는, 스마트 폰, 휴대 전화기 등의 모바일 기기용 카메라 모듈에 적용된다. 그리고, 이 활상 장치(701)에서, 활상 소자(712)로서, 상술한 각 실시 형태에 관한 고체 활상 소자를 이용할 수 있다. 이에 의해, 활상 장치(701)의 비용을 저감시킬 수 있다.

[0254] 또한, 본 기술의 실시의 형태는, 상술한 실시의 형태로 한정되는 것이 아니고, 본 기술의 요지를 일탈하지 않는 범위에서 여러가지의 변경이 가능하다.

[0255] 또한, 예를 들면, 본 기술은 이하와 같은 구성도 취할 수 있다.

[0256] (1)

[0257] 그 상부에 형성된 화소 어레이부를 포함하는 화소 회로를 포함하는 제1의 기판과,

[0258] 그 상부에 형성된 복수의 신호 처리 회로를 포함하는 제2의 기판을 포함하고,

[0259] 상기 복수의 신호 처리 회로는, 서로 인접 배치되고 그들 사이에 스페이싱 영역을 포함한다.

[0260] (2)

[0261] 각각의 상기 신호 처리 회로는, 같은 기능을 갖는 상기 (1)에 기재된 고체 활상 소자.

[0262] (3)

[0263] 상기 같은 기능은, 같은 신호 처리 회로로서의 동작을 포함하는 상기 (1) 내지 (2)에 기재된 고체 활상 장치.

[0264] (4) 유효가 되는 기능과 무효가 되는 기능은 하나 이상의 외부 신호에 응답하여 각각의 상기 신호 처리 회로에서 이루어지는 구성되는 상기 (2) 내지 (3)에 기재된 고체 활상 장치.

- [0265] (5) 상기 복수의 신호 처리 회로 중 제1의 신호 처리 회로는 상기 화소 어레이부의 제1의 영역 내의 화소의 화소 신호에 의거한 제1의 화소 데이터를 생성하고,
- [0266] 상기 복수의 신호 처리 회로 중 제2의 신호 처리 회로는, 상기 화소 어레이부의 상기 제1의 영역과는 다른 제2의 영역 내의 화소의 화소 신호에 의거한 제2의 화소 데이터를 생성하는 상기 (1) 내지 (4)의 어느 하나에 기재된 고체 활상 소자.
- [0267] (6)
- [0268] 상기 복수의 신호 처리 회로 중 상기 제1의 신호 처리 회로 및 상기 복수의 신호 처리 회로 중 상기 제2의 신호 처리 회로는 전기적으로 접속되어 있는 상기 (1) 내지 (5)의 어느 하나에 기재된 고체 활상 소자.
- [0269] (7)
- [0270] 상기 제1의 신호 처리 회로와 상기 제2의 신호 처리 회로는 상기 제2의 기판에 형성되어 있는 제1의 배선층을 통하여 전기적으로 접속되어 있는 상기 (6)에 기재된 고체 활상 소자.
- [0271] (8)
- [0272] 상기 제1의 배선층은, 상기 제2의 기판의 배선층의 최상층에 형성되어 있는 상기 (7)에 기재된 고체 활상 소자.
- [0273] (9)
- [0274] 상기 제1의 신호 처리 회로의 주위의 적어도 일부를 둘러싸는 제1의 내습 구조, 상기 제2의 신호 처리 회로의 주위의 적어도 일부를 둘러싸는 제2의 내습 구조를 더 포함하는 상기 (7) 내지 (8)에 기재된 고체 활상 소자.
- [0275] (10)
- [0276] 상기 제1의 신호 처리 회로와 상기 제2의 신호 처리 회로는, 같은 패턴의 회로이고,
- [0277] 상기 제1의 배선층은, 상기 제2의 기판의 배선층의 최상층에 형성되고, 상기 제1의 내습 구조의 최상층 및 상기 제2의 내습 구조의 최상층을 포함하고,
- [0278] 상기 제1의 내습 구조의 상기 제1의 배선층의 배선이 통과하는 제1의 부분에서, 상기 제1의 내습 구조의 최상층, 및, 상기 제1의 내습 구조의 최상층과 하나 아래의 층을 접속하는 제1의 벽이 형성되지 않고,
- [0279] 상기 제2의 내습 구조의 상기 제1의 배선층의 배선이 통과하는 제2의 부분에서, 상기 제2의 내습 구조의 최상층, 및, 상기 제2의 내습 구조의 최상층과 하나 아래의 층을 접속하는 제2의 벽이 형성되지 않은 상기 (9)에 기재된 고체 활상 소자.
- [0280] (11)
- [0281] 상기 제2의 내습 구조의 상기 제2의 부분에 대응하는 상기 제1의 내습 구조의 제3의 부분에서, 상기 제1의 벽이 형성되지 않고,
- [0282] 상기 제1의 내습 구조의 상기 제1의 부분에 대응하는 상기 제2의 내습 구조의 제4의 부분에서, 상기 제2의 벽이 형성되지 않은 상기 (10)에 기재된 고체 활상 소자.
- [0283] (12)
- [0284] 상기 제2의 기판의 상기 제1의 배선층을 제외한 배선층은, 일괄 노광에 의해 형성되고, 상기 제1의 배선층은, 분할 노광에 의해 형성되는 상기 (10)에 기재된 고체 활상 소자.
- [0285] (13)
- [0286] 상기 제1의 배선층보다 하나 아래의 제2의 배선층 이하의 층간 절연막은, low-K막에 의해 형성되고,
- [0287] 상기 제2의 배선층보다 위의 층간 절연막은, low-K막보다 내수성이 높은 절연막에 의해 형성되는 상기 (10)에 기재된 고체 활상 소자.
- [0288] (14)
- [0289] 상기 제2의 기판의 주위의 적어도 일부를 둘러싸는 내습 구조를 더 포함하는 상기 (7)에 기재된 고체 활상 소자.

- [0290] (15)
- [0291] 각각의 상기 신호 처리 회로의 적어도 일부의 층은, 일괄 노광에 의해 형성되고,
- [0292] 상기 내습 구조가 형성되어 있는 층은, 분할 노광에 의해 형성되는 상기 (14)에 기재된 고체 활상 소자.
- [0293] (16)
- [0294] 상기 제1의 기판에 형성되어 있는 배선을 통하여, 상기 제1의 신호 처리 회로와 상기 제2의 신호 처리 회로가 전기적으로 접속되어 있는 상기 (6)에 기재된 고체 활상 소자.
- [0295] (17)
- [0296] 상기 제1의 기판에 형성된 상기 배선은, 상기 화소 어레이부의 외측에 형성되어 있고,
- [0297] 상기 제1의 신호 처리 회로 및 상기 제2의 신호 처리 회로는, 상기 제1의 기판에 형성되어 있는 비아를 통하여 상기 제1의 기판에 형성된 상기 배선에 접속되어 있는 상기 (16)에 기재된 고체 활상 소자.
- [0298] (18)
- [0299] 상기 제1의 신호 처리 회로와 상기 제2의 신호 처리 회로는, 상기 고체 활상 소자의 외부 영역에서 서로 전기적으로 접속되어 있는 상기 (6)에 기재된 고체 활상 소자.
- [0300] (19)
- [0301] 상기 고체 활상 소자는 패키지에 마련되고, 상기 제1의 신호 처리 회로와 상기 제2의 신호 처리 회로는 상기 패키지상의 도전 패턴을 통해 전기적으로 접속되어 있는 상기 (18)에 기재된 고체 활상 소자.
- [0302] (20)
- [0303] 상기 제1의 신호 처리 회로와 상기 제2의 신호 처리 회로의 같은 아날로그 신호의 신호선이 상기 고체 활상 소자의 외부 영역에서 전기적으로 접속되어 있는 상기 (18) 내지 (19)에 기재된 고체 활상 소자.
- [0304] (21)
- [0305] 상기 제1의 신호 처리 회로 및 상기 제2의 신호 처리 회로는 하나 이상의 본딩 와이어에 의해 기판에 전기적으로 접속되고, 상기 기판은 고체 활상 소자의 내, 같은 패키지의 내, 그리고 같은 패키지의 밖 중에서 적어도 한 곳에 마련되는 상기 (6)에 기재된 고체 활상 장치.
- [0306] (22)
- [0307] 상기 제1의 신호 처리 회로는, 상기 화소 어레이부의 제1의 영역 내의 화소의 화소 신호에 의거한 제1의 화소 데이터를 생성하고, 생성한 상기 제1의 화소 데이터를 상기 제2의 신호 처리 회로에 공급하고,
- [0308] 상기 제2의 신호 처리 회로는, 상기 화소 어레이부의 상기 제1의 영역과는 다른 제2의 영역 내의 화소의 화소 신호에 의거한 제2의 화소 데이터를 생성하고, 생성한 상기 제2의 화소 데이터와 상기 제1의 화소 데이터를 합성하는 상기 (6) 내지 (21)의 어느 하나에 기재된 고체 활상 소자.
- [0309] (23)
- [0310] 상기 제1의 신호 처리 회로는, 상기 화소 어레이부의 소정의 영역 내의 화소의 화소 신호에 의거한 제1의 화소 데이터를 생성하고, 생성한 상기 제1의 화소 데이터를 상기 제2의 신호 처리 회로에 공급하고,
- [0311] 상기 제2의 신호 처리 회로는, 상기 제1의 신호 처리 회로와 같은 영역 내의 상기 화소 어레이부의 화소의 화소 신호에 의거한 제2의 화소 데이터를 생성하고, 상기 제1의 화소 데이터와 상기 제2의 화소 데이터를 가산함에 의해 제3의 화소 데이터를 생성하는 상기 (6) 내지 (21)의 어느 하나에 기재된 고체 활상 소자.
- [0312] (24)
- [0313] 상기 제2의 기판의 상기 제1의 기판과 인접하는 면과 반대측의 면에 제3의 기판이 적층되어 있는 상기 (1) 내지 (23)의 어느 하나에 기재된 고체 활상 소자.
- [0314] (25)
- [0315] 상기 화소 어레이부의 각각의 화소의 화소 신호를 AD 변환함에 의해 얻어진 화소 데이터를 기억하는 상기 제3의

기판상에 메모리를 더 포함하는 상기 (24)에 기재된 고체 콤상 소자.

[0316] (26)

상기 제2의 기판상에, AD 변환부를 더 포함하고, 상기 AD 변환부는 상기 화소 어레이부의 각 화소의 화소 신호를 상기 화소 어레이부의 열 단위로 변환하는 상기 (1) 내지 (25)의 어느 하나에 기재된 고체 콤상 소자.

[0318] (27)

상기 제2의 기판상에, AD 변환부를 더 포함하고, 상기 AD 변환부는 상기 화소 어레이부의 각 화소의 화소 신호를 상기 화소 어레이부의 소정의 수의 2차원의 화소의 배열을 포함하는 영역 단위로 변환하는 하는 상기 (1) 내지 (26)의 어느 하나에 기재된 고체 콤상 소자.

[0320] (28)

상기 화소 회로는, 분할 노광에 의해 형성되고,

[0322] 각각의 상기 신호 처리 회로의 하나 이상의 총 중 적어도 일부의 총은, 일괄 노광에 의해 형성되는 상기 (1) 내지 (27)의 어느 하나에 기재된 고체 콤상 소자.

[0323] (29)

[0324] 상기 복수의 신호 처리 회로 중 상기 제1의 신호 처리 회로 및 상기 복수의 신호 처리 회로 중 상기 제2의 신호 처리 회로는 동일한 일괄 노광에 의해 형성되는 상기 (1) 내지 (28)의 어느 하나에 기재된 고체 콤상 소자.

[0325] (30)

[0326] 상기 복수의 신호 처리 회로 사이의 상기 스페이싱 영역은 스크라이브 영역인 상기 (1) 내지 (29)의 어느 하나에 기재된 고체 콤상 소자.

[0327] (31)

[0328] 분할 노광을 이용하여, 화소 어레이부를 포함하는 화소 회로를, 스크라이브 영역을 통하여 2차원으로 나열하도록 제1의 반도체 기판에 형성하는 공정과,

[0329] 일괄 노광을 이용하여, 상기 화소 어레이부의 각 화소의 화소 신호의 처리를 행하는 신호 처리 회로를, 스크라이브 영역을 통하여 2차원으로 나열하도록 제2의 반도체 기판에 형성하는 공정과,

[0330] 상기 제1의 반도체 기판의 스크라이브 영역이 상기 제2의 반도체 기판의 스크라이브 영역에 겹쳐지고, 상기 화소 회로와 소정의 수의 복수의 상기 신호 처리 회로가 겹쳐지도록, 상기 제1의 반도체 기판과 상기 제2의 반도체 기판을 적층화하는 공정과,

[0331] 상기 제1의 반도체 기판과 상기 제2의 반도체 기판을 적층화한 반도체 기판을, 상기 제1의 반도체 기판의 스크라이브 영역에 따라 절단하는 공정을 포함하는 고체 콤상 소자의 제조 방법.

[0332] (32)

[0333] 상기 신호 처리 회로는 서로 인접 배치되며 그들 사이에 제2의 반도체 기판의 스크라이브 영역을 포함하는 제1의 신호 처리 회로와 제2의 신호 처리 회로를 포함하고, 같은 고체 콤상 소자에 배치된 상기 제1 신호 처리 회로와 상기 제2의 신호 처리 회로를 전기적으로 접속하는 배선층이 상기 제2의 반도체 기판에 형성되는 상기 (31)에 기재된 고체 콤상 소자의 제조 방법.

[0334] (33)

[0335] 상기 배선층은 상기 제2의 반도체 기판의 배선층의 최상층에 형성되는 상기 (32)에 기재된 고체 콤상 소자의 제조 방법.

[0336] (34)

[0337] 상기 제1의 신호 처리 회로의 주위의 적어도 일부를 둘러싸는 제1의 내습 구조, 및, 상기 제2의 신호 처리 회로의 주위의 적어도 일부를 둘러싸는 제2의 내습 구조를 형성하는 공정을 더 포함하는 상기 (32) 내지 (33)에 기재된 고체 콤상 소자의 제조 방법.

[0338] (35)

- [0339] 같은 고체 촬상 소자에 배치되는 상기 제1의 신호 처리 회로의 외주의 적어도 일부를 둘러싸는 내습 구조를 형성하는 공정을 더 포함하는 상기 (32) 또는 (33)에 기재된 고체 촬상 소자의 제조 방법.
- [0340] (36)
- [0341] 상기 신호 처리 회로는 서로 인접 배치되며 그들 사이에 제2의 반도체 기판의 스크라이브 영역을 포함하는 제1의 신호 처리 회로와 제2의 신호 처리 회로를 포함하고, 같은 고체 촬상 소자에 배치된 상기 제1 신호 처리 회로와 상기 제2의 신호 처리 회로를 전기적으로 접속하는 배선 및 비아가 상기 제1의 반도체 기판에 형성되는 상기 (31)에 기재된 고체 촬상 소자의 제조 방법.
- [0342] (37)
- [0343] 그 상부에 형성된 화소 어레이부를 포함하는 화소 회로를 포함하는 제1의 기판과, 그 상부에 형성된 복수의 신호 처리 회로를 포함하는 제2의 기판을 포함하고, 상기 복수의 신호 처리 회로는, 서로 인접 배치되고 그들 사이에 스페이싱 영역을 포함하는 고체 촬상 소자를 구비하는 전자 기기.
- [0344] 이상, 본 발명의 실시예를 도면을 참조하여 상술하여 왔지만, 구체적인 구성은 이 실시예에 한정되는 것이 아니라, 본 발명의 요지를 일탈하지 않는 범위의 설계의 변경 등이 있더라도 본 발명에 포함된다.

### 부호의 설명

[0345] 1 : 고체 촬상 소자

11 : 화소 기판

12 : 로직 기판

21 : 화소 회로

22 : 스크라이브 영역

31 : 화소 어레이부

32 : 단위 화소

41L, 41R : 신호 처리 회로

42 : 스크라이브 영역

67L, 67R : 메모리부

68L, 68R : 데이터 처리부

69L, 69R : 인터페이스부

81L-1 내지 81R-n : AD 변환기

101L-1 내지 101R-2 : AD 변환부

102L-1 내지 102R-2 : 메모리부

103L, 103R : 로직부

104L-1 내지 104R-2 : 인터페이스부

105L-1 내지 105R-4 : 비아

121 : 신호 처리 LSI

171L, 171R : 멀티플렉서

172L, 172R : 코어

201 : 고체 촬상 소자

211 : 로직 기판

- 301 : 고체 촬상 소자
- 311 : 화소 기판
- 312 : 로직 기판
- 321 : 화소 회로
- 331 : 화소 어레이부
- 341L, 341R : 신호 처리 회로
- 351L, 351R : 배선
- 352L, 352R, 353L, 353R, 355L, 355R, 357L, 357R : 비아
- 358 : 배선
- 401 : 패키지
- 411L, 411R : 본딩 와이어
- 412 : 도전 패턴
- 511 : 화소 기판
- 512 : 로직 기판
- 521 : 화소 회로
- 531 : 화소 어레이부
- 532 : 비아
- 541L, 541R : 신호 처리 회로
- 601 : 로직 기판
- 611L, 611R : 신호 처리 회로
- 612-1 내지 612-3 : 배선
- 613 : 내습 링
- 621 : 벽
- 622-1 내지 622-6 : 더미 배선
- 623-1 내지 623-5, 624 : 벽
- 625 : 더미 배선
- 631 : 기판층
- 632, 633 : 층간 절연막
- 651 : 로직 기판
- 661L, 661R : 신호 처리 회로
- 662-1 내지 662-3 : 배선
- 663L, 663R : 내습 링
- 671L, 671R : 벽
- 672L-1 내지 672R-6 : 더미 배선
- 673L-1 내지 673R-5, 674L, 674R : 벽
- 675L, 675R : 더미 배선

681 : 기판층

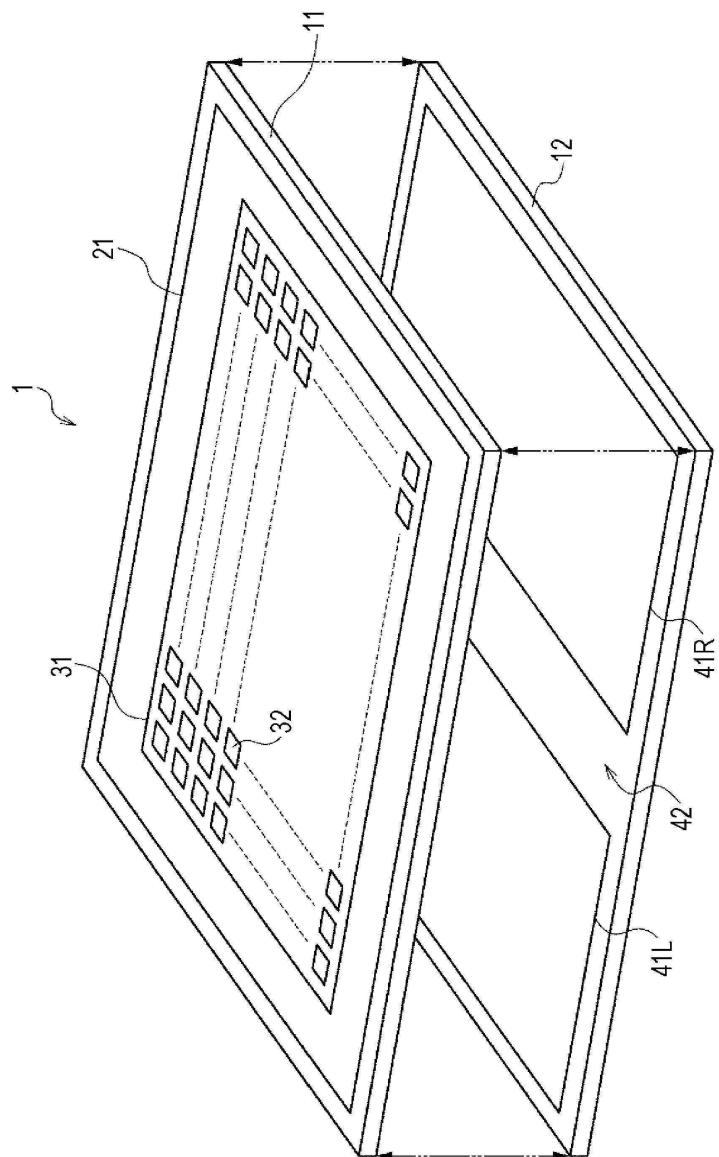
682, 683 : 층간 절연막

701 : 콤상 장치

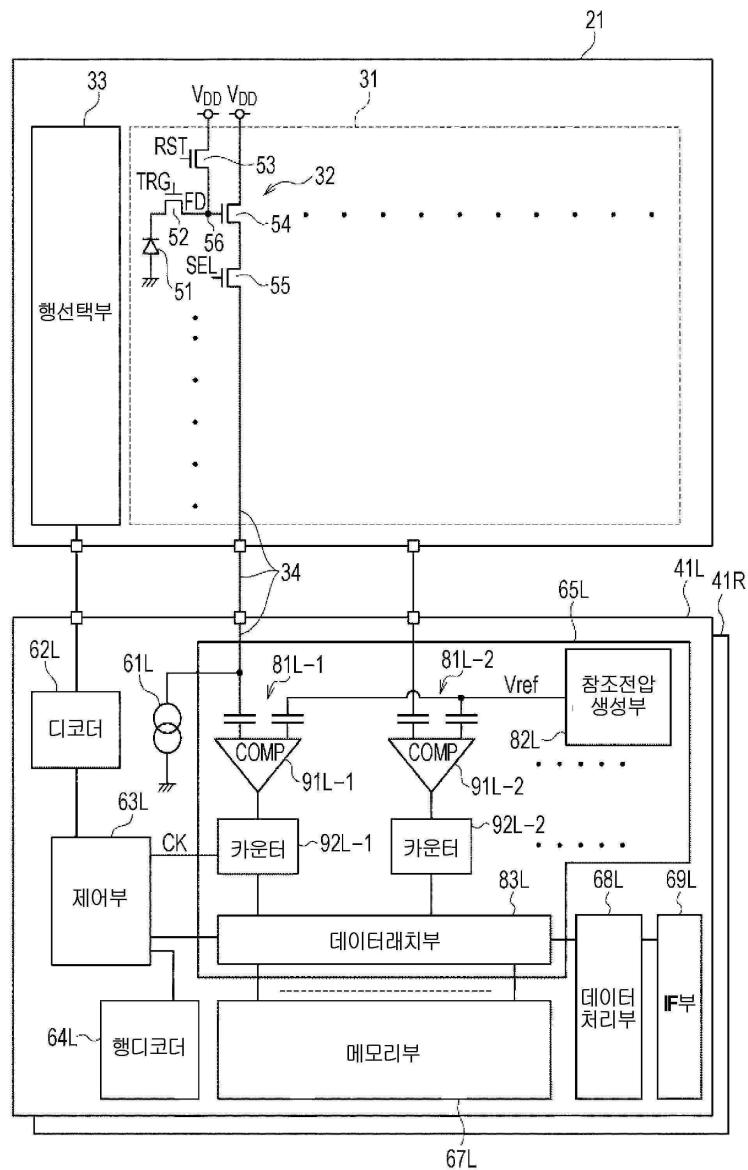
712 : 콤상 소자

### 도면

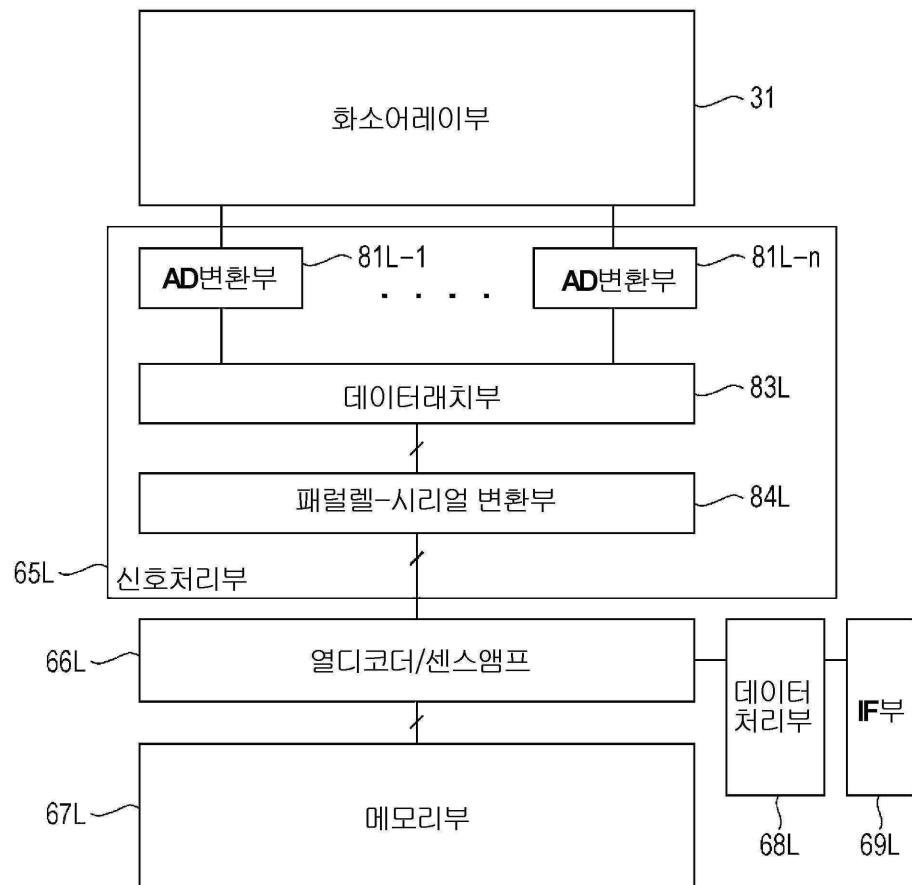
#### 도면1



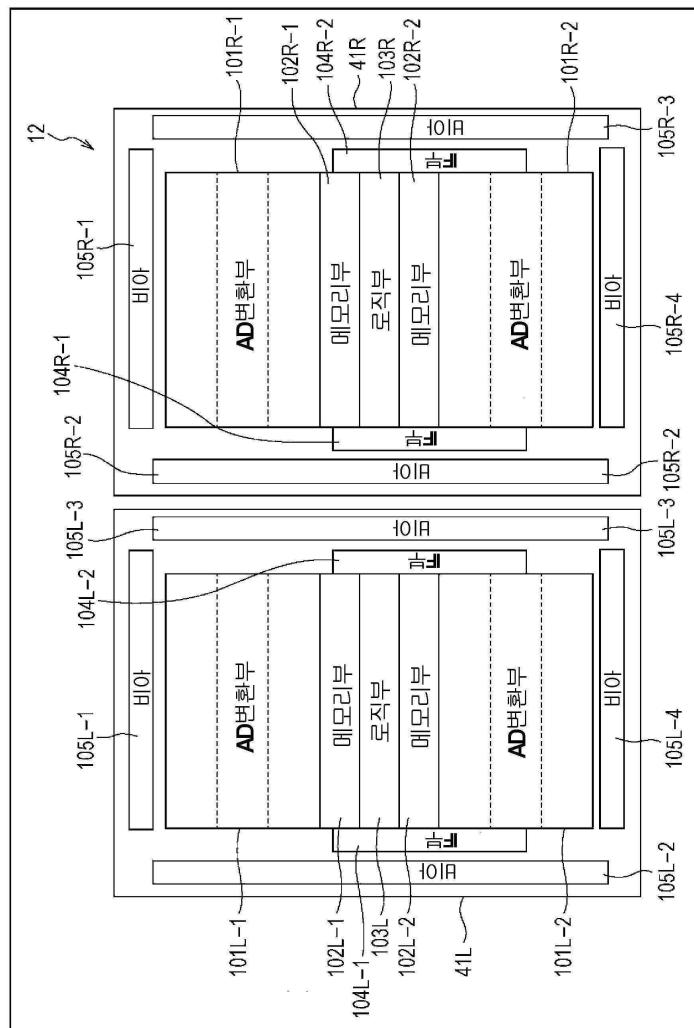
## 도면2



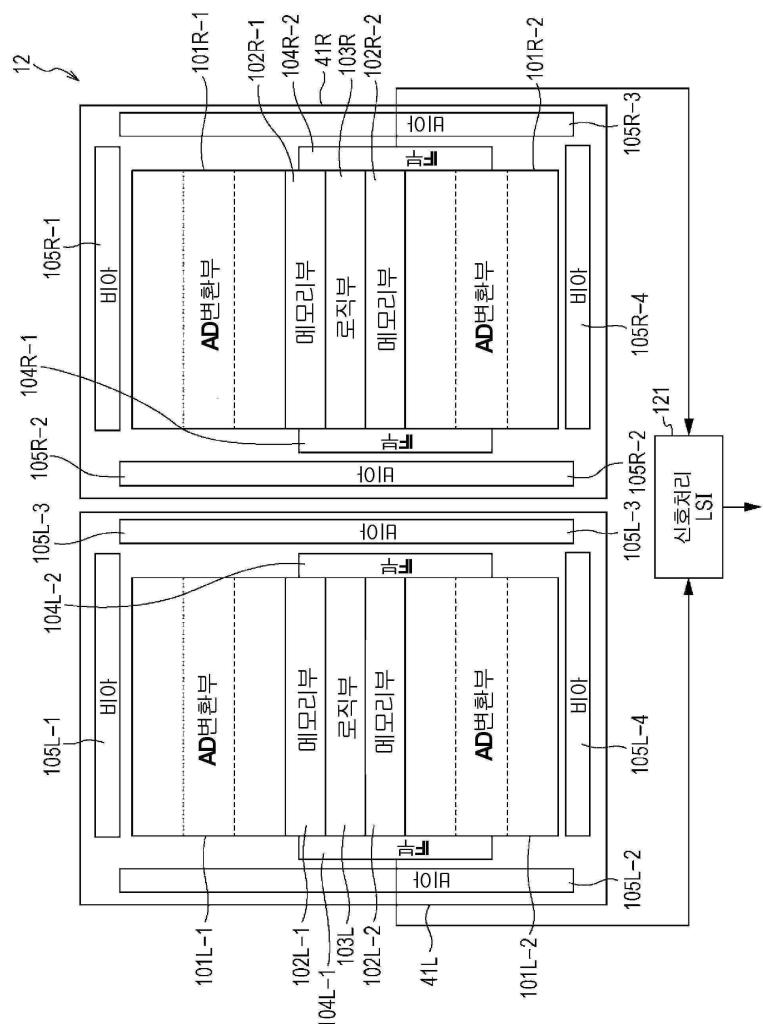
도면3



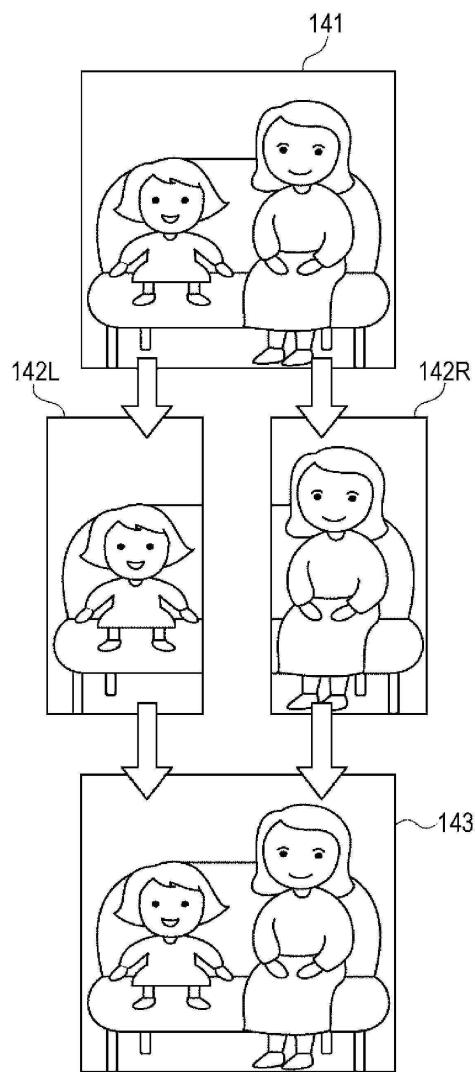
## 도면4



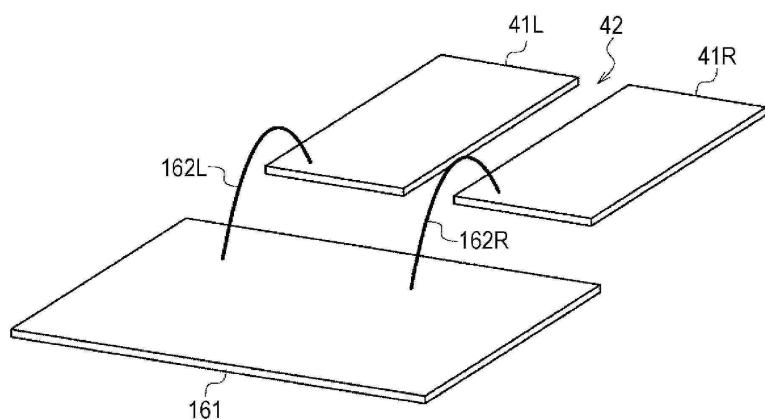
## 도면5



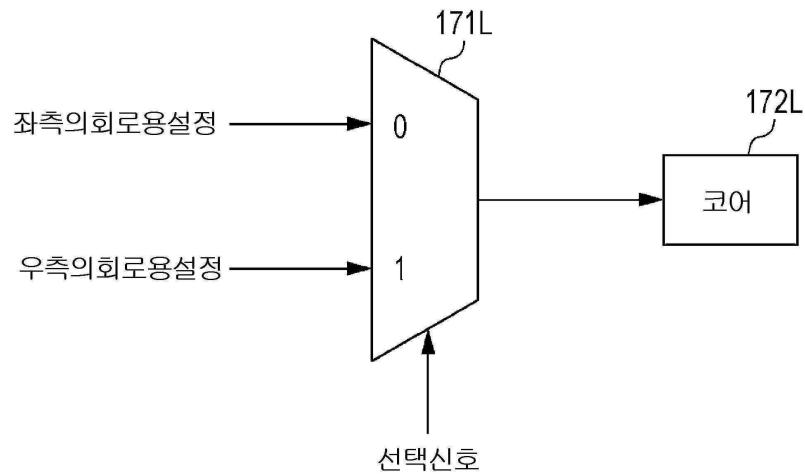
도면6



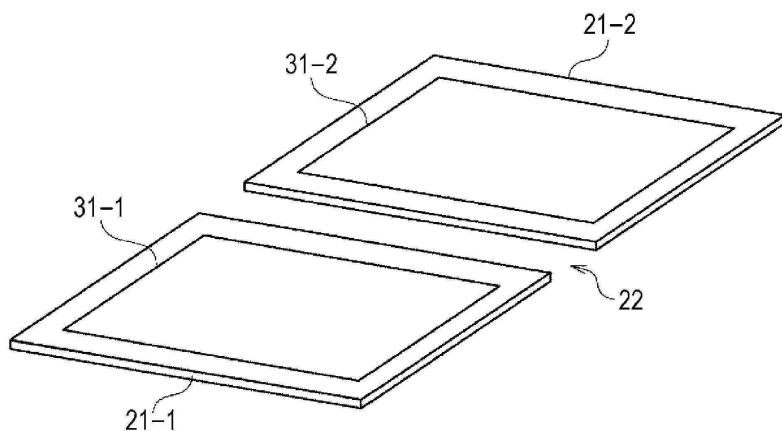
도면7



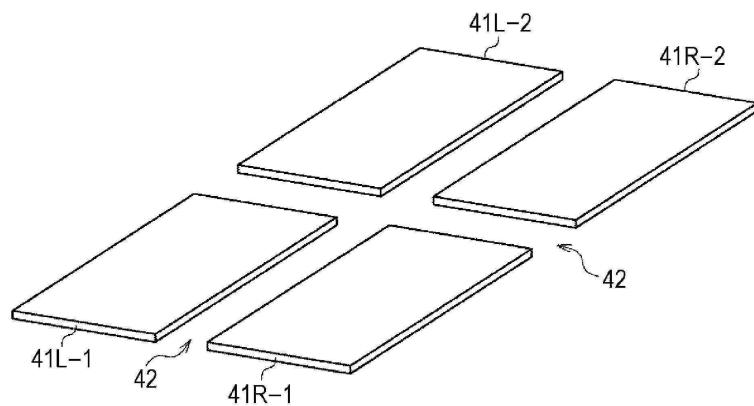
도면8



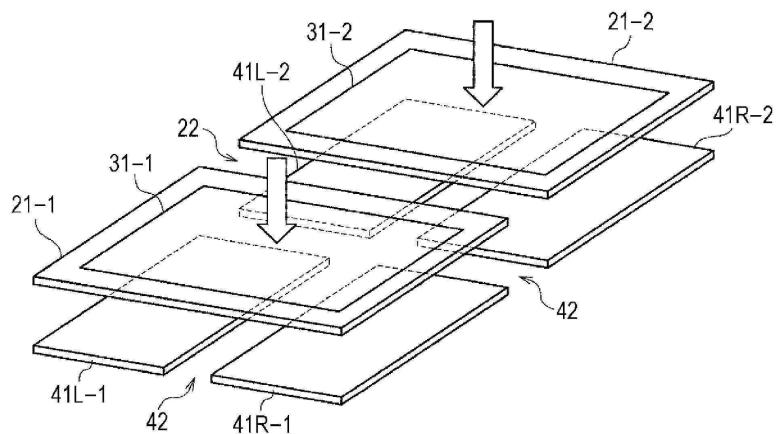
도면9



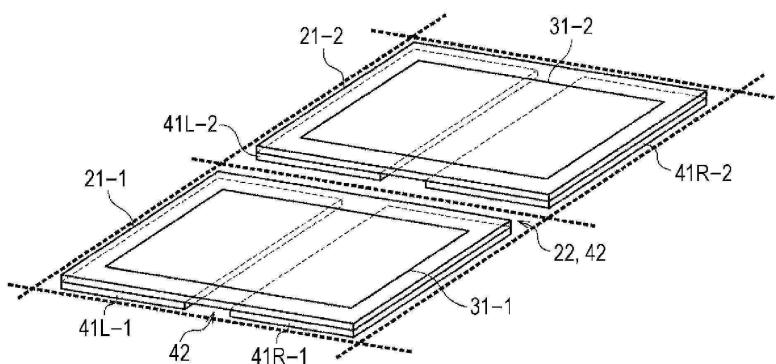
도면10



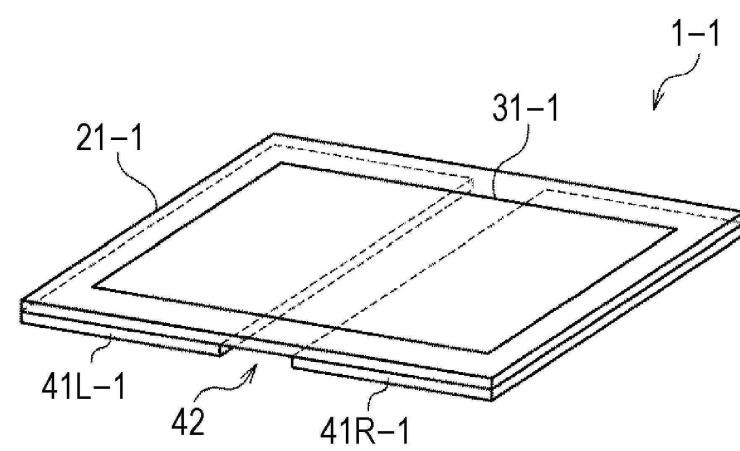
도면11



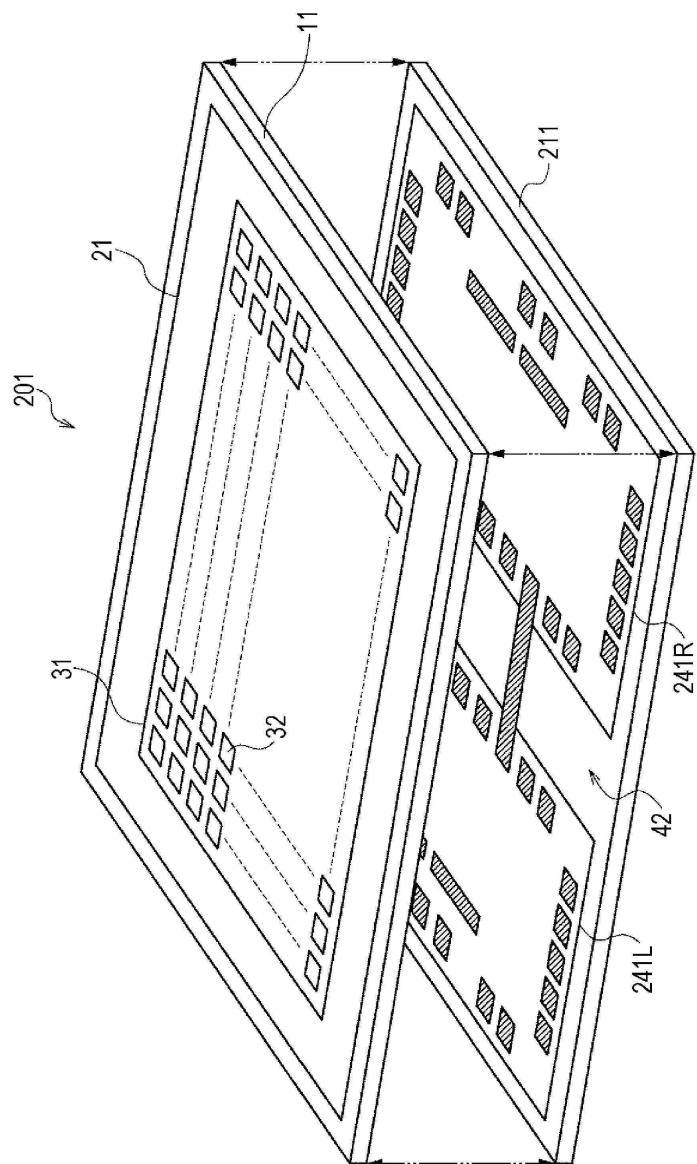
도면12



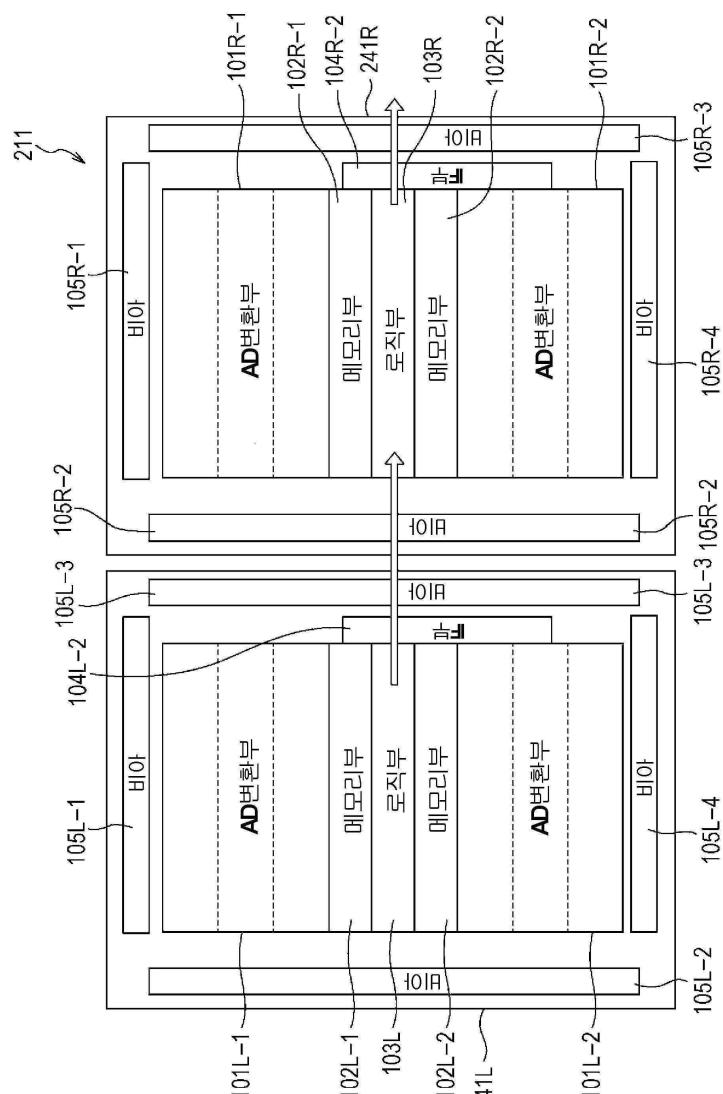
도면13



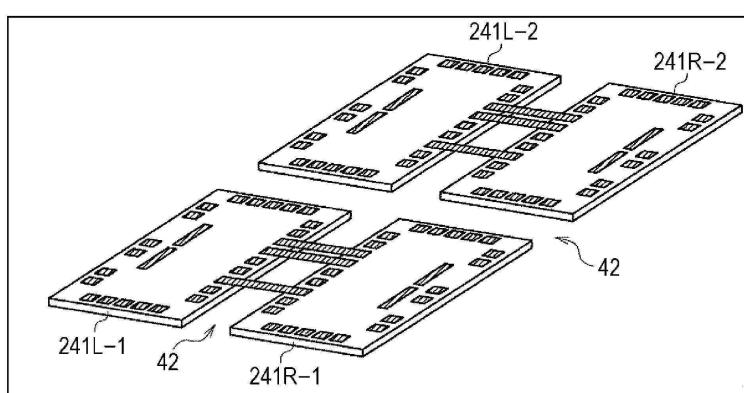
도면 14



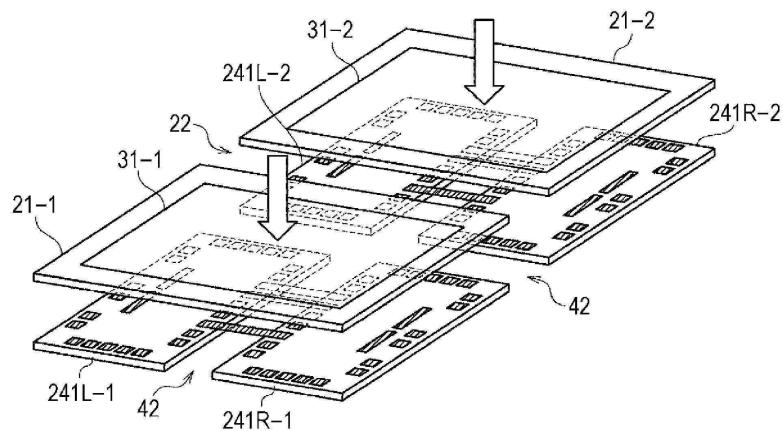
도면15



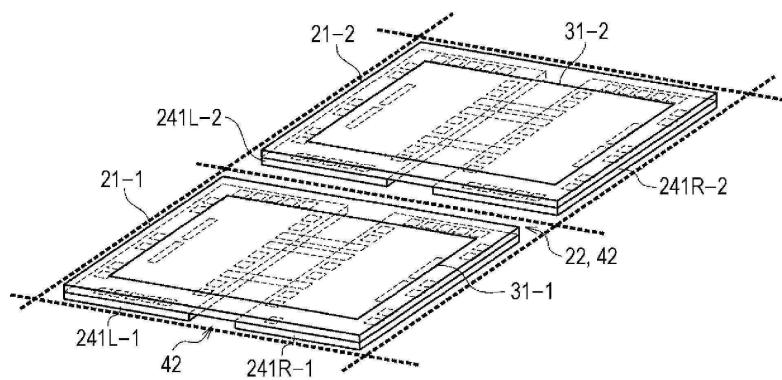
도면16



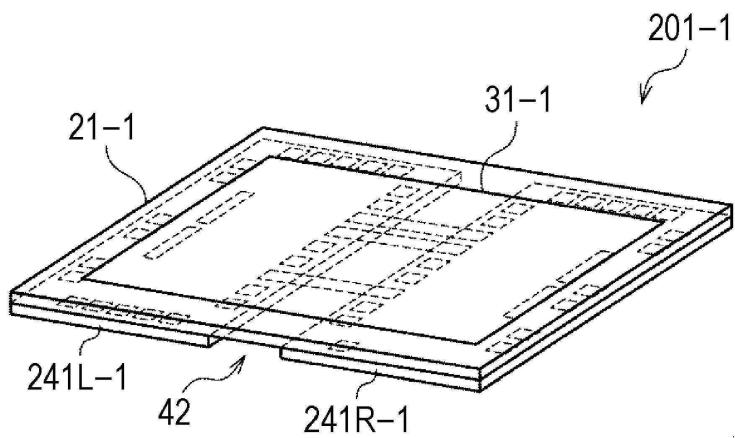
도면17



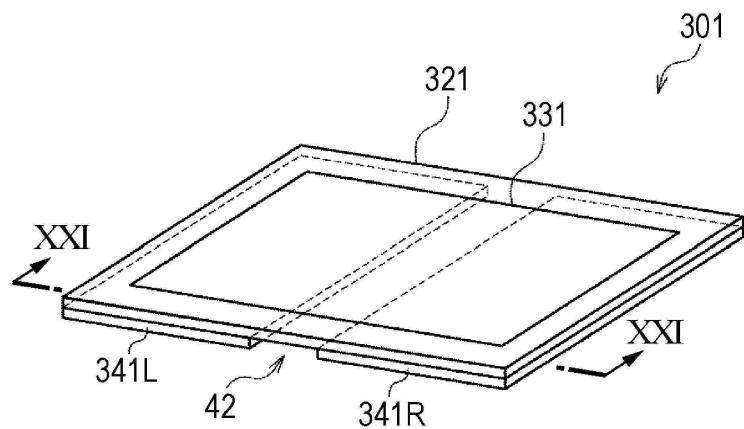
도면18



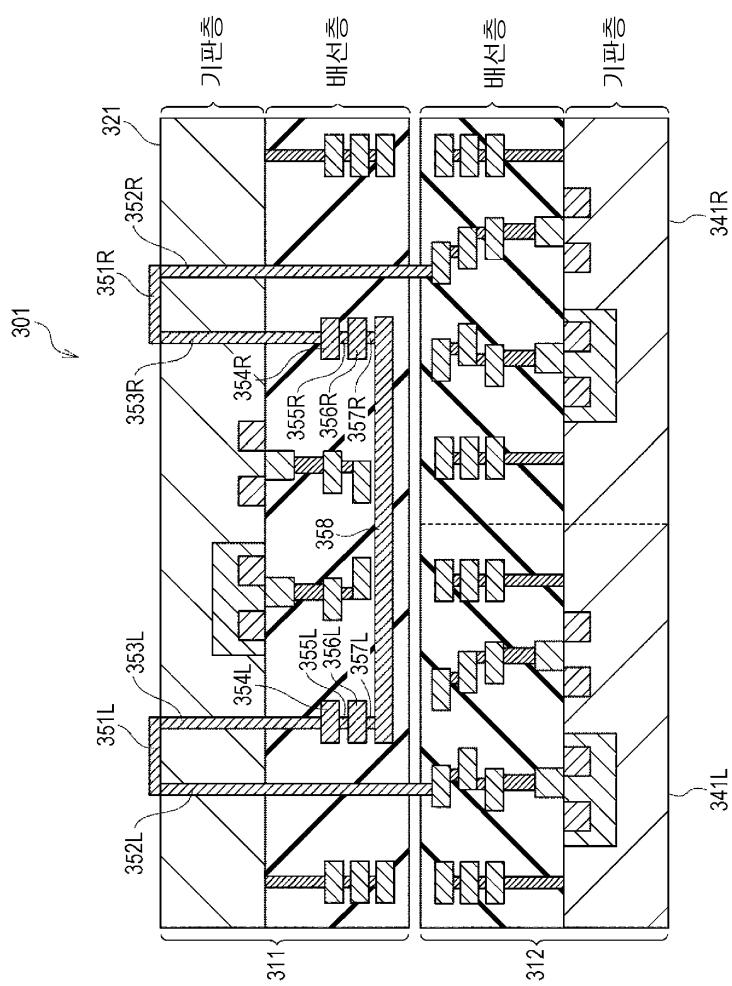
도면19



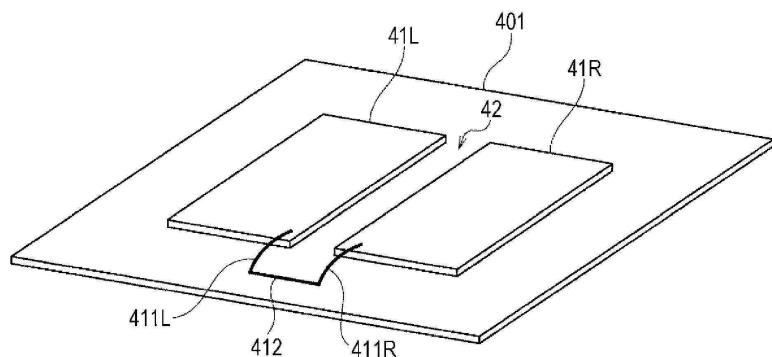
도면20



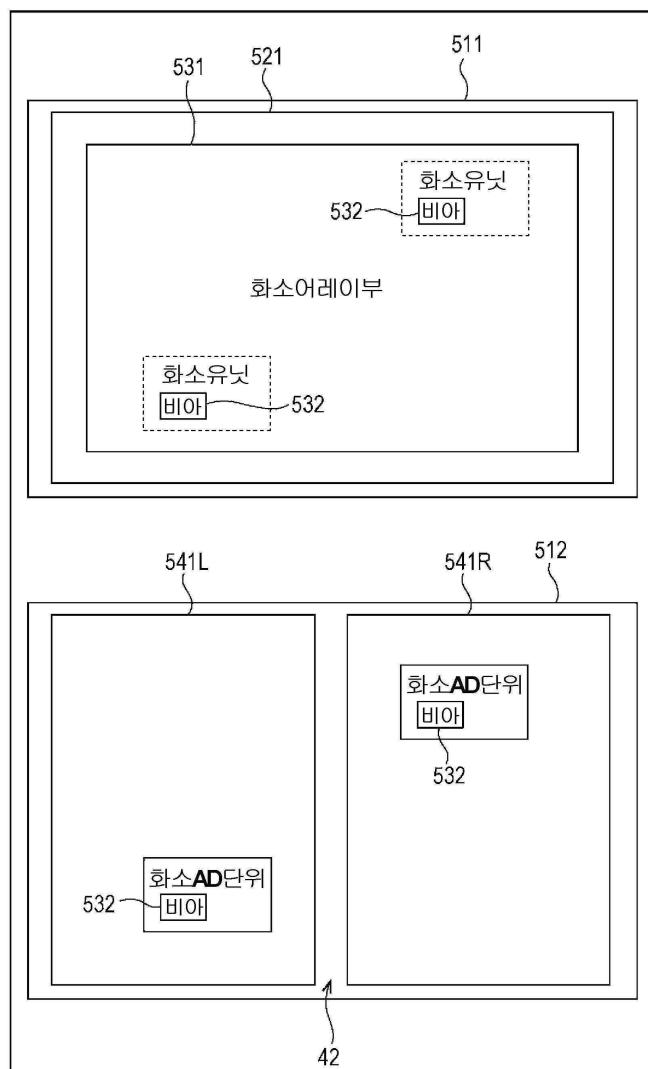
도면21



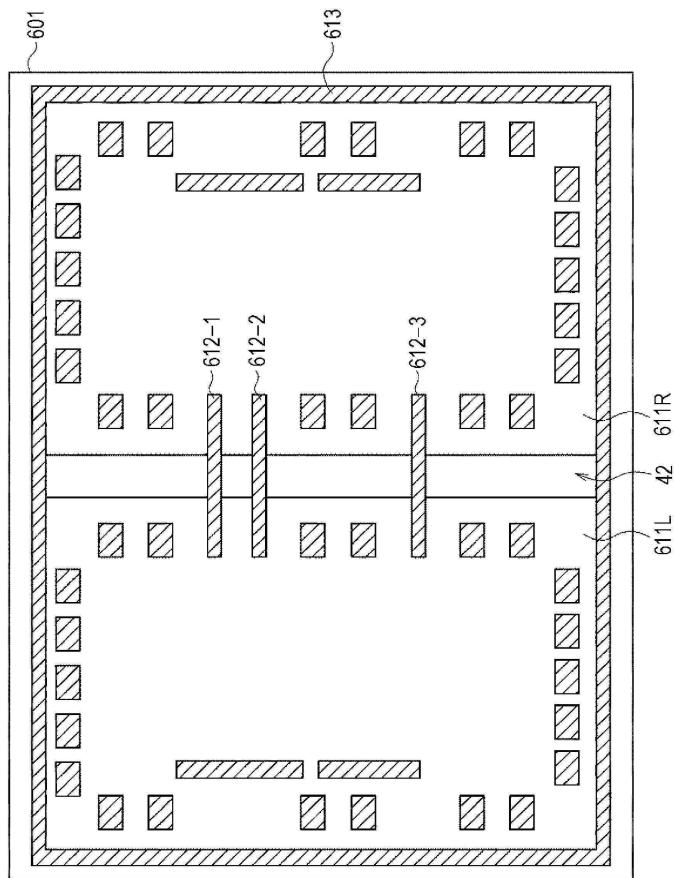
도면22



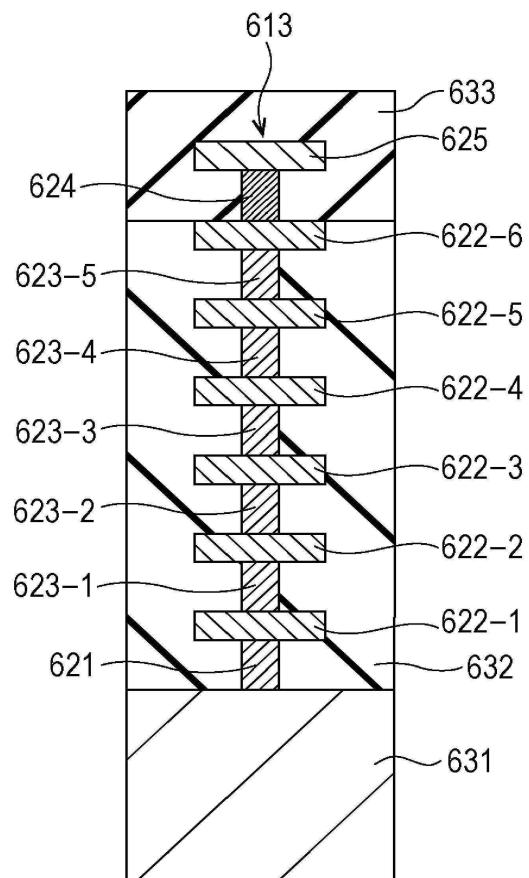
도면23



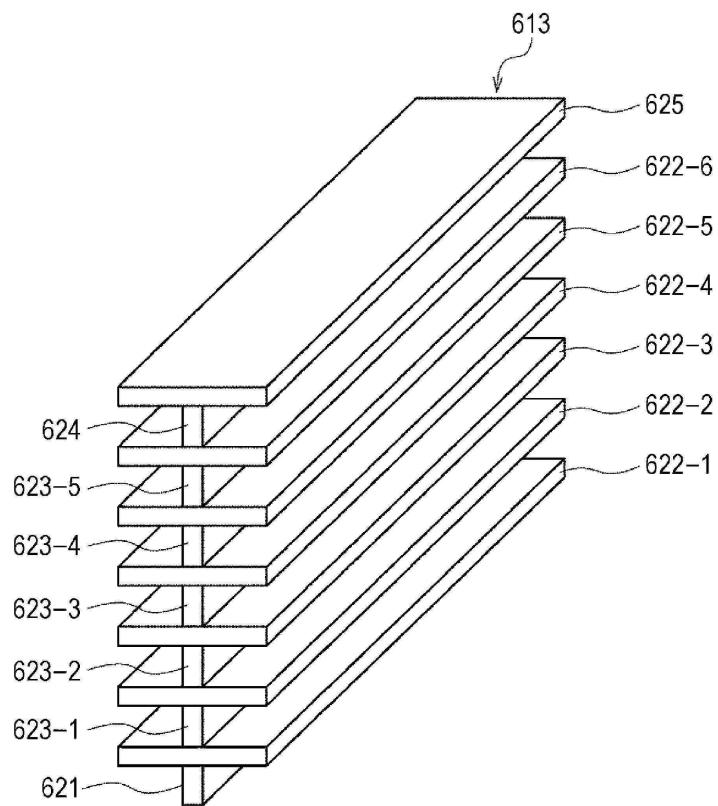
도면24



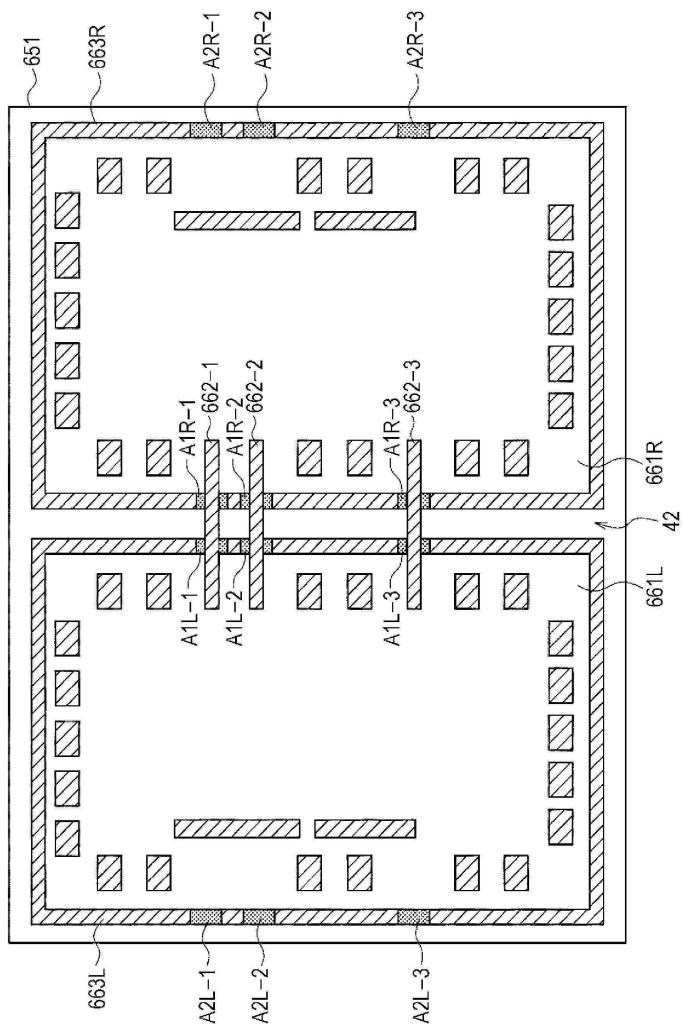
도면25



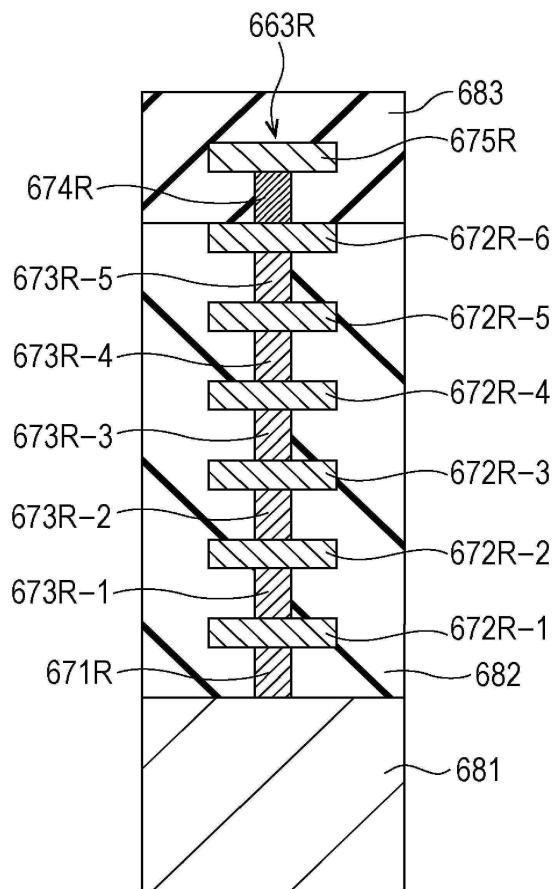
도면26



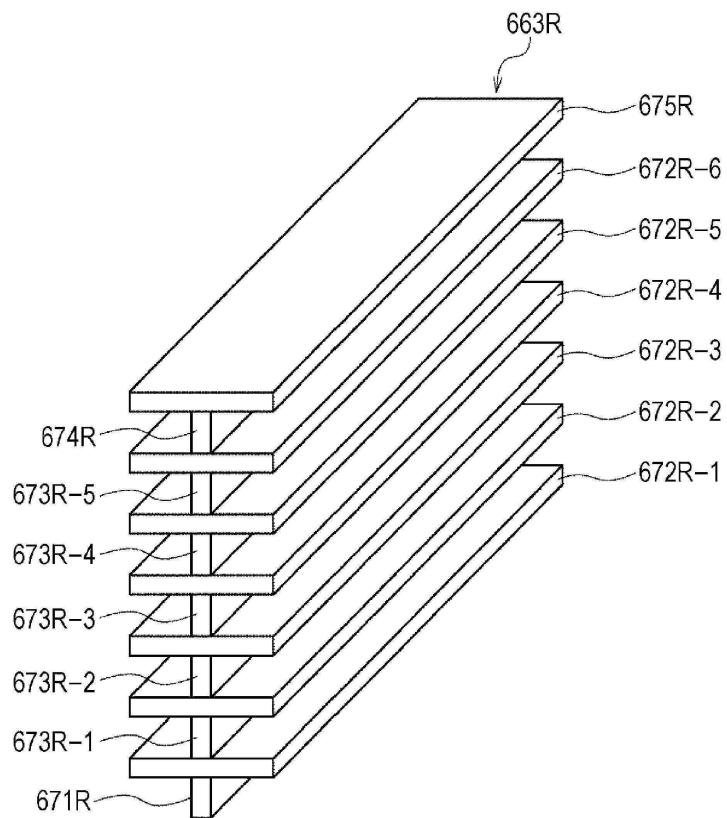
도면27



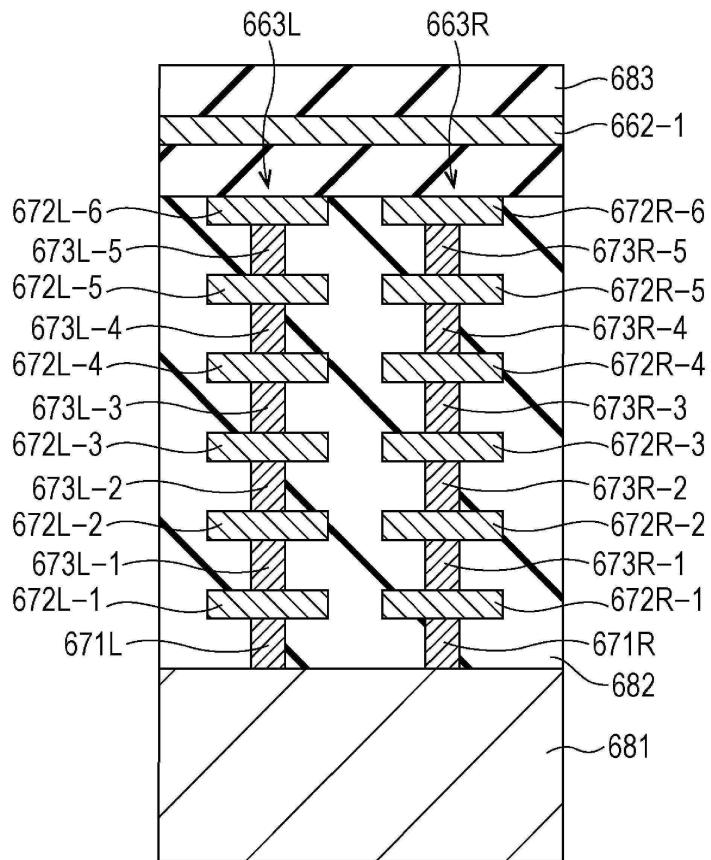
도면28



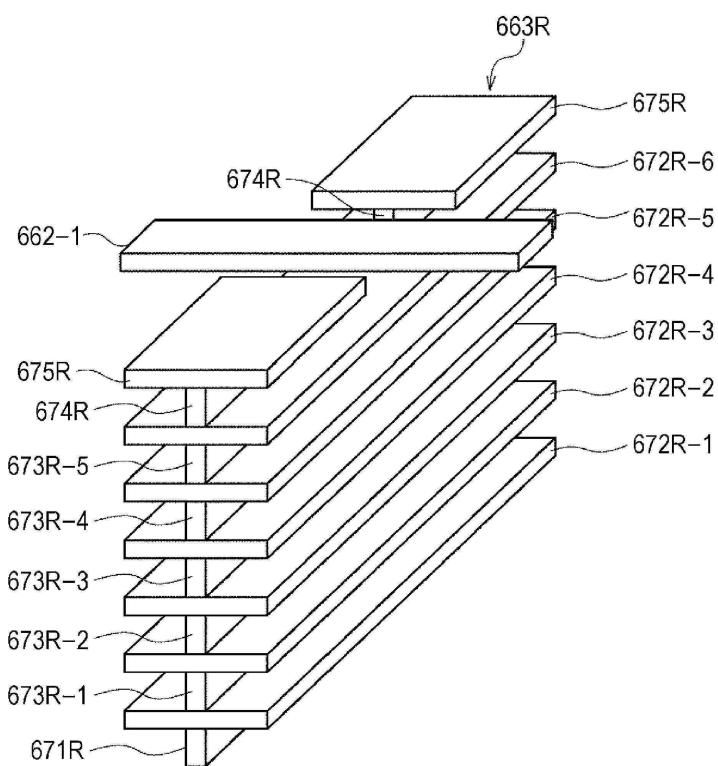
도면29



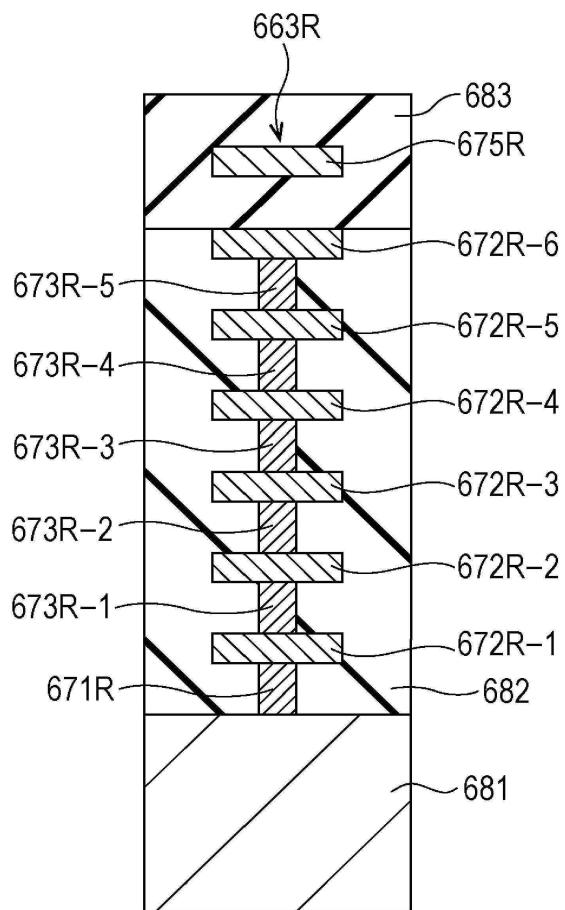
도면30



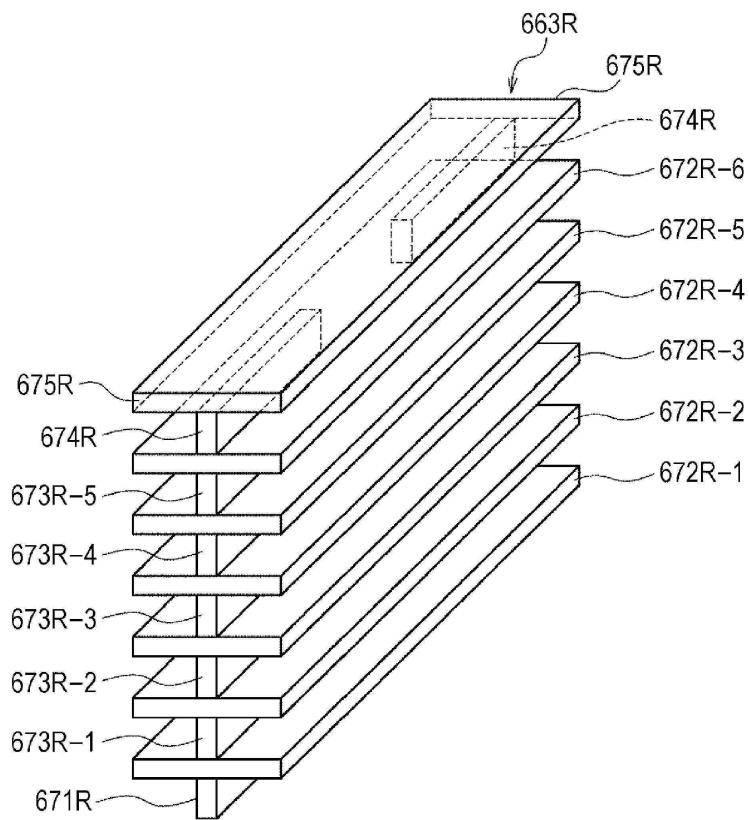
도면31



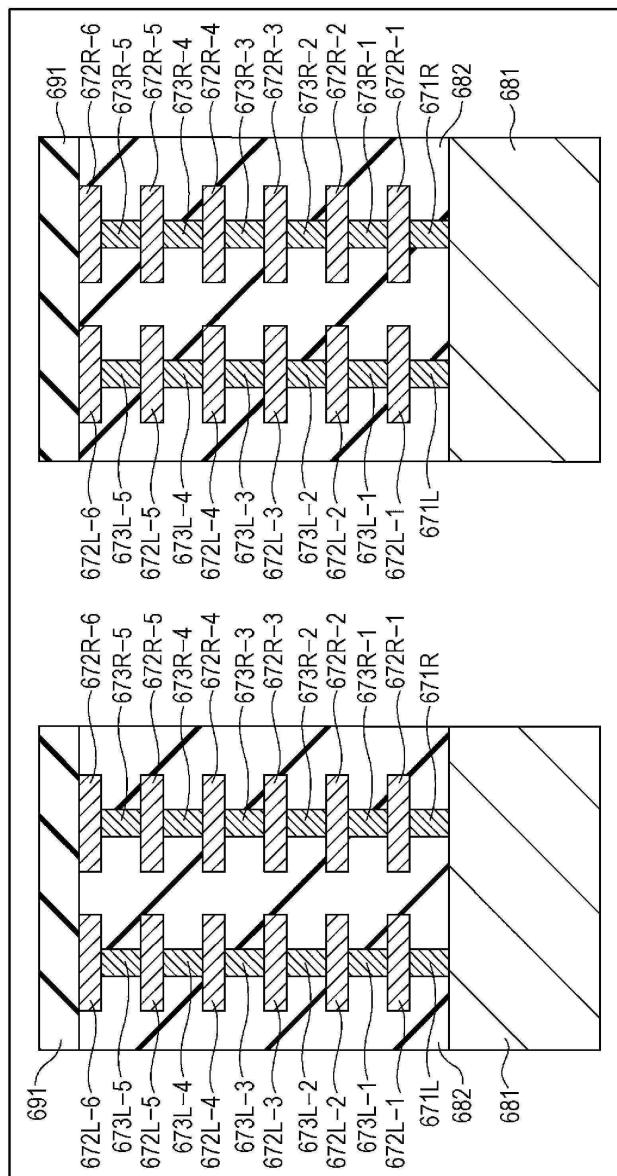
도면32



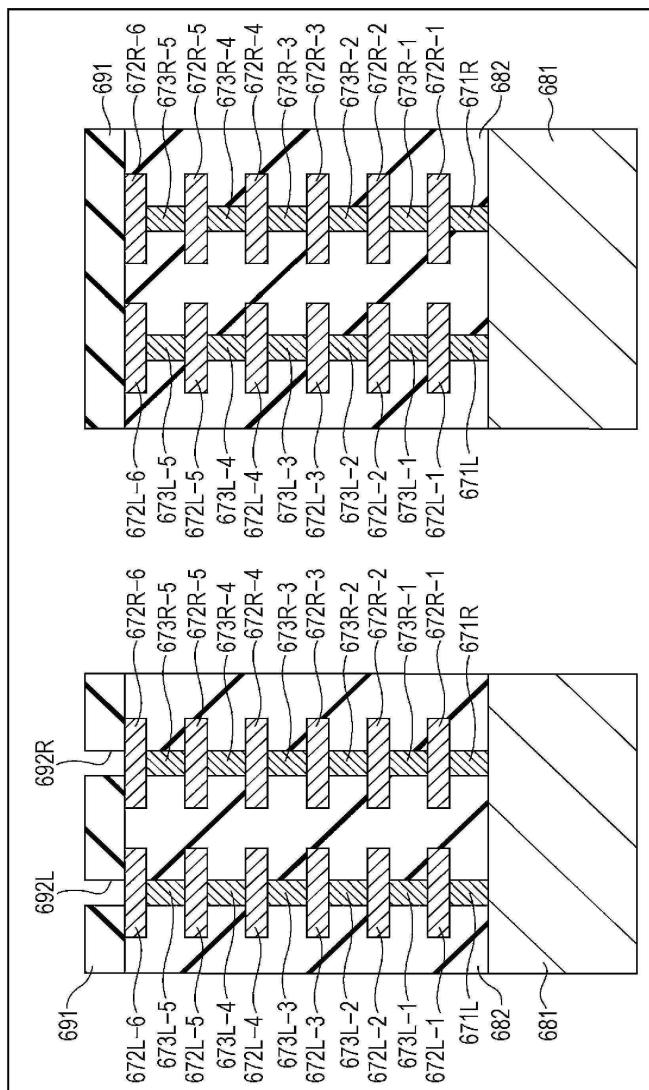
도면33



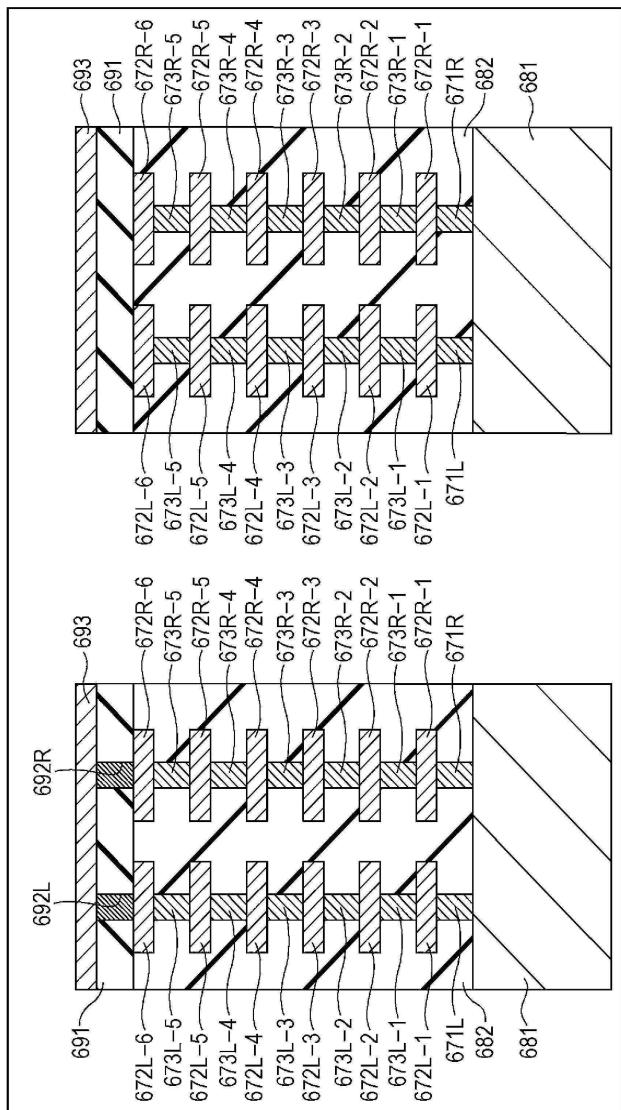
도면34



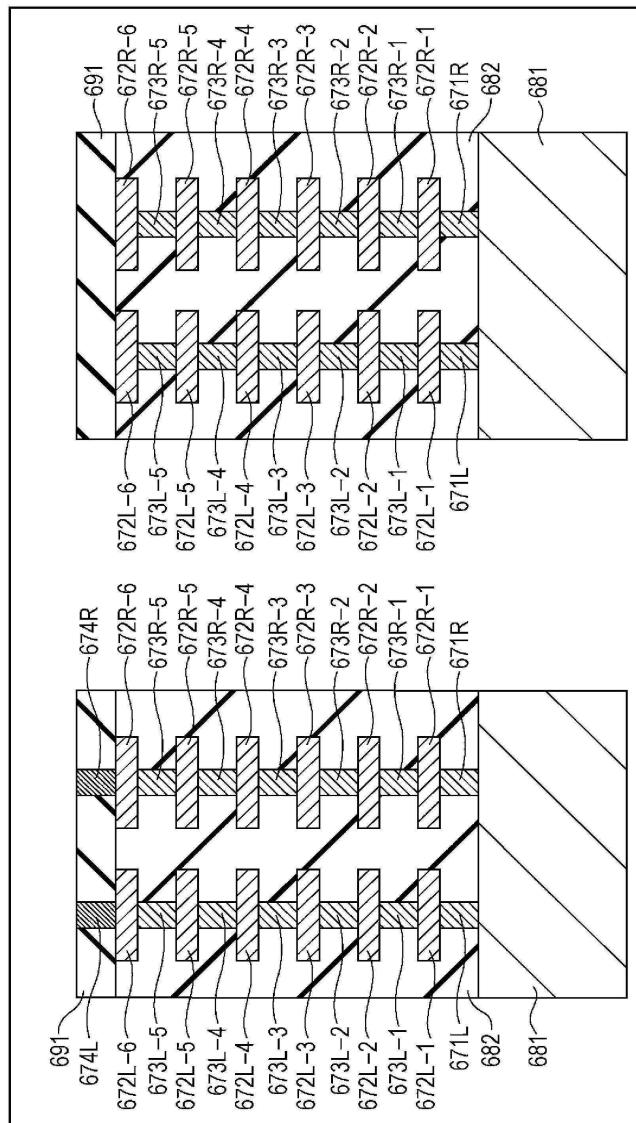
도면35



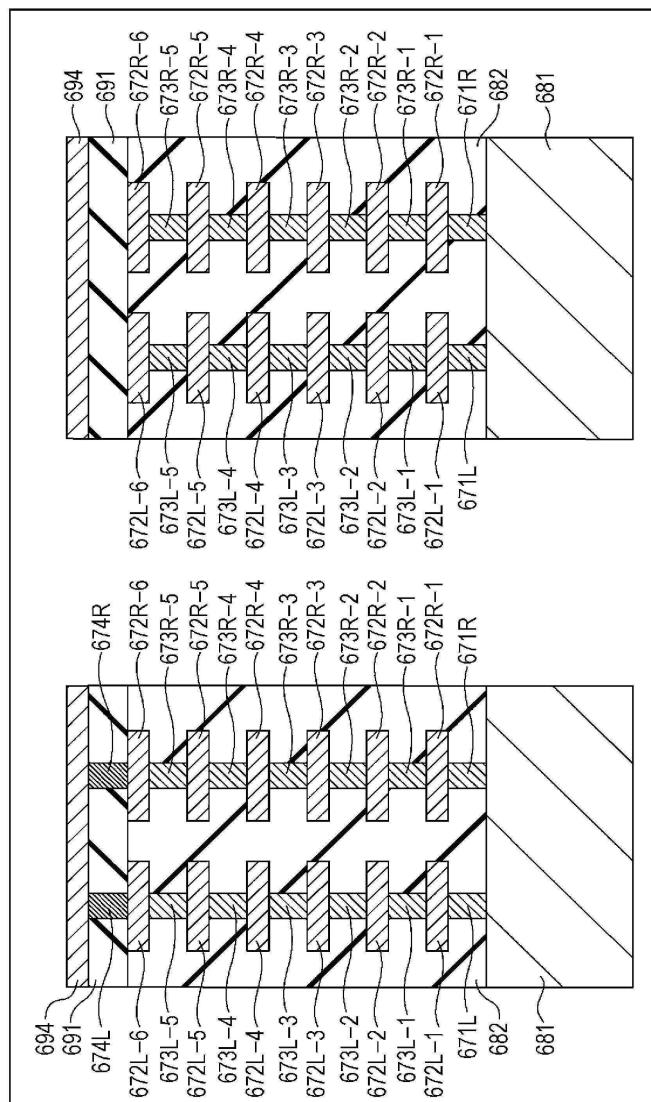
## 도면36



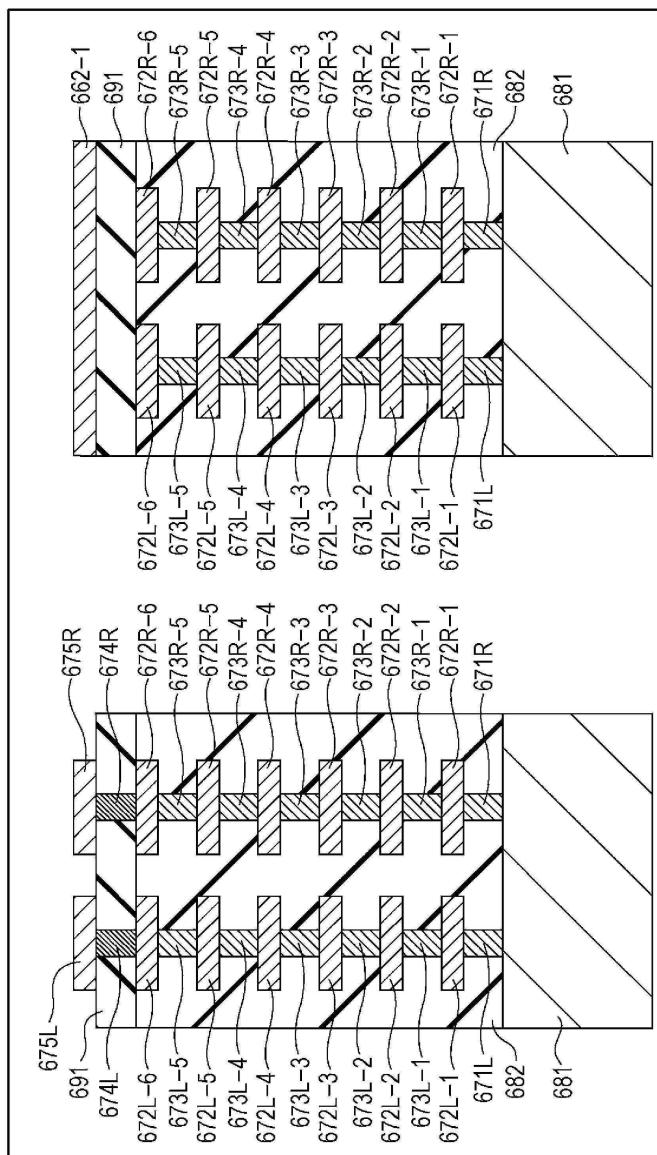
도면37



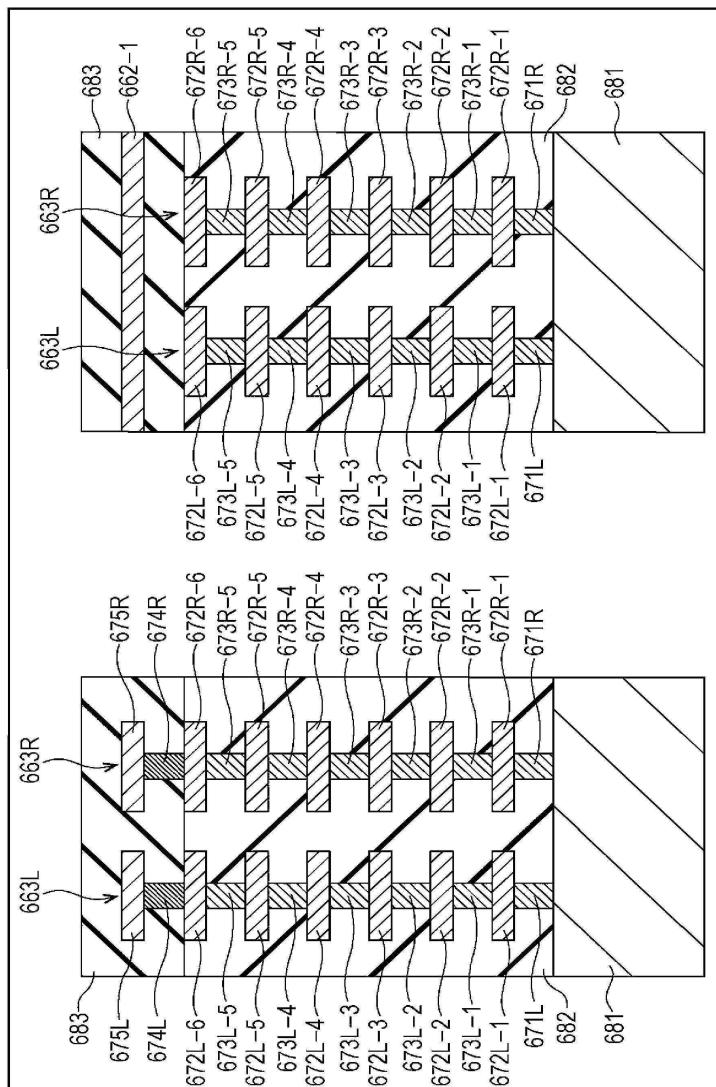
도면38



도면39



도면40



도면41

