(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0078513
(43) 공개일자 2025년06월02일

(51) 국제특허분류(Int. Cl.)
C23C 14/04 (2006.01) *C23C 14/12* (2006.01)
C23C 16/24 (2006.01) *H10K 50/10* (2023.01)
H10K 71/16 (2023.01)
(52) CPC특허분류
C23C 14/042 (2013.01)
C23C 14/12 (2013.01)
(21) 출원번호 10-2025-7014032
(22) 출원일자(국제) 2024년08월08일
심사청구일자 2025년04월28일
(85) 번역문제출일자 2025년04월28일
(86) 국제출원번호 PCT/JP2024/028534
(87) 국제공개번호 WO 2025/033511
국제공개일자 2025년02월13일
(30) 우선권주장
JP-P-2023-130556 2023년08월10일 일본(JP)

(71) 출원인
도판 홀딩스 가부시키가이샤
일본 도쿄도 다이토구 다이토 1쵸메 5반 1고
(72) 발명자
사노 아오이
일본 1100016 도쿄도 다이토구 다이토 1쵸메 5반 1고 도판 홀딩스 가부시키가이샤 내
우스이 가즈마
일본 1100016 도쿄도 다이토구 다이토 1쵸메 5반 1고 도판 홀딩스 가부시키가이샤 내
(뒷면에 계속)
(74) 대리인
한상욱, 이준, 박충범

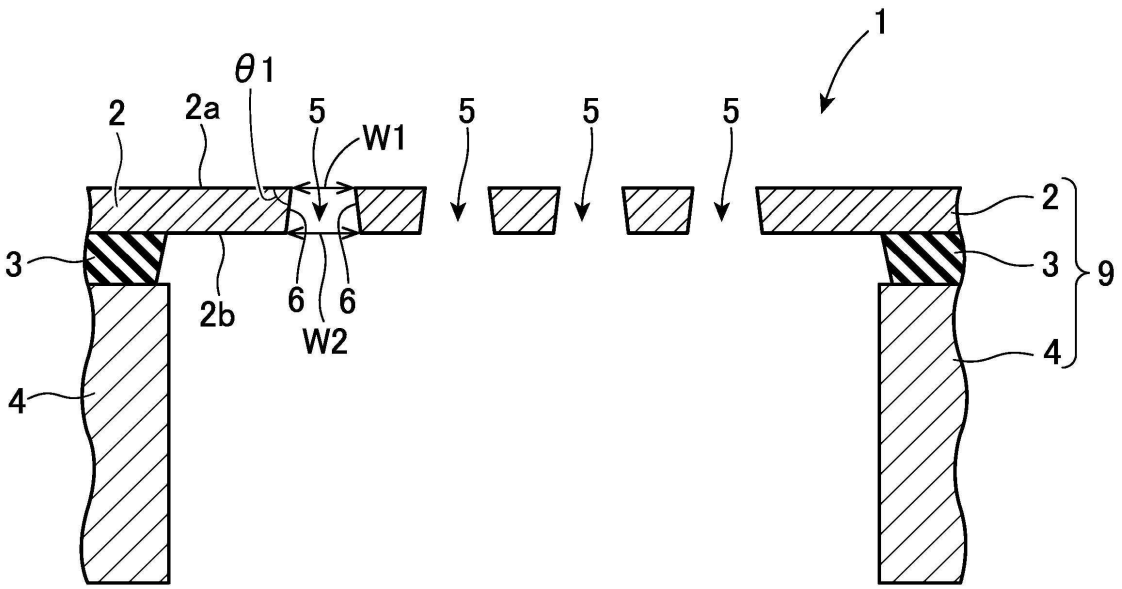
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **증착 마스크, 및 전자 디바이스의 제조 방법**

(57) 요 약

우수한 패턴 치수를 갖는 증착막을 성막할 수 있고, 또한 인접 화소에서의 상호 영향을 억제할 수 있는 증착 마스크, 및 해당 증착 마스크를 사용한 전자 디바이스의 제조 방법을 제공하는 것을 목적으로 한다. 본 발명의 증착 마스크는 피증착 기판과 증착원 사이에 배치하고, 개구를 통하여, 상기 증착원으로부터의 증착 재료를 상기 비증착 기판의 표면에 증착하기 위한 증착 마스크이며, 상기 피증착 기판측을 향하는 제1 면과, 상기 제1 면과는 반대측에 위치하여 증착원측을 향하는 제2 면을 갖고, 상기 제1 면과 상기 제2 면 사이를 관통하는 복수의 개구가 형성되어 있고, 상기 개구의 측벽면은, 상기 제2 면측으로부터 상기 제1 면측을 향하여 개구 폭이 좁아지도록 경사져 있고, 상기 제1 면측에서 규정되는 상기 개구 폭은, 3㎛보다 크고 15㎛보다 작은 것을 특징으로 한다.

대 표 도 - 도2



(52) CPC특허분류
C23C 16/24 (2013.01)
H10K 50/10 (2023.02)
H10K 71/166 (2023.02)
(72) 발명자
미치 히로유키
일본 1100016 도쿄도 다이토구 다이토 1쵸메 5반 1고 도판 홀딩스 가부시키가이샤 내
모테기 료마
일본 1100016 도쿄도 다이토구 다이토 1쵸메 5반 1고 도판 홀딩스 가부시키가이샤 내

명 세 서

청구범위

청구항 1

피증착 기판과 증착원 사이에 배치하고, 개구를 통하여, 상기 증착원으로부터의 증착 재료를 상기 비증착 기판의 표면에 증착하기 위한 증착 마스크이며,

상기 피증착 기판측을 향하는 제1 면과, 상기 제1 면과는 반대측에 위치하여 증착원측을 향하는 제2 면을 갖고,
상기 제1 면과 상기 제2 면 사이를 관통하는 복수의 개구가 형성되어 있고,

상기 개구의 측벽면은, 상기 제2 면측으로부터 상기 제1 면측을 향하여 개구 폭이 좁아지도록 경사져 있고,

상기 제1 면측에서 규정되는 상기 개구 폭은, 3㎛보다 크고 15㎛보다 작은 것을 특징으로 하는, 증착 마스크.

청구항 2

제1항에 있어서,

상기 개구 폭은, 4㎛ 이상 10㎛ 이하인 것을 특징으로 하는, 증착 마스크.

청구항 3

제1항에 있어서,

상기 개구 폭의 변동률 σ는 0.09㎛보다 작은 것을 특징으로 하는, 증착 마스크.

청구항 4

제3항에 있어서,

상기 개구 폭의 변동률 σ는 0.01㎛ 이상 0.08㎛ 이하인 것을 특징으로 하는, 증착 마스크.

청구항 5

제1항에 있어서,

상기 증착 마스크는, 지지 기판에 상기 개구를 갖는 멤브레인이 지지된 구성, 반도체 기판의 단층 구조, 혹은 SOI 기판으로 구성되는 것을 특징으로 하는, 증착 마스크.

청구항 6

제5항에 있어서,

상기 멤브레인이, SiN으로 이루어지는 것을 특징으로 하는, 증착 마스크.

청구항 7

제1항에 있어서,

상기 증착 마스크는, SOI 기판으로 구성되고, 상기 피증착 기판과 대향하는 측, 혹은 증착원과 대향하는 측, 또는 상기 피증착 기판과 대향하는 측 및 상기 증착원과 대향하는 측에, SiN층이 형성되는 것을 특징으로 하는, 증착 마스크.

청구항 8

피증착 기판과, 증착원 사이에, 제1항에 기재된 증착 마스크를, 상기 제1 면이 상기 피증착 기판과 대향하고, 상기 제2 면이 상기 증착원과 대향하도록 배치하고,

증착 재료를, 상기 개구를 통하여, 상기 피증착 기판의 표면에 증착하는 것을 특징으로 하는, 전자 디바이스의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 증착 마스크, 및 전자 디바이스의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 예를 들어, 유기 EL 디스플레이 제작에서의 RGB 3색의 구분 도포 등에 사용하는 증착 마스크가 알려져 있다.

[0003] 특허문헌 1, 2에 도시하는 바와 같이, 증착 마스크에는 복수의 개구가 마련되어 있고, 증착 재료가, 개구를 통하여, 피증착 기판에 성막된다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 제2022-184708호 공보

(특허문헌 0002) 일본 특허 공개 제2008-189990호 공보

발명의 내용

해결하려는 과제

[0005] 증착 마스크의 개구 폭의 변동에 의해, 피증착 기판에 성막되는 증착막에 있어서, 인접 화소의 사이에서 상호 영향을 미치는 경우가 있고, 예를 들어 혼색 리스크가 높아질 가능성이 있다. 이 때문에, 증착막의 패턴 치수를 향상시킴과 함께, 인접 화소간에서의 상호 영향을 억제할 수 있는 증착 마스크가 필요해졌다.

[0006] 본 발명은, 우수한 패턴 치수를 갖는 증착막을 성막할 수 있고, 또한 인접 화소간에 있어서의 상호 영향을 억제할 수 있는 증착 마스크, 및 해당 증착 마스크를 사용한 전자 디바이스의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 실시 형태의 증착 마스크는, 피증착 기판과 증착원 사이에 배치하고, 개구를 통하여, 상기 증착원으로부터의 증착 재료를 상기 비증착 기판의 표면에 증착하기 위한 증착 마스크이며, 상기 피증착 기판측에 향하는 제1 면과, 상기 제1 면과는 반대측에 위치하여 증착원측을 향하는 제2 면을 갖고, 상기 제1 면과 상기 제2 면 사이를 관통하는 복수의 개구가 형성되어 있고, 상기 개구의 측벽면은, 상기 제2 면측으로부터 상기 제1 면측을 향하여 개구 폭이 좁아지도록 경사져 있고, 상기 제1 면측에서 규정되는 상기 개구 폭은, 3㎛보다 크고 15㎛보다 작은 것을 특징으로 한다.

발명의 효과

[0008] 본 발명에 따르면, 개구 폭과 변동률 σ를 제어함으로써, 우수한 패턴 치수를 가지면서, 인접 화소간에서의 혼색 리스크 등이 억제된 증착막을 안정적으로 형성할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 실시 형태의 증착 마스크의 일례를 도시하는 단면도이다.

도 2는 도 1에 도시하는 증착 마스크의 일부를 확대하여 나타낸 단면도이다.

도 3은 본 실시 형태의 증착 마스크의 개구의 일부를 확대하여 나타낸 부분 확대 단면도이다.

도 4는 본 실시 형태의 증착 마스크를 사용한 전자 디바이스의 제조 방법을 도시하는 단면도이다.

도 5는 피증착 기판에 성막된 인접 화소의 이미지도이다.

도 6은 본 실시 형태의 증착 마스크의 제조 방법의 일례를 도시하는 공정도이다.

도 7은 본 실시 형태의 증착 마스크의 제조 방법의 일례를 도시하는 공정도이다.

도 8은 다른 실시 형태의 증착 마스크의 일례를 도시하는 단면도이다.

도 9는 다른 실시 형태의 증착 마스크의 일례를 도시하는 단면도이다.

도 10은 다른 실시 형태의 증착 마스크의 일례를 도시하는 단면도이다.

도 11은 다른 실시 형태의 증착 마스크의 일례를 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 실시 형태에 대해서 도면을 참조하여 설명한다. 단, 도면은 모식적 또는 개념적인 것이며, 각 도면의 치수 및 비율 등은 반드시 현실의 것과 동일하다고는 할 수 없다. 또한, 도면의 상호간에 동일한 부분을 나타내는 경우에 있어서도, 서로의 치수의 관계나 비율이 다르게 표현되는 경우도 있다. 특히, 이하에 나타내는 실시 형태는, 본 발명의 기술 사상을 구체화하기 위한 구조를 예시한 것으로서, 본 발명의 기술 사상을 특정하는 것은 아니다. 또한, 이하의 설명에 있어서, 동일한 기능 및 구성을 갖는 요소에 대해서는 동일 부호를 붙여, 중복되는 설명은 생략한다. 또한, 수치 범위의 하한값 및 상한값에 대해서는, 오차 범위를 포함하는 것으로 한다.

[0011] <본 발명에 이르는 경위>

[0012] 가상 현실/확장 현실(VR/AR) 기술 및 VR/AR 관련 시장이 급속하게 성장하고 있다. 그리고, 성장의 진행에 수반하여, VR/AR 분야에 적합한 디스플레이 패널의 소형화, 화면 해상도(PPI: Pixels Per Inch)의 고화소화, 고속 응답화 및 고색역화가 진행되고 있어, 기술을 진보시키는 데 있어서, 실리콘 베이스의 유기 발광 다이오드(OLED) 마이크로 디스플레이 패널의 보급이 현저해지고 있다.

[0013] 실리콘 베이스의 OLED 마이크로 디스플레이 기술은, 가일층의 소형화나 높은 PPI가 기대된다. 그리고, 고부가가치 산업으로서의 AR이나 VR에 효과적으로 구비하기 위해서는, 예를 들어 1000ppi 이상의 초고해상도의 디스플레이를 구현하는 것이 기대되고 있다. 그것을 수용하여, OLED 마이크로 디스플레이의 제조 프로세스에서 사용하는 RGB 구분 도포용의 증착 마스크에 대한 니즈가 높아지고 있다.

[0014] 증착 마스크는, 증착막에 대응하는 복수의 개구를 구비하고 있고, 증착막의 패턴 치수를 향상시키기 위해, 증착 마스크의 개구 정밀도가 중요해진다.

[0015] 증착 마스크는 피증착 기판과, 증착원 사이에 배치되고, 증착 재료는 증착원으로부터, 증착 마스크의 개구를 통해, 피증착 기판의 표면에 도달한다. 본 실시 형태에 있어서의 증착 마스크의 개구 폭은, 상기한 OLED 마이크로 디스플레이의 요구에 따르기 위해 협소화가 진행되고 있지만, 너무 작으면, 개구의 측벽면에의 증착 재료의 퇴적의 영향이 커지고, 개구 폭이 실제의 폭보다 좁아져, 패턴 치수가 우수한 증착막의 형성이 곤란해진다.

[0016] 한편, 개구 폭이 넓어지면, 개구 폭의 변동이 커지기 쉽다. 피증착 기판에 성막된 증착막은 발광 면적이 넓으면 변동의 영향은 작지만, 인접 화소와의 혼색 리스크가 높아진다. 혼색 리스크는 개구 폭의 변동률 σ의 절댓값으로 정해지기 때문에, 변동률 σ를 작게 하는 것이 필요하게 되었다.

[0017] 따라서, 본 발명자들은 예의 연구를 행한 결과, 개구 폭 및 변동률 σ에 착안하여, 우수한 패턴 치수를 가지면서, 인접 화소간의 상호 영향(예를 들어, 혼색 리스크)을 억제 가능하게 한 증착 마스크를 개발하기에 이르렀다.

[0018] <본 실시 형태에 있어서의 증착 마스크(1)의 개요 설명>

[0019] 도 1은 본 실시 형태에 있어서의 증착 마스크(1)의 단면도이다. 도 2는 도 1에 도시하는 증착 마스크의 일부를 확대하여 나타낸 단면도이다. 도 3은 본 실시 형태의 증착 마스크의 개구의 일부를 확대하여 나타낸 부분 확대 단면도이다. 도 4는 본 실시 형태의 증착 마스크를 사용한 전자 디바이스의 제조 방법을 도시하는 단면도이다.

[0020] 증착 마스크(1)는 반도체층(2)과, 절연층(3)과, 지지 기판(4)의 적층 구조이며, SOI(Silicon on Insulator) 기판(9)에 의해 구성되는 것이 적합하다.

[0021] 반도체층(2)은 실리콘 단결정층인 것이 바람직하고, 활성층이나 멤브레인이라고도 불린다. 반도체층(2)의 두께

를 한정하는 것은 아니지만, 1㎛ 내지 300㎛ 정도이다.

[0022] 도 1에 도시하는 바와 같이, 증착 마스크(1)는 복수의 개구 영역(15)과 개구 영역(15)의 주위에 위치하는 주위 영역(16)을 갖고, 주위 영역(16)에서는 반도체층(2)과, 절연층(3)과, 지지 기판(4)이 적층된 구조로 되어 있다. 한편, 개구 영역(15)에는 반도체층(2)만이 배치되어 있고, 즉 절연층(3) 및 지지 기판(4)은 제거되어 있고, 또한 각 개구 영역(15)에는 복수의 미소한 개구(5)가 형성되어 있다.

[0023] 도 2는 도 1에 도시하는 하나의 개구 영역(15) 부근을 확대하여 나타낸 것이다.

[0024] 도 2에 도시하는 바와 같이, 반도체층(2)은 두께 방향으로 대향하는 제1 면(2a)과 제2 면(2b)을 구비하고 있다. 제2 면(2b)측에, 절연층(3) 및 지지 기판(4)이 마련되어 있다.

[0025] 도 4에 도시하는 바와 같이, 제1 면(2a)은 피증착 기판(10)과 대향하는 표면이고, 제2 면(2b)은 증착원(11)과 대향하는 이면이다.

[0026] 도 2에 도시하는 바와 같이, 반도체층(2)에는, 제1 면(2a)과 제2 면(2b) 사이를 관통하는 복수의 개구(5)가 형성되어 있다. 도 2에 도시하는 바와 같이, 각 개구(5)의 개구 폭은, 제2 면(2b)으로부터 제1 면(2a)에 걸쳐서 점차 좁아져 있다. 따라서, 개구(5)의 측벽면(6)은 경사져 있다. 또한, 도 2에서는 개구 폭 W1을 제1 면(2a)을 따른 면 방향의 폭 치수로 규정하고 있다. 이와 같이, 도 2에서는 개구 폭 W1을, 가장 폭 치수가 좁은 개소에 도시하였다. 또한, 도 2에 있어서, 개구 폭 W1이나 측벽면(6)의 부호는, 하나의 개구(5)에만 도시하였지만, 다른 개구(5)에 대해서도 마찬가지로 적용된다. 또한, 개구(5)의 측벽면(6)의 형상은, 상세히 후술한다.

[0027] 개구(5)의 평면 패턴(반도체층(2)의 바로 위로부터 제1 면(2a)을 향해 본 형상)은 한정되는 것은 아니지만, 예를 들어 직사각형(정사각형을 포함함), 직사각형 이외의 다각형, 원형 및 타원형 등을 예시할 수 있다. 또한, 모든 개구(5)가 동일한 평면 패턴이어도 되고, 일부 달라도 된다. 또한, 각 개구(5)가 규칙적으로 배열되어 있어도 되고, 불규칙적인 배열, 혹은 규칙적인 배열과 불규칙적인 배열이 섞여 있어도 된다.

[0028] 인접하는 개구(5)의 간격을 한정하는 것은 아니지만, 제1 면(2a)측에서 보아, 해당 간격은 1㎛ 내지 20㎛ 정도이다.

[0029] 반도체층(2)의 외주 형상은, 직사각 형상이나 원반상의 웨이퍼인 것이 바람직하고, 직경(직사각 형상인 경우에는, 1변의 길이)을 한정하는 것은 아니지만, 100㎜ 내지 500㎜ 정도인 것이 적합하다. 이와 같이, 반도체층(2)의 직경이 커져도, 각 개구(5)를 균일하게 형성할 수 있다.

[0030] 절연층(3)은 산화층이나 질화층을 예시할 수 있지만, 산화층인 것이 바람직하고, 구체적으로는 산화 실리콘(SiO_2)층인 것이 적합하다. 절연층(3)은 BOX층(Buried Oxide Layer)이라고도 불린다. 절연층(3)의 두께를 한정하는 것은 아니지만, 예를 들어 100㎚ 내지 20㎛ 정도이다.

[0031] 도 2에 도시하는 절연층(3)은 반도체층(2)의 개구(5)와 대향하는 개구 영역에는 마련되어 있지 않고 제거되어 있으며, 반도체층(2)의 제2 면(2b)에 있어서, 해당 개구 영역의 주위 영역에만 남겨져 있다. 절연층(3)은 반도체층(2)에 대한 에칭 스토퍼로서의 역할을 구비하고 있고, 절연층(3)을 가짐으로써, 안정된 가공을 가능하게 한다.

[0032] 도 2에 도시하는 지지 기판(4)은 반도체 기판이며, 예를 들어 실리콘 기판이다. 지지 기판(4)의 두께를 한정하는 것은 아니지만, 예를 들어 100㎛ 내지 1000㎛ 정도이다.

[0033] 도 1에 도시하는 바와 같이, 지지 기판(4)을 반도체층(2)의 제2 면(2b)에 있어서, 개구 영역(15)의 주위 영역(16)을 둘러싸는 주상부(16a) 및 외주 프레임(16b)으로서 기능시킬 수 있다. 따라서, 반도체층(2)은 지지 기판(4)에 의해 텐션 상태를 유지할 수 있어, 텐셔닝 처리를 요하지 않게 하고, 정전기력을 이용하는 정전 척을 사용하여, 본 실시 형태의 증착 마스크(1)를 피증착 기판(10)에 밀착시킬 수도 있다. 또한, 도 1에 도시하는 바와 같이, 주상부(16a)는 외주 프레임(16b)보다도 내측에 위치하고 있고, 이들은 모두 동일한 길이(높이)로 되어 있지만, 예를 들어 주상부(16a)의 높이를, 외주 프레임보다 낮게 해도 된다. 단, 높이를 고르게 함으로써 보다 강도를 유지할 수 있다.

[0034] 또한, 도 1, 도 2에는 도시하지는 않지만, 반도체층(2)의 제1 면(2a)측의 외주 영역에는, 위치 정렬용의 얼라인먼트 마크를 형성할 수 있다. 얼라인먼트 마크는, 예를 들어 제1 면(2a)에 오목 형상으로 형성할 수 있고, 절연층(3)에까지 이르는 깊이로 형성할 수 있다.

[0035] <본 실시 형태에 있어서의 증착 마스크(1)의 개구(5)의 상세 설명>

[0036] [개구 폭 W1의 산출 방법]

[0037] 도 2에서 도시한 바와 같이, 개구(5)는 제2 면(2b)으로부터 제1 면(2a)을 향하여 점차 좁아져 있고, 측정 개소에 따라, 개구 폭이 다르다. 이 때문에, 도 2에 도시하는 바와 같이, 개구 폭 W1을, 가장 좁아지는 제1 면(2a)을 따르는 면 방향의 치수로 구하였다.

[0038] 예를 들어, 개구 폭 W1은 KLA-Tencor제의 eCD-2를 사용하여 얻은 SEM 화상으로부터 구할 수 있다.

[0039] [개구 폭 W1의 변동률 σ의 산출 방법]

[0040] 본 실시 형태에서는, 증착 마스크(1)의 개구 폭 W1의 변동률 σ를 규정한다. 도 1에 도시하는 증착 마스크(1)의 평면 내에서 소정 범위를 정하고, 그 소정 범위 내에 위치하는 복수의 개구(5)의 개구 폭 W1을 측정하고, 표준 편차 σ를 구하였다. 그리고, 이 표준 편차 σ를 개구 폭 W1의 변동률 σ로 정한다.

[0041] 한정되는 것은 아니지만, 「소정 범위」는, 증착 마스크(1)의 중앙 영역으로 정할 수 있다. 이때, 해당 중앙 영역은, 적어도 100개 이상의 개구(5)가 포함되는 크기인 것이 바람직하다.

[0042] 중앙 영역에 포함되는 인접하는 소정수의 개구(5)를 선정하고, 이들 개구(5)의 개구 폭 W1을 측정하고, 변동률 σ를 구하였다. 「소정수」를 한정하는 것은 아니지만, 수십개 내지 수백개 정도이고, 구체적으로는 50개 내지 150개 정도이면 된다. 본 실시 형태에서는, 100개의 인접하는 개구(5)를 선정하여 변동률 σ를 구하였다.

[0043] 또한 「인접하는 개구」란, 직사각형, 정사각형, 원형, 타원형, 다각 형상의 윤곽 내에 포함되는 개구, 혹은 일렬로 배열되는 개구를 통합하여 「인접하는 개구」라고 정의할 수 있다. 바람직하게는, 정사각형이나 직사각형의 윤곽 내에 존재하는 복수의 개구를 픽업하고, 예를 들어 100개의 개구(5)를 선정하는 경우에는, 종횡 방향으로 10×10으로 매트릭스 형상으로 배열된 100개를 선택할 수 있다.

[0044] 도 3은 증착 마스크(1)에 형성된 하나의 개구(5)를 확대하여 나타낸 부분 확대 단면도이며, 개구(5)의 높이 방향(반도체층(2)의 두께 방향)의 중간 개소를 빼내어 나타내고 있다. 또한, 부호는 주로 도시 좌측의 개구(5)의 측벽면(6)에만 붙였지만, 단면 형상은 좌우 대칭이며, 도시 우측의 측벽면(6)도 마찬가지의 구성으로 되어 있다.

[0045] 도 3에 도시하는 바와 같이, 개구(5)의 측벽면(6)은 요철 형상으로 형성되어 있다. 즉, 측벽면(6)에는 개구(5)의 내측 방향으로 돌출하는 복수의 볼록형부(7)와, 볼록형부(7)의 사이에 위치하는 오목부(8)가 개구(5)의 높이 방향을 따라서 연속적으로 반복적으로 형성되어 있다.

[0046] 본 실시 형태에서는, 개구(5)의 요철 높이차 등을, 이하와 같이 산출한다.

[0047] [요철 높이차의 산출 방법]

[0048] 먼저, 개구(5)의 단면의 SEM(주사 전자 현미경) 화상을 취득하였다. SEM을 한정하는 것은 아니지만, 예를 들어 히타치 하이테크제의 Regulus 8220을 사용하였다.

[0049] 개구(5)의 제1 면(2a)과 제2 면(2b) 사이의 정확히 두께 중앙에 위치하는 중간 개소에 있어서, 요철 형상의, 5피치분을 SEM에 의해 측장하였다. 또한, 5피치에 한정하는 것은 아니지만, 피치수가 너무 적으면, 파라미터 노이즈가 커지고, 피치수가 너무 많으면, 두께에 따라서는, 그 피치수를 확보할 수 없을 가능성이 있는 것, 또한 파라미터의 산출에 시간을 필요로 하여 번잡해지기 때문에, 수 피치 내지 10피치 이내 정도로 하는 것이 바람직하다. 본 실시 형태에서는, 기본적으로는 5피치로 측정하지만, 그것이 어려운 경우에는, 피치수를, 적절히 설정 변경할 수 있다.

[0050] 또한, 상기한 피치의 개념이 아니라, SEM 화상에 의해 두께 중앙에서, 높이를 확인할 수 있는 개소를 예를 들어, 5개소 측장해도 된다. 이 경우에는, 높이가 있는 개소를 볼록형부로 간주하고, 그 사이를 오목부로 간주할 수 있다.

[0051] 도 3에서는 2피치분만 도시하여 설명한다. 도 3에서는 2개의 볼록형부(7)를 구별하기 위해 부호 7a, 7b를 붙였다. 각 볼록형부(7a, 7b)에서 보아, 제1 면(2a)측(도시 상방측)에 위치하는 오목부(8)와 하프 피치를 형성하는 것으로 하였다. 또한, 2개의 오목부(8)를 구별하기 위해 부호 8a, 8b를 붙였다. 볼록형부(7a)와 오목부(8a)를 제1 하프 피치 P1, 볼록형부(7b)와 오목부(8b)를 제2 하프 피치 P2로 한다. 또한, 피치란, 볼록부와 볼록부간 거리, 혹은 오목부와 오목부간 거리를 가리키고, 그 절반의 거리가 하프 피치로 정의된다.

[0052] 도 3에 도시하는 바와 같이, 측정 범위 내의 각 오목부(8a, 8b)의 가장 낮은 위치(저부 A)를 연결하는 근사 직선 T1을 그었다. 저부 A는, 예를 들어 개구(5)의 폭 방향의 중심선 O에서 보아, 가장 먼 위치이다. 근사 직선 T1은 최소 제곱법으로 구할 수 있다. 또한, 측정 범위 내에 불규칙적인 오목부(8)가 형성되어 있는 경우(예를 들어, 극단적으로 저부 A가 낮은 위치에 있는 등)는, 그 오목부(8)를 제외하고 근사 직선 T1을 그릴 수 있다.

[0053] 다음에, 도 3에 도시하는 바와 같이, 제1 하프 피치 P1에 있어서, 볼록형부(7a)의 가장 높은 위치(정상부) B를 구하였다. 정상부 B는 개구(5)의 폭 방향의 중심선 O에서 보아, 가장 가까운 위치이다. 그리고, 도 3에 도시하는 바와 같이, 정상부 B와 교차하도록, 근사 직선 T1에 대해 직교하는 직선 S1을 그었다. 근사 직선 T1로부터 정상부 B까지의 직선 S1의 길이를 구하였다. 이 직선 S1의 길이를, 제1 하프 피치 P1의 요철 높이차 D1로 하였다.

[0054] 제2 하프 피치 P2, 및 다른 하프 피치에 대해서도, 제1 하프 피치 P1에서 구한 것과 마찬가지의 방법으로 요철 높이차를 구할 수 있다. 즉, 근사 직선 T1과 직교하고, 각 볼록형부의 정상부 B까지의 직선 길이를 구하고, 이 직선 길이를, 각 피치의 요철 높이차로 하였다. 덧붙여서 말하면 도 3에는, 제2 하프 피치 P2의 요철 높이차 D2가 도시되어 있다.

[0055] 이상에 의해, 복수의 요철 높이차를 구할 수 있다. 5피치분을 측정한 경우에는, 5개의 요철 높이차 Dn(n=1 내지 5)이 산출된다. 그리고, 이들 요철 높이차 Dn의 평균값 Ave를 구하였다.

[0056] 또한, 각 오목부(8a, 8b)의 표면(혹은 볼록형부(7a, 7b)의 밑단부라고도 할 수 있음)에 미세한 요철이 형성되어 있는 경우가 있지만, 이들 미세한 요철을 무시할 수 있다. 예를 들어, 파장으로서 수㎚ 단위, 혹은 그것보다도 작은 미세 요철은 컷오프하여, 파상도 곡선을 작성하여, 요철 높이차를 구할 수 있다.

[0057] [테이퍼각 Θ1의 산출 방법]

[0058] 본 실시 형태에서는, 개구(5)의 테이퍼각 Θ1을 다음과 같이 구한다. 즉, 도 3에 도시하는 바와 같이, 제1 면(2a)을 따르는 면 방향으로의 개구 폭 W1의 단부와, 제2 면(2b)을 따르는 면 방향의 개구 폭 W2의 단부를 직선으로 연결하고, 해당 직선과 제1 면(2a) 사이의 기울기 각도를, 개구(5)의 테이퍼각 Θ1로 설정할 수 있다. 테이퍼각 Θ1은, 히타치 하이테크제의 Regulus 8220을 사용하여 얻은 SEM 화상으로부터 측장하여 구하였다.

[0059] [요철 각도 Θ2, Θ3의 산출 방법]

[0060] 요철 각도 Θ2는, 도 3에 도시하는 바와 같이, 볼록형부(7a)의 정상부 B와, 볼록형부(7a)에서 보아 피증착 기판(10)측(도시 상방측)에 위치하는 오목부(8a)의 가장 낮은(개구(5)의 폭 방향의 중심선 O에서 보아, 가장 먼) 저부 A를 연결하는 직선 L1과, 근사 직선 T1 사이의 각도로 구할 수 있다. 또한, 요철 각도 Θ3은, 도 3에 도시하는 바와 같이, 볼록형부(7a)의 정상부 B와, 볼록형부(7a)에서 보아 증착원(11)측(도시 하방측, 도 4 참조)에 위치하는 오목부(8b)의 가장 낮은(개구(5)의 폭 방향의 중심선 O에서 보아, 가장 먼) 저부 A를 연결하는 직선 L2와, 근사 직선 T1 사이의 각도로 구할 수 있다.

[0061] 요철 각도 Θ2, Θ3이 작다는 것은, 볼록형부(7)의 높이가 낮고(오목부(8)의 깊이가 얕고), 측벽면(6)의 파상도가 작은 것을 의미한다.

[0062] <본 실시 형태에 있어서의 개구 파라미터의 특징적 구성에 대해서>

[0063] 본 실시 형태에 있어서의 증착 마스크(1)는,

[0064] (1) 개구(5)의 측벽면(6)이 제2 면(2b)측으로부터 제1 면(2a)측에 걸쳐서 좁아지도록 경사져 있는 것,

[0065] (2) 개구 폭 W1이, 3㎛보다 크고 15㎛보다 작은 것을 특징으로 한다.

[0066] 이와 같이, 본 실시 형태에서는 개구 폭 W1을, 3㎛보다 크고 15㎛보다 작은 범위로 하였다. 반도체층(2)을 구비한 증착 마스크(1)에 요구되는 니즈를 확보할 수 있고, 특히 OLED 마이크로 디스플레이의 제조 프로세스에서 사용하는 RGB 구분 도포용의 증착 마스크로서는, 또한 개구 폭 W1을 작게 할 필요가 있다. 본 실시 형태에서는, 개구 폭 W1은 4㎛ 이상 10㎛ 이하인 것이 바람직하다.

[0067] 개구 폭 W1은, 피증착 기판(10)과 대향하는 제1 면(2a)을 따른 면 방향의 폭 치수로 설정되는 것이 바람직하다.

[0068] 도 4는 본 실시 형태의 증착 마스크(1)를 피증착 기판(10)과, 증착원(11) 사이에 배치한 단면도이며, 전자 디바이스의 제조 방법의 일 공정을 도시한다.

[0069] 도 4에 도시하는 바와 같이, 증착원(11)으로부터의 증착 재료(증착 입자)(12)는, 증착 마스크(1)의 개구(5)를 통과하여, 피증착 기판(10)의 표면(10a)에 도달하고, 증착막(13)이 성막된다. 증착막(13)의 패턴 폭 W3을 측정하여, 개구 폭 W1과의 비율을 산출했을 때, 패턴 폭 비율((패턴 폭 W3/개구 폭 W1)×100(%))이 80% 이상이 되는 개구 폭 W1이면 본 실시예로 하고, 80% 미만이 되는 개구 폭 W1을 비교예로 하였다.

[0070] 본 실시 형태에서는, 개구 폭 W1을 3㎛보다 크고 15㎛보다 작은 범위로 하고, 바람직하게는 4㎛ 이상 10㎛ 이하로 함으로써, 패턴 폭 비율을 80% 이상으로 할 수 있고, 또한 개구 폭 W1의 변동률 σ를 작게 할 수 있다. 여기서, 패턴 폭 비율을 80% 이상으로 한 이유는, 80%를 하회하면, 원하는 증착막(13)의 패턴 폭 W3으로부터의 어긋남이 너무 커서, 수율의 저하로 이어지기 때문이고, 또한 좌표 위치 정밀도 등 설계 위치에서 발광해야 할 면적의 감소로 이어져, 발광 소자 자체의 휘도 저하로 이어지기 때문이거나, 혹은 제품 품질 보증으로서 요구되는 수치 때문이다. 생산 효율을 높이기 위해서는, 패턴 폭 비율을 85% 이상으로 하고, 바람직하게는 90% 이상, 보다 바람직하게는 95% 이상으로 한다.

[0071] 개구 폭 W1이 3㎛ 이하가 되면, 패턴 폭 비율이 80%를 하회하기 쉬워지는 이유는, 측벽면(6)에 퇴적되는 증착 재료(12)의 영향이, 개구 폭 W1이 좁아질수록 커지기 때문이다. 도 3에 도시하는 바와 같이, 측벽면(6)은 요철 형상으로 형성되어 있기 때문에, 증착 재료(12)가 오목부(8)로부터 보아, 피증착 기판측(도 3의 상방측)에 위치하는 볼록형부(7)의 측면측에 부착되기 쉽다. 따라서, 본 실시 형태에서는 개구 폭 W1의 설정과 함께, 요철 높이차 Dn의 평균값 Ave를 제어하는 것이 바람직하다. 즉, 본 실시 형태에서는 요철 높이차 Dn의 평균값 Ave는 0.200㎛ 이하인 것이 바람직하고, 0.195㎛ 이하인 것이 보다 바람직하고, 0.190 이하인 것이 더욱 바람직하고, 0.180㎛ 이하인 것이 보다 더 바람직하고, 0.175㎛ 이하인 것이 가장 바람직하다. 또한, 요철 높이차 Dn의 평균값 Ave의 하한값을 한정하는 것은 아니지만, 요철 높이차 Dn의 평균값 Ave는 0.003㎛ 이상이거나, 혹은 0.005㎛ 이상이고, 또는 0.008㎛ 이상이라고 규정할 수 있다. 본 실시 형태에서는, 요철 높이차 Dn의 평균값 Ave를 상기와 같이 조정함으로써, 개구(5)의 측벽면(6)에의 증착 재료(12)의 퇴적을 적게 할 수 있어, 증착 마스크(1)의 세정 횟수를 줄이는 등의 효과도 있다.

[0072] 본 실시 형태에서는, 개구 폭 W1의 변동률 σ는 0.09㎛보다 작은 것이 바람직하다. 상기한 바와 같이, 변동률 σ는, 예를 들어 100개의 인접하는 개구(5)의 개구 폭 W1의 표준 편차 σ로 구할 수 있다.

[0073] 개구 폭 W1이 15㎛ 이상이 되면, 변동률 σ가 0.09㎛ 이상이 되고, 나아가, 0.10㎛ 이상으로 커지기 쉽다. 도 5는 증착 마스크(1)를 사용하여, 피증착 기판의 표면에 성막한 증착막(13)에서, 매트릭스 형상으로 RGB의 화소(23)가 배열되어 있는 이미지도이다. 증착 마스크(1)의 개구 폭 W1이 커지면, 변동률 σ의 영향을, 각 화소(23)의 발광 면적에서는 받기 어려워지지만, 예를 들어 도 5에 도시하는 인접하는 화소(23)와의 혼색 리스크가 높아진다. 혼색 리스크는 변동률 σ의 절댓값으로 결정되고, 변동률 σ가 커질수록 혼색 리스크가 높아지기 때문에, 본 실시 형태에서는 변동률 σ는 0.09㎛보다 작은 범위로 규정하고, 바람직하게는 변동률 σ를, 0.01㎛ 이상 0.08㎛ 이하로 설정하였다.

[0074] 본 실시 형태에서는, 건식 에칭에 의해, 반도체층(2)에 개구(5)를 형성한다. 이때, 예를 들어 도 6에 도시하는 통과 구멍(14a)의 폭 치수 W4에 비해 다소 오버 기미로 에칭이 들어감으로써 개구 폭 W1이 모두 동일하게 되지 않고, 변동이 발생하기 쉽다. 이때, 개구 폭 W1을 크게 하면 오버 에칭으로 형성되기 쉽고, 그 결과, 변동률 σ가 커질 것으로 생각된다. 이 때문에, 본 실시 형태에서는 개구 폭 W1을 3㎛보다 크고 15㎛보다 작은 범위로 설정함으로써, 변동률 σ를 보다 작게 억제하는 것을 발견하였다.

[0075] 또한, 도 3에서 설명한 요철 각도 Θ2, Θ3은 0.5° 내지 50° 정도의 범위 내이고, 바람직하게는 45° 이하이고, 보다 바람직하게는 40° 이하이고, 더욱 바람직하게는 30° 이하이고, 보다 더 바람직하게는 20° 이하이고, 보다 더 바람직하게는 10° 이하이다. 요철 각도 Θ2, Θ3을 작게 할 수 있으므로, 볼록형부(7)의 돌출 높이를 작게 할 수 있거나, 혹은 인접하는 볼록형부(7)의 간격을 넓게 할 수 있고(오목부(8)의 범위를 넓게 할 수 있고), 볼록형부(7)의 측면에 증착 재료(12)가 퇴적되는 것을 억제할 수 있다. 또한, 요철 각도 Θ2, Θ3의 가장 바람직한 범위는 0.5° 내지 2° 정도이다. 또한, 도 3에 도시하는 요철 각도 Θ3은, 요철 각도 Θ2보다 작은 것이 바람직하다. 이에 의해, 측벽면(6)에 증착 재료(12)의 퇴적을 억제할 수 있다.

[0076] 본 실시 형태에서는, 개구(5)의 개구 폭은, 제2 면(2b)측으로부터 제1 면(2a)측을 향하여 점차 좁아져 있다. 즉, 도 4에 도시하는 바와 같이, 증착 마스크(1)에 있어서, 피증착 기판(10)과 대향하는 측에서의 개구 폭 W1이 좁아져 있고, 개구(5)의 측벽면(6)은 경사면으로 형성된다. 이에 의해, 원하는 패턴 폭 W3을 갖는 증착막(13)을 안정적으로 형성하기 쉬워진다. 또한, 측벽면(6)에 퇴적된 증착 재료(12)가 측벽면(6)으로부터 박리되었을 때, 피증착 기판(10)측으로 비래하기 어렵게 할 수 있다. 또한, 제조의 관점에서 보면, 개구(5)의 측벽면(6)을

경사시킴으로써, 측벽면(6)을 형성하기 쉬워진다. 한정되는 것은 아니지만, 측벽면(6)의 테이퍼각 Θ1은 60° 이상인 것이 바람직하고, 70° 이상인 것이 보다 바람직하고, 80° 이상인 것이 더욱 바람직하다. 또한, 테이퍼각 Θ1은 90° 보다 작은 것이 바람직하고, 88° 이하인 것이 보다 바람직하다. 테이퍼각 Θ1이 60° 를 하회하면, 측벽면(6)에 퇴적되는 증착 재료(12)의 양이 많아지고, 증착막의 패턴 폭 비율이 80%보다 작아지기 쉽다. 또한, 테이퍼각 Θ1을 90° 정도까지, 즉 측벽면(6)을 거의 수직으로 형성할 수도 있지만, 그 경우에는 증착 시에 있어서의 측벽면(6)의 요철 높이차 Dn의 영향이 커지는 것으로 생각되고, 특히 개구 폭 W1이 좁아질수록, 요철 높이차 Dn의 평균값 Ave를 최대한 작게 하는 것이 필요해진다. 또한 반도체층(2)의 두께와의 관계도 있다. 즉, 반도체층(2)의 두께가 커지면, 측벽면(6)을 수직면으로 형성하는 것이 어려워진다. 따라서, 본 실시 형태에서는 측벽면(6)의 테이퍼각 Θ1을 90° 보다 작아지도록 제어하고, 바람직하게는 88° 이하가 되도록 제어하였다.

[0077] <본 실시 형태에 있어서의 증착 마스크(1)의 제조 방법에 대해서>

[0078] 도 6은 본 실시 형태의 증착 마스크(1)의 제1 제조 방법을 도시하는 공정도이다. 여기서, 도 6 및 후술하는 도 7에 도시하는 제조 과정의 증착 마스크(1)는, 도 2와 마찬가지로, 어느 하나의 개구 영역(15) 부근만을 나타내고 있지만, 실제로는 도 1에 도시하는 복수의 개구 영역(15)을 동시에 형성해 간다. 도 6의 (a)에서는 SOI 기판(9)을 준비한다. SOI 기판(9)은 반도체층(2), 절연층(3) 및 지지 기판(4)의 적층 구조로 이루어진다. 각 층의 재질이나 두께 등은 도 1에서 설명하였으므로, 그 부분을 참조하기 바란다.

[0079] 또한, SOI 기판(9)의 경우에는 직경을 한정하는 것은 아니지만, 본 실시 형태에서는 500㎜ 정도로까지 대응 가능하다.

[0080] 도 6의 (b)에서는, 반도체층(2)의 표면에 마스크층(14)을 패턴 형성한다. 마스크층(14)은 레지스트인 것이 바람직하고, 노광 현상에 의해 패턴 형성할 수 있다. 마스크층(14)에는 복수의 관통 구멍(14a)을 형성한다. 이 관통 구멍(14a)은 반도체층(2)에 개구(5)를 형성하기 위한 개구 패턴이며, 관통 구멍(14a)의 폭 치수 W4를 3㎛보다 크고 15㎛보다 작은 치수로 형성한다.

[0081] 다음에, 도 6의 (c)에서는, 마스크층(14)의 관통 구멍(14a)으로부터 노출되는 반도체층(2)을 건식 에칭한다. 본 실시 형태에서는, 반도체층(2)을 딥 에칭한다. 소위 보쉬 프로세스에서, 예를 들어 SF_6에 의한 Si의 에칭과, C_4F_8에 의한 폴리머막의 생성을 반복하여, 실리콘을 깊게 파서, 측벽 보호와 저부 에칭을 교호로 진행시키는 방법을 사용하는 것이 바람직하다. 보쉬 프로세스에 의해, 반도체층(2)에 형성되는 개구(5)의 측벽면(6)은 요철 형상이 된다.

[0082] 이때, 도 6의 (c)에 도시하는 바와 같이, 역테이퍼면을 형성하도록, 에칭 가스의 조성, 유량, 에칭 챔버 내부 압력, 고주파 전원의 전력 등을 적절히 조정한다. 또한, 이들의 조정에 의해, 역테이퍼면의 테이퍼각 Θ1이나, 요철 높이차 Dn의 제어를 행할 수 있다.

[0083] 예를 들어, 건식 에칭 장치에서, SF_6 가스와 C_4F_8 가스를 교호로 사용하여 보쉬 프로세스를 실시하였다. SF_6 가스를 사용하여 불소 라디칼을 사용한 등방성 건식 에칭을 행하는 모드와 동일한 가스를 사용하여, 에칭되는 기판에 바이어스를 인가함으로써, 불소 이온을 사용한 이방성 건식 에칭을 실시하였다. 예를 들어, 처리 조건은 SF_6 가스를 0 내지 500sccm, C_4F_8 가스를 0 내지 300sccm, Platen LF를 0 내지 1500W, Coil RF를 300 내지 1500W, 챔버 압력을 1 내지 10Pa로 하고, 각종 조건을 조정하였다.

[0084] 상기한 보쉬 프로세스에 의해, 반도체층(2)에는 복수의 개구(5)를 깊게 형성할 수 있고, 이때 개구(5)의 측벽면(6)의 테이퍼각 Θ1 및 요철 높이차를 적절히 조정할 수 있다.

[0085] 본 실시 형태에 있어서, 요철 높이차 Dn을 작게 하기 위해서는, 상기한 에칭 공정에서의 조건을 조정하는 것 외에, 예를 들어 실리콘을 딥 에칭한 후, 레이저 수소 어닐 처리에 의해, 평활화 처리(요철 높이차의 저감 처리)를 행함으로써도 달성할 수 있다.

[0086] 다음에, 도 6의 (d)에 도시하는 공정에서는, 마스크층(14)을 제거한다. 이에 의해, 반도체층(2)에 복수의 개구(5)가 형성된 SOI 기판(9)이 완성된다.

[0087] 다음에, 도 6의 (e)에 도시하는 공정에서는, 반도체층(2)의 표면에 보호층(20)을 형성한다. 이에 의해, 반도체층(2)의 표면 전체를 적절하게 보호할 수 있다. 한정되는 것은 아니지만, 보호층(20)은, 예를 들어 레지스트 필름이다.

[0088] 다음에, 도 6의 (f)에 도시하는 공정에서는, SOI 기판(9)의 이면에 해당하는 지지 기판(4)의 표면에, 마스크층(21)을 형성한다. 한정되는 것은 아니지만, 마스크층(21)은 레지스트 패턴이다. 도 6의 (f)에 도시하는 바와 같이, 마스크층(21)을 반도체층(2)에 형성된 개구(5)와 두께 방향으로 대향하는 개구 영역(15)에는 형성하지 않고, 주위 영역(16)(도 1도 참조)에만 마련한다. 또한, 마스크층(21)을 도 6의 (b)의 공정 시에 마스크층(14)과 함께 형성해도 된다.

[0089] 그리고, 도 6의 (g)에 도시하는 공정에서는, 마스크층(21)에 덮이지 않은 지지 기판(4)을 건식 에칭으로 제거하고, 도 6의 (h)에 도시하는 공정에서는, 지지 기판(4)을 제거함으로써 나타나는 절연층(3)을 습식 에칭으로 제거한다. 이때, 반도체층(2)은 습식 에칭의 영향을 받지 않고, 복수의 개구(5)를 갖는 형태를 유지한다.

[0090] 그리고, 도 6의 (i)에 도시하는 공정에서는, 보호층(20) 및 마스크층(21)을 제거한다. 이에 의해, 증착 마스크(1)가 완성된다.

[0091] 도 7은 본 실시 형태의 증착 마스크(1)의 제2 제조 방법을 도시하는 공정도이다. 도 7의 (a)에서는 SOI 기판(9)을 준비한다. SOI 기판(9)은 반도체층(2), 절연층(3) 및 지지 기판(4)의 적층 구조로 이루어진다. 각 층의 재질이나 두께 등은 도 1에서 설명하였으므로, 그 부분을 참조하기 바란다.

[0092] 또한, SOI 기판(9)의 경우에는 직경을 한정하는 것은 아니지만, 본 실시 형태에서는 500㎜ 정도로까지 대응 가능하다.

[0093] 다음에, 도 7의 (b)에 도시하는 공정에서는, SOI 기판(9)의 이면에 해당하는 지지 기판(4)의 표면에 마스크층(21)을 형성한다. 한정되는 것은 아니지만, 마스크층(21)은 레지스트 패턴이다. 도 6의 (f)와 마찬가지로, 마스크층(21)을 SOI 기판(9)의 주위 영역에만 마련한다.

[0094] 다음에, 도 7의 (c)에 도시하는 공정에서는, 마스크층(21)에 덮이지 않은 지지 기판(4)을 건식 에칭으로 제거하고, 도 7의 (d)에 도시하는 공정에서는, 지지 기판(4)을 제거함으로써 나타나는 절연층(3)을 습식 에칭으로 제거한다.

[0095] 다음에, 도 7의 (e)의 공정에서는, 반도체층(2)의 이면에 마스크층(22)을 형성한다. 한정되는 것은 아니지만, 마스크층(22)을 레지스트 패턴으로 형성할 수 있다. 도 7의 (e)에 도시하는 바와 같이, 마스크층(22)에 복수의 개구(22a)를 노광 현상으로 패턴 형성한다.

[0096] 다음에, 도 7의 (f)의 공정에서는, 개구(22a)로부터 노출되는 반도체층(2)을 에칭 처리한다. 이 에칭 처리는 건식 에칭이며, 한정되는 것은 아니지만, 불소 화합물 및 산소를 포함하고, 나아가 경우에 따라 희가스를 포함하여 이루어지는 에칭 가스를 사용하는 것이 바람직하다.

[0097] 불소 화합물은, 예를 들어 CF_4, SF_6, NF_3, BF_3, PF_5 및 F_2로부터 1종 이상을 선택할 수 있고, 또한 희가스는 헬륨이나 아르곤으로부터 1종 이상 선택할 수 있다.

[0098] 예를 들어, 건식 에칭 장치에서, CF_4 가스, O_2 가스 및 Ar 가스를 사용하고, 에칭을 실시하였다. 처리 조건은 CF_4 가스를 10 내지 100sccm, O_2 가스를 0 내지 100sccm, Ar 가스를, 0 내지 200sccm, IPC 파워를 200 내지 1000W, RIE 파워를 0 내지 1000W 및 챔버 압력을 1 내지 10Pa로 하고, 각종 조건을 조정하였다.

[0099] 도 7의 (f)의 공정에서는, 반도체층(2)에, 마스크층(22)측으로부터 이격됨에 따라서(반도체층(2)의 제1 면(2a)을 향하여), 점차 폭 치수가 작아지는 개구(5)를 형성할 수 있다. 이에 의해, 개구(5)의 측벽면(6)을 경사면으로 형성할 수 있다. 그리고, 도 7의 (g)의 공정에서는, 마스크층(22)을 제거한다. 이에 의해, 증착 마스크(1)가 완성된다.

[0100] 도 6에 도시하는 제조 방법 및 도 7에 도시하는 제조 방법 중 어느 것에 있어서도, 반도체층(2)에 복수의 개구(5)를 형성할 수 있고, 개구(5)의 측벽면(6)을 증착원(11)측을 향하는 반도체층(2)의 이면(제2 면(2b))으로부터, 피증착 기판(10)측을 향하는 표면(제1 면(2a))을 향하여 점차 개구 폭이 좁아지도록 경사면으로 형성할 수 있다.

[0101] 본 실시 형태에서는, 한정되는 것은 아니지만, 개구 폭 W1, 개구의 변동률 σ 및 테이퍼각 Θ1을, 각종 가스 유량, 챔버 압력 및 플라스마 발생원의 전력 등으로 조정할 수 있다.

[0102] <본 실시 형태에 있어서의 전자 디바이스의 제조 방법>

[0103] 본 실시 형태에서는, 도 4에 도시하는 바와 같이, 증착 마스크(1)를 피증착 기판(10)과 증착원(11) 사이에 배치

한다. 이때, 증착 마스크(1)의 반도체층(2)의 제1 면(2a)측을 피증착 기판(10)측에 향하게 하고, 반도체층(2)의 제2 면(2b)측을 증착원(11)측에 향하게 한다. 반도체층(2)에는 복수의 개구(5)가 형성되어 있고, 개구 폭은 제1 면측의 쪽이 제2 면측보다 좁아져 있다.

[0104] 증착 마스크(1)를 증착 장치의 홀더(도시 생략)에 설치하고, 이때 정전 척에 의해서, 증착 마스크(1)와 피증착 기판(10)을 고정할 수 있다. 홀더의 축 중심을 회전축으로 하여, 증착 마스크(1) 및 피증착 기판(10)을 회전시킨다.

[0105] 증착원(11)으로부터 증착 재료(증착 입자)(12)가 증착 마스크(1)의 개구(5)를 통하여, 피증착 기판(10)의 표면(10a)에 도달하고, 증착막(13)이 성막된다.

[0106] 본 실시 형태에서는, 전자 디바이스로서, OLED 마이크로 디스플레이 패널, 액정 패널, 태양 전지 등을 예시할 수 있고, 특히 유기 전자 디바이스로서의 OLED 마이크로 디스플레이 패널의 제조 방법에 적합하다.

[0107] 본 실시 형태의 증착 마스크(1)를 사용함으로써, 증착막(13)의 패턴 폭 W3을, 개구 폭 W1에 대해 80% 이상 확보할 수 있고, 바람직하게는 85% 이상, 보다 바람직하게는 90% 이상으로 할 수 있다. 이와 같이, 패턴 치수가 우수한 증착막(13)을 형성할 수 있다.

[0108] <본 실시 형태의 증착 마스크(1)를 사용한 것의 효과에 대해서>

[0109] 본 실시 형태에서는, 증착 마스크(1)의 개구(5)의 개구 폭 W1을, 3㎛보다 크고 15㎛보다 작게 함으로써, 우수한 패턴 치수를 가지면서, 인접 화소간의 상호 영향을 억제한 증착막을 안정적으로 형성할 수 있다.

[0110] 종래에 있어서는, 개구 폭 W1을, 패턴 치수 및 인접 화소간의 상호 영향(예를 들어, 혼색 리스크)의 관점에서 설정하고 있지 않았다. 특히, 개구 폭 W1의 변동률 σ에 대해서는 고려하지 않았다. 따라서, 종래의 제어 방법에서는 높은 패턴 치수를 가짐과 함께, 혼색 리스크가 낮은 증착막(13)을 안정적으로 형성할 수 없었다.

[0111] 이에 반해 본 실시 형태에서는, 개구 폭 W1을, 3㎛보다 크고 15㎛보다 작은 범위로 조정함으로써, 패턴 폭 비율이 80% 이상인 패턴 폭 W3을 갖고, 또한 인접 화소간에서의 상호 영향을 저감한 증착막(13)을 안정적으로 형성할 수 있다.

[0112] 본 실시 형태에서는, 개구 폭 W1의 변동률 σ를, 0.09㎛보다 작게 할 수 있고, 바람직하게는 0.01㎛ 이상 0.08㎛ 이하로 할 수 있다. 이에 의해, 효과적으로 인접 화소간에서의 상호 영향의 저감을 도모할 수 있다.

[0113] 또한, 본 실시 형태에서는 요철 높이차 Dn의 평균값 Ave를 조정함으로써, 증착 재료(12)의 퇴적을 억제할 수 있고, 증착 마스크의 세정 빈도를 적게 할 수 있어, 증착 마스크의 품질 관리를 용이하게 행할 수 있다. 또한, 개구의 클로깅 발생을 적게 할 수 있어, 증착 마스크의 장수명화를 도모할 수 있다.

[0114] 또한, 실시 형태 및 변형예를 설명하였지만, 다른 실시 형태로서, 상기의 실시 형태 및 변형예를 전체적 또는 부분적으로 조합한 것이어도 된다.

[0115] 또한, 본 발명은 상기의 실시 형태 및 변형예에 한정되는 것은 아니며, 기술적 사상의 취지를 일탈하지 않는 범위에 있어서 다양하게 변경, 치환, 변형되어도 된다. 또한, 기술의 진보 또는 파생되는 별도 기술에 의해, 기술적 사상을 다른 방법으로 실현할 수 있으면, 그 방법을 사용하여 실시되어도 된다. 따라서, 특허 청구 범위는, 기술적 사상의 범위 내에 포함될 수 있는 모든 실시 양태를 커버하고 있다.

[0116] 도 1에 도시하는 증착 마스크(1)와는 다른 층 구성의 실시 형태에 대해서 설명한다.

[0117] 예를 들어, 도 8에 도시하는 바와 같이, 프레임체 형상의 실리콘 기판(30)의 표면에 SiN이나 SiO_2 등의 멤브레인(31)을 성막하고, 실리콘 기판(30)이 제거된 중앙 영역의 멤브레인(31)에 복수의 개구(32)가 형성된 구성, 혹은 반도체 기판(실리콘 기판이 바람직함)에 복수의 개구가 형성된 단층 구조로 구성되어도 된다. 멤브레인은 CVD로 형성되지만, 응력 제어를 하기 쉬운 관점에서, SiN을 사용하는 것이 바람직하다.

[0118] 도 9 내지 도 11에 도시하는 다른 실시 형태에서는, 도 1과 마찬가지로, SOI 기판(9)을 사용하고 있지만, 도 9에서는 SOI 기판(9)의 이면측(지지 기판(4)측, 증착원(11)과 대향하는 측)에 SiN층(33)이 형성되고, 도 10에서는 SOI 기판(9)의 표면측(반도체층(2)측, 피증착 기판(10)과 대향하는 측)에 SiN층(33)이 형성되고, 도 11에서는 SOI 기판(9)의 이면측 및 표면측의 양쪽에 SiN층(33)이 형성된다. SOI 기판(9)의 표면측(반도체층(2)측)에 SiN층(33)이 형성되는 구성에서는, 도 10이나 도 11에 도시하는 바와 같이, 반도체층(2)과 연속해서 개구(5)가 형성된다.

[0119] SiN층(33)을 마련함으로써, 증착 마스크를 응력 제어하기 쉬워, 변형 등을 억제할 수 있다.

[0120] 또한, SOI 기판(9)의 표면측에 형성되는 SiN층(33)은 SOI 기판(9)의 이면측에 형성되는 SiN층(33)보다 얇은 것이 바람직하다. 한정되는 것은 아니지만, SOI 기판(9)의 표면측에 형성되는 SiN층(33)의 막 두께는 0.05㎛ 내지 0.5㎛ 정도이고, SOI 기판(9)의 이면측에 형성되는 SiN층(33)의 막 두께는 0.05㎛ 내지 3㎛ 정도이다. 반도체층(2)은 지지 기판(4)보다도 얇고, 게다가 반도체층(2)에는 다수의 개구(5)도 형성되어 있기 때문에, 표면측과 이면측에서 밸런스 좋게 응력 제어하기 위해, SOI 기판(9)의 표면측에 형성되는 SiN층(33)을 SOI 기판(9)의 이면측에 형성되는 SiN층(33)보다 얇게 형성하고 있다.

[0121] **실시예**

[0122] 이하, 본 발명의 실시예 및 비교예에 의해 본 발명의 효과를 설명한다. 또한, 본 발명은 이하의 실시예에 의해 하등 한정되는 것은 아니다.

[0123] <SOI 기판>

[0124] SOI 기판에는 지지 기판(625㎛)/절연층(0.5㎛)/반도체층(15㎛ 또는 5㎛)을 사용하였다. 괄호 안에는 두께를 나타낸다. 지지 기판은 Si 기판, 반도체층은 Si층이고, 절연층은 SiO_2층이었다. 또한, SOI 기판의 외경은 200㎜였다. 실험에서는 반도체층의 두께가 15㎛와, 5㎛의 2종류의 SOI 기판을 준비하였다.

[0125] <사용 원판>

[0126] 도 6에 도시하는 (b)의 공정에서, 마스크층(레지스트층)에 개구 패턴을 i선 노광으로 형성하지만, 이 개구 패턴을 형성할 때에 사용하는 사용 원판의 개구 폭을 2.0㎛ 내지 30㎛의 범위 내로 조정하였다.

[0127] <증착 마스크의 제조 방법>

[0128] 도 6에 도시하는 제조 방법을 사용하여 증착 마스크(1)를 형성하였다. 실험에서는, 상기의 사용 원판에 의해 개구 폭 W1을 변화시켰다. 또한, 반도체층(2)에 형성되는 개구 폭 W1 및 테이퍼각을, 각종 가스 유량, 챔버 압력 및 플라스마 발생원의 전력 등으로 조정하였다. 예를 들어, 도 6의 (c)의 건식 에칭에서는, SF_6 가스를 사용하여 불소 라디칼을 사용한 등방성 건식 에칭을 행하는 모드와 동일한 가스를 사용하여, 에칭되는 기판에 바이어스를 인가함으로써, 불소 이온을 사용한 이방성 건식 에칭을 실시하였다. 처리 조건은 SF_6 가스를 0 내지 500sccm, C_4F_8 가스를 0 내지 300sccm, Platen LF를 0 내지 1500W, Coil RF를 300 내지 1500W, 챔버 압력을 1 내지 10Pa로 하고, 각종 조건을 조정하였다.

[0129] <증착 마스크(1)에 형성한 개구(5)의 치수에 대해서>

[0130] 실험에서는, 개구 폭 W1, 변동률 σ, 요철 높이차 Dn의 평균값 Ave, 테이퍼각을 구하였다. 도 1에 도시하는 바와 같이, 개구 폭 W1은 반도체층(2)의 제1 면(2a)을 따르는 면 방향의 폭 치수로 하였다.

[0131] 개구 폭 W1의 변동률 σ는 증착 마스크(1)의 중앙 영역에 있어서, 종횡 방향 10×10(100개)의 인접하는 각 개구의 개구 폭 W1로부터 표준 편차 σ를 구하였다. 또한, 개구 폭 W1은 KLA-Tencor제의 eCD-2를 사용하여 얻은 SEM 화상으로부터 구하였다.

[0132] 또한, 요철 높이차 Dn의 평균값 Ave, 테이퍼각은 히타치 하이테크제의 Regulus 8220을 사용하여 얻은 SEM 화상에 의해 구하였다.

[0133] <증착 패턴 치수 판정에 대해서>

[0134] 상기에서 형성한 복수의 증착 마스크를 사용하여, 녹색 발광 재료 Alq3(트리스(8-히드록시퀴놀린)알루미늄)을 진공 저항 가열 증착법으로, 증착 마스크 너머로, 유리 표면에 증착막을 패턴 형성하였다.

[0135] 그리고 증착막의 패턴 폭 W3을 측정하고, 증착 마스크의 개구 폭 W1에 대한 증착막의 패턴 폭 비율((W3/W1)×100(%))을 구하였다. 패턴 폭 비율이 80% 미만인 실험예는 ×, 패턴 폭 비율이 80% 내지 90%인 실험예는 ○, 패턴 폭 비율이 90% 초과인 실험예는 ◎로 하였다.

[0136] <개구 변동 판정에 대해서>

[0137] 개구 변동 판정에 대해서는, 개구 폭 W1의 변동률(표준 편차) σ가, 0.08㎛ 이하인 실험예는 ○, 0.09μ 내지 0.10㎛의 범위 내인 실험예는 △, 0.10㎛ 초과인 실험예는 ×로 하였다.

[0138] 또한, 표 1 내지 표 6에 나타내는 「테이퍼각」의 기술은 대푯값이고, 모든 실험예가, 각 대푯값으로부터 ±3°의 범위 내에 들어 있는 것을 확인하였다.

[0139] 표 1 내지 표 3은 반도체층의 두께가 15㎛인 실험 결과, 표 4 내지 표 6은 반도체층의 두께가 5㎛인 실험 결과를 나타내고 있다.

표 1

·테이퍼각 88°

실시예 No.	개구 폭	증착 패턴 치수 판정	개구 변동 판정	변동률 σ	요철 높이차(평균값)
1	3μm	×	○	0.04μm	0.168
2	4μm	◎	○	0.03μm	0.193
3	5μm	◎	○	0.04μm	0.174
4	10μm	◎	○	0.07μm	0.188
5	15μm	◎	△	0.09μm	0.171
6	20μm	◎	×	0.11μm	0.174

※소수점 이하 셋째 자리를 반올림

[0140]

표 2

·테이퍼각 80°

실시예 No.	개구 폭	증착 패턴 치수 판정	개구 변동 판정	변동률 σ	요철 높이차(평균값)
7	3μm	×	○	0.05μm	0.160
8	4μm	◎	○	0.04μm	0.149
9	5μm	◎	○	0.04μm	0.170
10	10μm	◎	○	0.08μm	0.160
11	15μm	◎	△	0.09μm	0.179
12	20μm	◎	×	0.11μm	0.169

※소수점 이하 셋째 자리를 반올림

[0141]

표 3

·테이퍼각 60°

실시예 No.	개구 폭	증착 패턴 치수 판정	개구 변동 판정	변동률 σ	요철 높이차(평균값)
13	3μm	×	○	0.07μm	0.170
14	4μm	○	○	0.06μm	0.171
15	5μm	◎	○	0.05μm	0.168
16	10μm	◎	○	0.07μm	0.168
17	15μm	◎	○	0.08μm	0.163
18	20μm	◎	×	0.12μm	0.172

※소수점 이하 셋째 자리를 반올림

[0142]

표 4

·테이퍼각 88°

실시예 No.	개구 폭	증착 패턴 치수 판정	개구 변동 판정	변동률 σ	요철 높이차(평균값)
19	3㎛	×	○	0.03㎛	0.161
20	4㎛	◎	○	0.03㎛	0.163
21	5㎛	◎	○	0.03㎛	0.167
22	10㎛	◎	○	0.06㎛	0.172
23	15㎛	◎	△	0.09㎛	0.168
24	20㎛	◎	△	0.09㎛	0.165

※소수점 이하 셋째 자리를 반올림

[0143]

표 5

·테이퍼각 80°

실시예 No.	개구 폭	증착 패턴 치수 판정	개구 변동 판정	변동률 σ	요철 높이차(평균값)
25	3㎛	×	○	0.03㎛	0.164
26	4㎛	◎	○	0.04㎛	0.152
27	5㎛	◎	○	0.03㎛	0.176
28	10㎛	◎	○	0.07㎛	0.163
29	15㎛	◎	△	0.09㎛	0.172
30	20㎛	◎	△	0.10㎛	0.169

※소수점 이하 셋째 자리를 반올림

[0144]

표 6

·테이퍼각 60°

실시예 No.	개구 폭	증착 패턴 치수 판정	개구 변동 판정	변동률 σ	요철 높이차(평균값)
31	3㎛	△	○	0.06㎛	0.175
32	4㎛	◎	○	0.07㎛	0.175
33	5㎛	◎	○	0.07㎛	0.173
34	10㎛	◎	○	0.08㎛	0.177
35	15㎛	◎	△	0.09㎛	0.171
36	20㎛	◎	×	0.11㎛	0.174

※소수점 이하 셋째 자리를 반올림

[0145]

[0146] 표 1 내지 6에 나타내는 바와 같이, 실험예는 No.1 내지 No.36까지 있고, 개구 폭 W1은 3㎛ 내지 20㎛의 범위 내로 하였다. 실험예 No.1, 7, 13, 19, 25, 31은, 증착 패턴 치수 판정이 ×이거나 △이고, 이들은 모두 비교예이다. 또한, 실험예 No.5, 6, 11, 12, 18, 23, 24, 29, 30, 35, 36은, 개구 변동 판정이 △, ×이고, 이들은 모두 비교예이다. 나머지 실험예는, 증착 패턴 치수 판정이 ○이거나 ◎이고, 개구 변동 판정이 ○이고, 모두 실시예에 해당한다.

[0147] 이 실험으로부터, 개구 폭 W1을 3㎛보다 크고 15㎛보다 작게 함으로써, 개구(5)의 측벽면(6)에의 증착 재료(12)의 퇴적을 억제할 수 있고, 개구 폭 W1에 대한 패턴 폭 W3을 80% 이상, 바람직하게는 90% 초과로 할 수 있는 증착막을 안정적으로 형성할 수 있는 것을 알 수 있었다. 덧붙여, 개구 폭 W1의 변동률 σ를 작게 할 수 있고, 구체적으로는 변동률 σ를 0.09㎛ 이하로 설정할 수 있는 것을 알 수 있었다. 본 실시예에서는, 변동률 σ는 0.01㎛ 이상 0.08㎛ 이하인 것이 바람직하다. 또한, 본 실시예에서는, 반도체층(2)을 구비한 증착 마스크(1)에 요구되는 니즈를 확보할 수 있고, 특히 OLED 마이크로 디스플레이의 제조 프로세스에서 사용하는 RGB 구

분 도포용의 증착 마스크로서 바람직하게 적용할 수 있다.

[0148] 또한, 요철 높이차 Dn의 평균값 Ave는 0.200㎛ 이하인 것이 바람직하고, 0.180㎛ 이하인 것이 보다 바람직하고, 0.170㎛ 이하인 것이 더욱 바람직하다고 하였다.

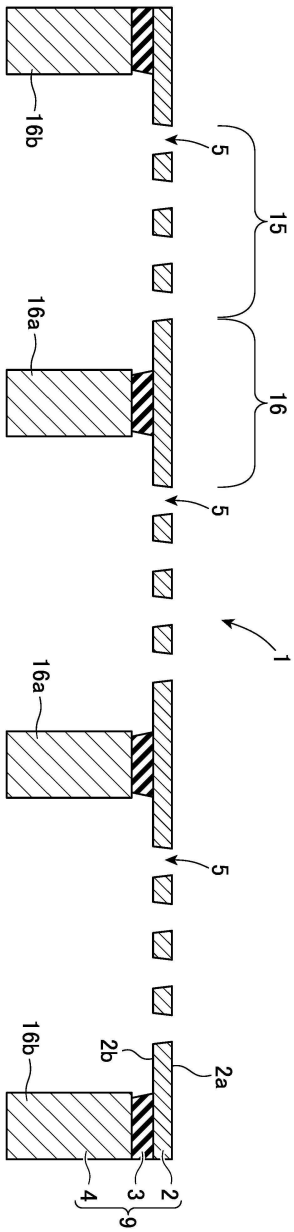
[0149] 또한, 실험 결과에 의해, 테이퍼각은 60° 이상인 것이 바람직하고, 70° 이상인 것이 보다 바람직하다고 하였다. 또한, 테이퍼각(경사각)의 하한값은 90° 보다 작거나, 혹은 88° 이하로 할 수 있다. 또한, 테이퍼각에 대해서는, ±3° 정도의 오차를 허용한다.

[0150] 또한, 도 3에서 설명한 요철 각도 θ2, θ3은 0.5° 내지 50° 정도의 범위 내로 설정할 수 있는 것을 알 수 있었다. 바람직하게는, 10° 이하로 설정하고, 보다 바람직한 범위는 0.5° 내지 2° 정도이다. 또한, 요철 각도 θ3은 요철 각도 θ2보다도 작아져 있고, 이에 의해 증착 재료의 퇴적을 억제할 수 있는 형태인 것을 알 수 있었다.

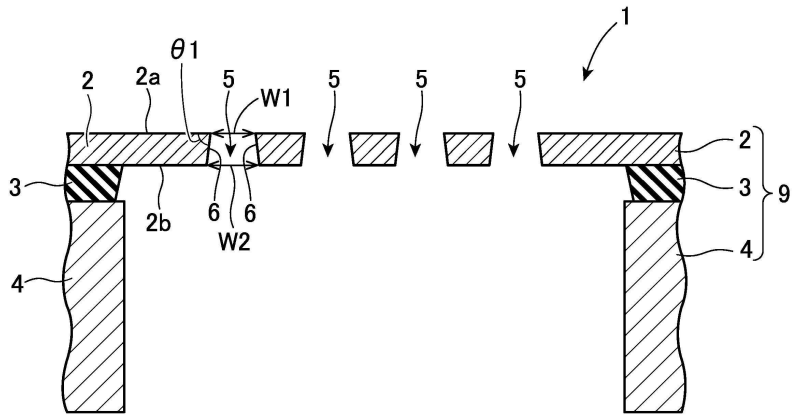
[0151] 본 출원은, 2023년 8월 10일에 출원된 일본 특허 출원 2023-130556에 기초한다. 이 내용은 모두 여기에 포함시켜 둔다.

도면

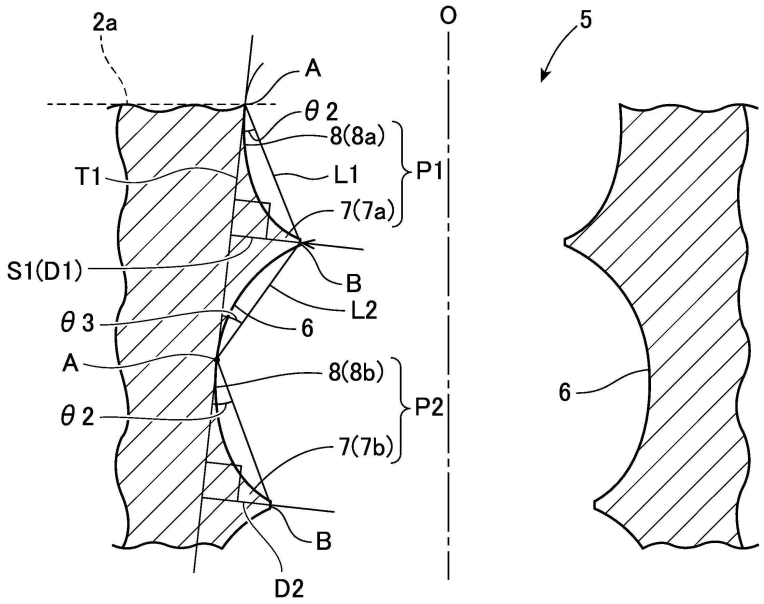
도면1



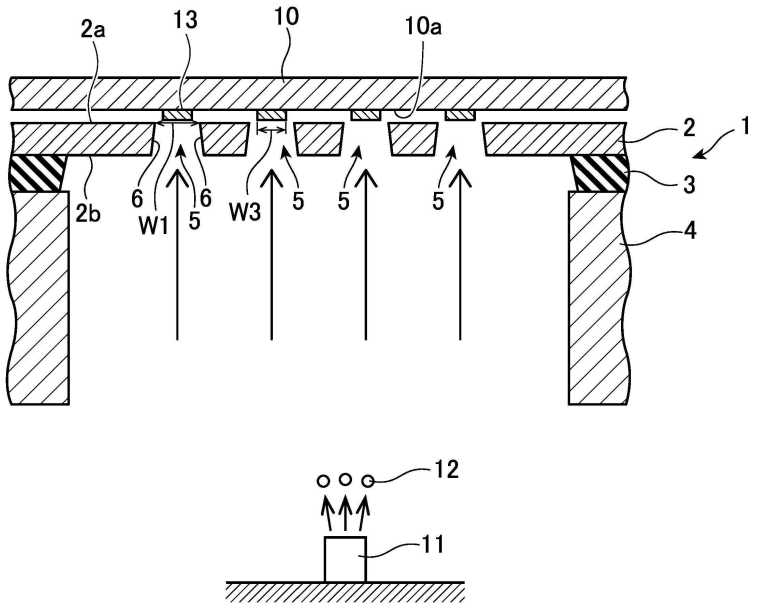
도면2


1
θ1
2
2a
5
W1
5
5
5
2
3
9
4
3
2b
6
6
W2
4

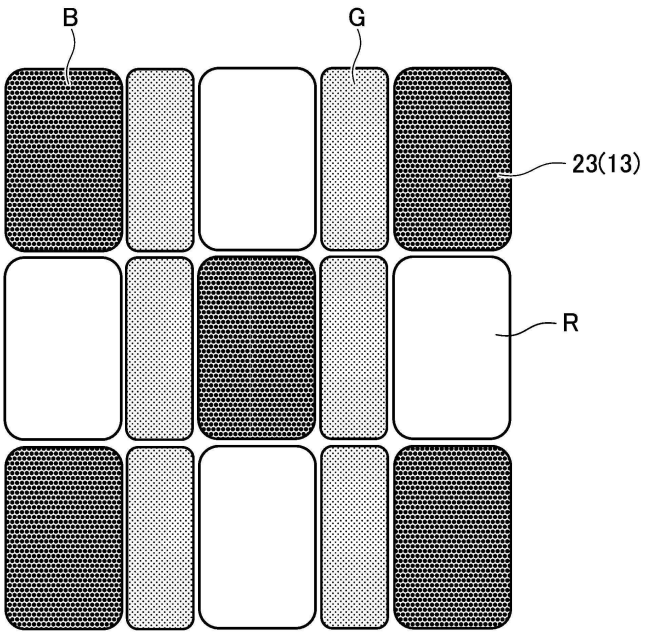
도면3


2a
O
5
A
θ2
8(8a)
P1
T1
L1
7(7a)
S1(D1)
B
L2
θ3
6
A
8(8b)
P2
θ2
7(7b)
B
D2
6

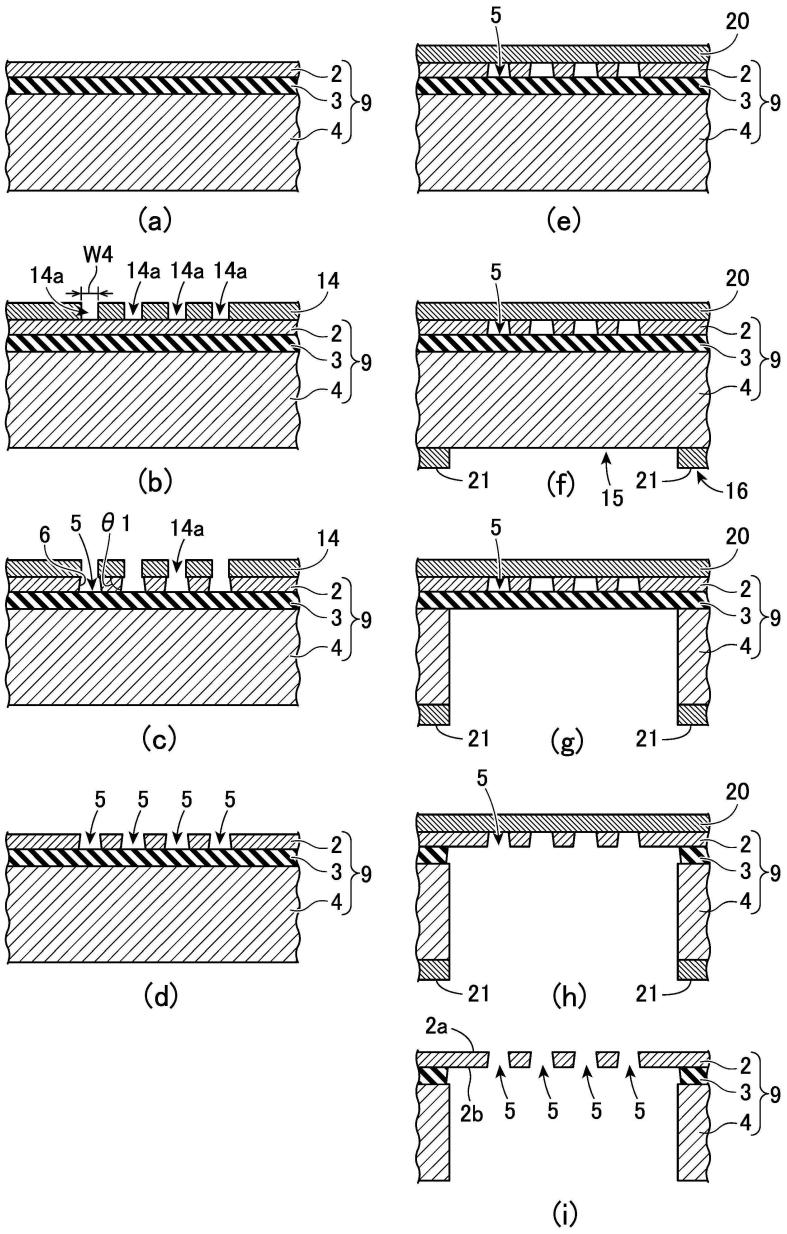
도면4



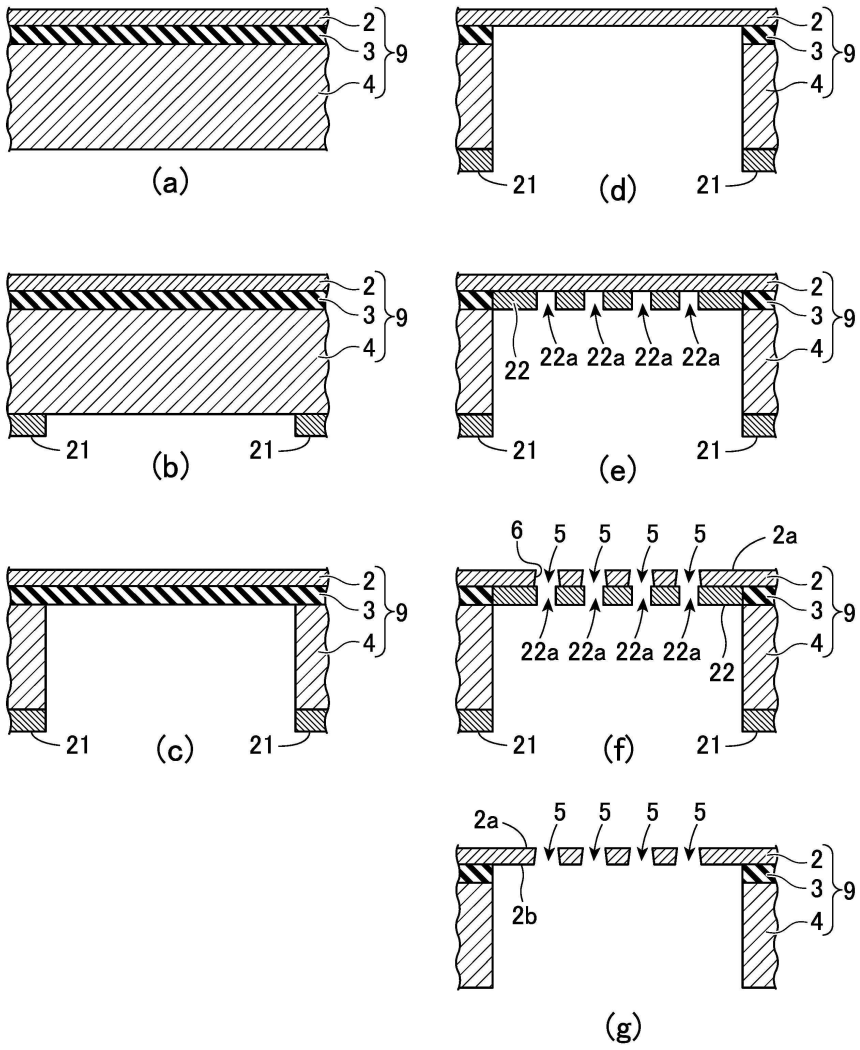
도면5



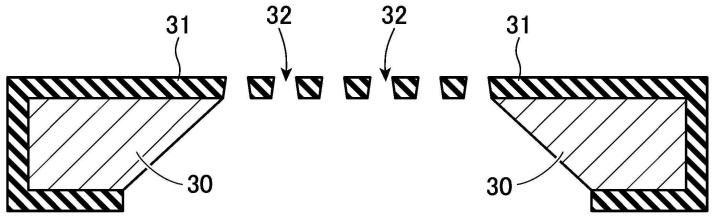
도면6



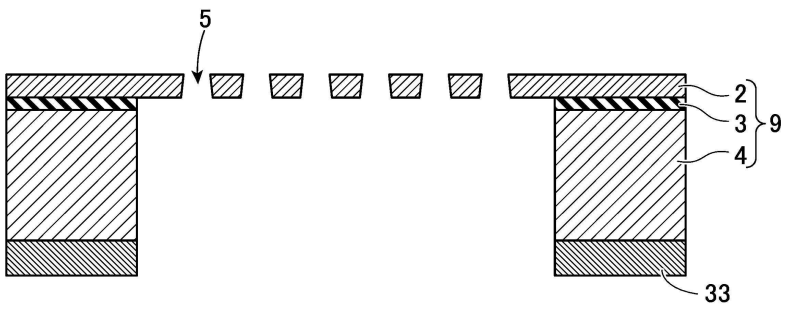
도면7



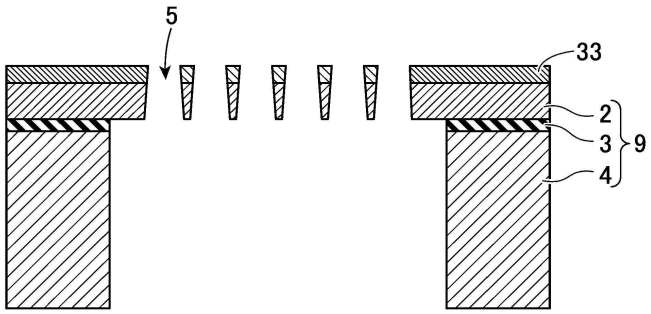
도면8



도면9



도면10



도면11

