

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成23年6月16日(2011.6.16)

【公開番号】特開2008-48472(P2008-48472A)

【公開日】平成20年2月28日(2008.2.28)

【年通号数】公開・登録公報2008-008

【出願番号】特願2006-218927(P2006-218927)

【国際特許分類】

H 02 M 7/48 (2007.01)

【F I】

H 02 M 7/48 M

H 02 M 7/48 U

【手続補正書】

【提出日】平成23年4月25日(2011.4.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

高電圧の上側ラインと低電圧の下側ラインとの間に直列接続した2つのスイッチング素子を有し、各々のスイッチング素子に逆並列接続された還流ダイオードを有し、スイッチング素子をオンオフし、直列接続したスイッチング素子が共にオンしないようにデッドタイムが設定され、2つのスイッチング素子の中点から出力を取り出す電力変換回路であって、

前記中点の電圧 V_o と、前記上下ライン間の電圧 V_c と、予め決定された閾値電圧 V と、が入力され、 $V_o - V$ と、 $V_o - (V_c - V)$ の値によって、 V_o の状態を検出する電圧センサを含み、

電圧センサの検出結果に基づいて、前記スイッチング素子のスイッチングを制御するための指令についてデッドタイム補償を行うことを特徴とする電力変換回路。

【請求項2】

請求項1に記載の電力変換回路において、

前記電圧センサは、

V_o と V とが入力され、これらを比較する第1コンパレータと、

V_c と V とが入力され、これらの差を出力するオペアンプを利用した減算器と、

この減算器の出力と V_o が入力され、これらを比較する第2コンパレータと、

を含むことを特徴とする電力変換回路。

【請求項3】

請求項2に記載の電力変換回路において、

前記電圧センサは、

前記第1コンパレータの比較結果を取り込む第1フリップフロップと、

前記第2コンパレータの比較結果を取り込む第2フリップフロップと、

を含み、

第1フリップフロップと第2フリップフロップの出力を検出結果として出力することを特徴とする電力変換回路。

【請求項4】

請求項3に記載の電力変換回路において、

前記第1フリップフロップは、上側電源ライン側のスイッチング素子がオンするタイミングで第1コンパレータの比較結果を取り込み、

前記第2フリップフロップは、下側電源ライン側のスイッチング素子がオンするタイミングで第2コンパレータの比較結果を取り込むことを特徴とする電力変換回路。

【請求項5】

請求項4に記載の電力変換回路において、

前記電圧センサは、

前記第2コンパレータの比較結果を上側電源ライン側のスイッチング素子がオンするタイミングで取り込む第3フリップフロップをさらに含み、

第1～第3フリップフロップの出力を検出結果として出力することを特徴とする電力変換回路。

【請求項6】

請求項1～5のいずれか1つに記載の電力変換回路において、

前記電圧V₀およびV_cは、同一の分圧比で、抵抗分圧して低電圧化した電圧であることを特徴とする電力変換回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

また、前記電圧センサは、前記第2コンパレータの比較結果を上側電源ライン側のスイッチング素子がオンするタイミングで取り込む第3フリップフロップをさらに含み、第1～第3フリップフロップの出力を検出結果として出力することが好適である。