(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年11月26日(26.11.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/235233 A1

(51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 29/739* (2006.01)
H01L 21/82 (2006.01) *H01L 29/78* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/861* (2006.01)
H01L 27/06 (2006.01) *H01L 29/868* (2006.01)
H01L 27/088 (2006.01)

(21) 国際出願番号： PCT/JP2020/015432

(22) 国際出願日： 2020年4月3日(03.04.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-096539 2019年5月23日(23.05.2019) JP
特願 2019-132095 2019年7月17日(17.07.2019) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

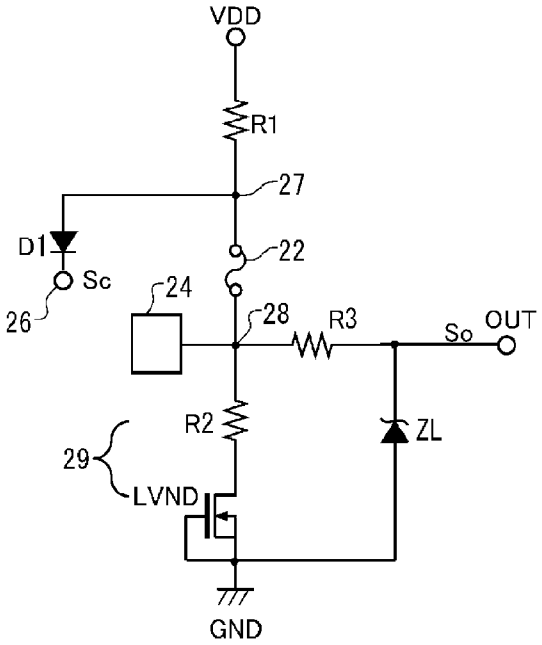
(72) 発明者: 岩水 守生 (**IWAMIZU Morio**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 龍華国際特許業務法人(**RYUKA IP LAW FIRM**); 〒1631522 東京都新宿区西新宿１－６－１ 新宿エルタワー２２階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) **Title:** TRIMMING CIRCUIT AND TRIMMING METHOD

(54) 発明の名称： トリミング回路およびトリミング方法



20

(57) **Abstract:** Provided is a trimming circuit for outputting a voltage in response to the presence/absence of a blown fusible resistor, the trimming circuit comprising: a fusible resistor formed by a polysilicon layer disposed on a semiconductor substrate with an insulating layer intervening; a pad for trimming use, connected to one end of the fusible resistor; an output terminal which is electrically connected to a connection node between the fusible resistor and the pad and which outputs a voltage according to whether the fusible resistor has been blown; and a diode which is formed on the semicon-

WO 2020/235233 A1

［続葉有］

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

ductor substrate and one end of which is connected to the other end of the fusible resistor.

(57) 要約:ヒューズ抵抗の切断の有無に応じた電圧を出力するトリミング回路であって、半導体基板に絶縁膜を介して配置されるポリシリコン層により形成されるヒューズ抵抗と、ヒューズ抵抗の一端に接続されるトリミング用のパッドと、ヒューズ抵抗とパッドとの接続点に電気的に接続されており、ヒューズ抵抗の切断の有無に応じた電圧を出力する出力端子と、半導体基板に形成されており、ヒューズ抵抗の他端に一端が接続されるダイオードと、を備えているトリミング回路を提供する。

明　細　書

発明の名称 ： トリミング回路およびトリミング方法

技術分野

[0001] 本発明は、トリミング回路およびトリミング方法に関する。

[0002] 半導体集積回路における製造バラつきによる回路特性の変動を補正するために、トリミング回路が用いられる。トリミング回路として、ポリシリコン層により形成されたヒューズ抵抗を備える回路が知られている（例えば、特許文献１）。また、ヒューズ抵抗の両端のそれぞれにトリミング専用の外部端子を設けたトリミング回路が知られている（例えば、特許文献２）。

［先行技術文献］

［特許文献］

［特許文献１］　特開２０１８－２２８４８号公報

［特許文献２］　特開２０００－３４０６５６号公報

解決しようとする課題

[0003] トリミング回路は、ヒューズ抵抗の切断の有無により出力端子の電圧が変動する本体部と、本体部の出力電圧によって特性が変動する調整部とを有する。トリミングが実行されて、ヒューズ抵抗が切断された後においても、本体部の出力端子の電圧を確認できることが望ましい。

一般的開示

[0004] 本発明の一態様は、トリミング回路を提供する。トリミング回路は、ヒューズ抵抗の切断の有無に応じた電圧を出力する本体部を備えてよい。本体部は、ヒューズ抵抗と、トリミング用のパッドと、出力端子と、ダイオードと、を備えてよい。ヒューズ抵抗は、半導体基板に絶縁膜を介して配置されるポリシリコン層により形成されてよい。パッドは、ヒューズ抵抗の一端に接続されてよい。出力端子は、ヒューズ抵抗とパッドとの接続点に電気的に接続されてよい。出力端子は、ヒューズ抵抗の切断の有無に応じた電圧を出力してよい。ダイオードは、半導体基板に形成されてよい。ダイオードは、ヒ

ューズ抵抗の他端に一端が接続されてよい。

[0005] ダイオードは、第１導電型の半導体基板に形成された第２導電型の半導体領域を有してよい。

[0006] トリミング回路は、第１抵抗部を備えてよい。第１抵抗部の一端は、ヒューズ抵抗とダイオードとの接続点に接続されてよい。第１抵抗部の他端は、第１電位に接続されてよい。

[0007] トリミング回路は、第２抵抗部を備えてよい。第２抵抗部の一端は、ヒューズ抵抗とパッドとの接続点に接続されてよい。第２抵抗部の他端は、第２電位に接続されてよい。

[0008] トリミング回路は、保護ダイオードを備えてよい。保護ダイオードは、第２抵抗部の他端と出力端子との間に接続されてよい。

[0009] トリミング回路は、トランジスタ部を備えてよい。トランジスタ部は、半導体基板に形成されてよい。本体部の出力端子に、トランジスタ部の制御端子が接続されてよい。

[0010] ダイオードは、縦型ダイオードであってよい。ダイオードの他端が、半導体基板の基板電極に接続されてよい。

[0011] 第１導電型は、ｎ型であってよい。第２導電型は、ｐ型であってよい。ヒューズ抵抗の他端とダイオードのアノードとが接続されてよい。トリミング回路は、第１抵抗部を備えてよい。第１抵抗部の一端は、ヒューズ抵抗とダイオードのアノードとの接続点に接続されてよい。第１抵抗部の他端は、高電位配線に接続されてよい。トリミング回路は、第２抵抗部を備えてよい。第２抵抗部の一端は、ヒューズ抵抗とパッドとの接続点に接続されてよい。第２抵抗部の他端は、グランド配線に接続されてよい。

[0012] 第１導電型は、ｐ型であってよい。第２導電型は、ｎ型であってよい。ヒューズ抵抗の他端とダイオードのカソードとが接続されてよい。トリミング回路は、第１抵抗部を備えてよい。第１抵抗部の一端は、ヒューズ抵抗とダイオードのカソードとの接続点に接続されてよい。第１抵抗部の他端は、グランド配線に接続されてよい。トリミング回路は、第２抵抗部を備えてよい

。第２抵抗部の一端は、ヒューズ抵抗とパッドとの接続点に接続されてよい。第２抵抗部の他端は、高電位配線に接続されてよい。

[0013] トリミング回路は、複数の本体部を備えてよい。ダイオードが、複数の本体部に対して共通に設けられてよい。ダイオードには、それぞれの本体部のヒューズ抵抗の他端が接続されていてよい。

[0014] トリミング回路は、複数の本体部に対して共通に設けられ、ダイオードに一端が接続され、他端が高電位配線に接続される第１抵抗部を備えてよい。第１抵抗部の一端には、それぞれの本体部のヒューズ抵抗の他端が接続されていてよい。

[0015] トリミング回路は、複数の本体部に対して共通に設けられ、ダイオードに一端が接続され、他端がグランド配線に接続される第１抵抗部を備えてよい。第１抵抗部の一端には、それぞれの本体部のヒューズ抵抗の他端が接続されていてよい。

[0016] ダイオードのカソードに、それぞれの本体部のヒューズ抵抗の他端が接続されていてよい。

[0017] ダイオードのアノードに、それぞれの本体部のヒューズ抵抗の他端が接続されていてよい。

[0018] 本発明の他の態様は、上記のトリミング回路を用いて、被調整素子の電気特性を調整するトリミング方法であってよい。トリミング方法は、ダイオードに順方向電流が流れるように半導体基板の電位と、パッドに印加する電圧を調整する段階を備えてよい。トリミング方法は、順方向電流がヒューズ抵抗を流れることによってヒューズ抵抗を切断する段階を備えてよい。

[0019] トリミング方法は、ダイオードに順方向電流を流す段階の前に、パッドに、予め定められた電圧を印加することにより、ヒューズ抵抗が仮想的に切断された状態を生成する段階を備えてよい。

[0020] ヒューズ抵抗を切断した後において、パッドと出力端子とは電気的に接続されていてよい。

[0021] 電圧を調整する段階において、ヒューズ抵抗を切断すべき本体部のパッド

に、選択的に電圧を印加してよい。

[0022] それぞれの本体部には、高電位およびグランド電位が印加されてよい。電圧を調整する段階において、ヒューズ抵抗を切断すべき本体部に印加するグランド電位を変更してよい。

[0023] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0024] [図1]本発明の一実施形態に係るトリミング回路１００の概略構成を示す図である

[図2]本発明の一実施形態に係るトリミング回路１００における本体部２０の一例を示す回路図である。

[図3]トリミング方法の一例を示すフローチャートである。

[図4]比較例のトリミング回路の本体部２１の一例を示す回路図である。

[図5]トリミング回路１００における本体部２０の他の例を示す回路図である。

[図6]トリミング回路１００が適用される半導体装置２００の一例である。

[図7]トリミング回路１００に用いられる縦型ダイオードの一例を示す断面図である。

[図8]比較例として拡散ダイオードの一例を示す断面図である。

[図9]比較例としてポリシリコンダイオードの一例を示す断面図である。

[図10]本体部２０の構成例を示す平面図である。

[図11]本体部２０の構成例を示す断面図である。

[図12]ｐ型半導体基板３０を用いた本体部２０の一例を示す回路図である。

[図13]ｐ型半導体基板３０を用いた本体部２０の比較例を示す回路図である。

[図14]トリミング回路１００の他の構成例を示す図である。

[図15]トリミング回路１００の他の構成例を示す図である。

[図16]トリミング回路１００の他の構成例を示す図である。

[図17]トリミング回路１００の他の構成例を示す図である。

[図18]第１ダイオードＤ１の他の構成例を示す図である。

[図19]保護ダイオードＤｉを説明する図である。

発明を実施するための形態

[0025] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0026] 図１は、本発明の一実施形態に係るトリミング回路１００の概略構成を示す図である。トリミング回路１００は、一例において、内部端子Ｔ１、Ｔ２間の抵抗値を調整する。内部端子Ｔ１、Ｔ２間には、被調整素子として抵抗が接続されている。内部端子Ｔ１およびＴ２の間には、複数の被調整素子２が直列接続されてよい。トリミング回路１００は、それぞれの被調整素子２の両端を、短絡するか否かを切り替えることで、内部端子Ｔ１、Ｔ２間の抵抗値を調整してよい。被調整素子２の数および抵抗値は、適宜に変更されてよい。また、被調整素子２は、抵抗に限られず、ＭＯＳＦＥＴ等の他の素子であってもよい。この場合、トリミング回路１００は、例えばＭＯＳＦＥＴが直列接続した直列ＭＯＳＦＥＴ回路の電気特性を調整する。

[0027] 本例において、トリミング回路１００は、本体部２０とトランジスタ部１０とを備える。本例では、一つの本体部２０と、一つのトランジスタ部１０とが一つのセットになっている。トリミング回路１００は、複数セットの本体部２０およびトランジスタ部１０を備えてよい。本体部２０とトランジスタ部１０のセット数は、適宜に変更されてよい。本体部２０とトランジスタ部１０のセット数が増えるほど、端子Ｔ１、Ｔ２間の抵抗、電流等の電気特性をきめ細かく調整することができ、調整精度を高めることができる。

[0028] トランジスタ部１０は、ＭＯＳトランジスタであってよい。例えば、図１に示すトランジスタ部１０は、ｎチャネル型ＭＯＳＦＥＴである。トランジ

スタ部１０のドレイン１２とソース１３との間に被調整素子２が設けられる。すなわち、電流等の電気特性を調整したい被調整素子２とトランジスタ部１０とが並列に接続される。トランジスタ部１０のゲート１１は、本体部２０の出力端子ＯＵＴに接続されてよい。トランジスタ部１０は、半導体基板に形成され、本体部２０の出力端子ＯＵＴに制御端子（ゲート端子）が接続されるスイッチング素子の一例である。

[0029] 本例では、本体部２０の出力端子ＯＵＴがＬｏレベル（低レベル）になると、トランジスタ部１０はオフになる。これにより、対応する被調整素子２の両端は短絡されていない状態となる。一方、本体部２０の出力端子ＯＵＴがＨｉレベル（高レベル）になると、トランジスタ部１０はオンとなる。トランジスタ部１０がオンとなると、対応する被調整素子２の両端はショート（短絡）状態となる。但し、この場合に限られず、本体部２０の出力端子ＯＵＴがＬｏレベルになるとトランジスタ部１０がオンとなり、本体部２０の出力端子ＯＵＴがＨｉレベルになると、トランジスタ部１０がオフとなるようにトランジスタ部１０を構成してもよい。

[0030] 図２は、トリミング回路１００における本体部２０の一例を示す回路図である。トリミング回路１００は、ヒューズ抵抗２２、トリミング用のパッド２４、第１ダイオードＤ１、および出力端子ＯＵＴを備える。トリミング回路１００は、第１抵抗素子Ｒ１、第２抵抗部２９、第３抵抗素子Ｒ３、および保護ダイオードＺＬを備えてよい。第１抵抗素子Ｒ１は、第１抵抗部の一例である。本例の第２抵抗部２９は、第２抵抗素子Ｒ２と、抵抗素子ＬＶＮＤとを備えてよい。抵抗素子ＬＶＮＤは、トランジスタを用いた高抵抗素子である。本例では、第２抵抗素子Ｒ２と抵抗素子ＬＶＮＤとが直列に接続されている。第３抵抗素子Ｒ３は、第３抵抗部の一例である。但し、第１抵抗部、第２抵抗部、および第３抵抗部は、これらの場合に限られない。

[0031] トリミング回路１００は、ヒューズ抵抗２２の切断の有無に応じた電圧Ｓｏを出力端子ＯＵＴへ出力する回路である。トリミング回路１００は、ヒューズ抵抗２２の切断に応じて出力端子ＯＵＴへ印加される電圧Ｓｏを変化さ

せて、上述したとおりトランジスタ部１０のオン・オフを決定する。また、ヒューズ抵抗２２が仮想的に切断された状態を生成する仮想切断が実行される場合にも、トリミング回路１００は、電圧Ｓｏを変化させる。

[0032] ヒューズ抵抗２２の一端は、接続点２８においてパッド２４と接続されている。ヒューズ抵抗２２の他端は、接続点２７において第１ダイオードＤ１の一端に接続されている。本例では、ヒューズ抵抗２２の他端は、第１ダイオードＤ１のアノードに接続されている。出力端子ＯＵＴは、ヒューズ抵抗２２とパッド２４との接続点２８に電気的に接続されている。本例では、出力端子ＯＵＴは、第３抵抗素子Ｒ３を介して接続点２８に電気的に接続されている。出力端子ＯＵＴは、ヒューズ抵抗２２の切断の有無に応じた電圧を出力する。

[0033] 第１抵抗素子Ｒ１の一端は、ヒューズ抵抗２２と第１ダイオードＤ１のアノードとの接続点２７に接続される。一方、第１抵抗素子Ｒ１の他端は、第１電位に接続される。第２抵抗部２９の一端は、ヒューズ抵抗２２の一端とパッド２４との接続点２８に接続される。一方、第２抵抗部２９の他端は、第２電位に接続される。すなわち、ヒューズ抵抗２２の一端は、第２抵抗部２９を介して第２電位に接続される。本例では、第２抵抗素子Ｒ２が接続点２８に接続され、抵抗素子ＬＶＮＤが第２電位に接続されているが、逆に、抵抗素子ＬＶＮＤが接続点２８に接続され、第２抵抗素子Ｒ２が第２電位に接続されてもよい。

[0034] 本例において、第１電位は、第２電位より高電位であってよい。本例において、第２電位は、グランド配線ＧＮＤの電位（グランド電位）に対応し、第１電位は、高電位配線ＶＤＤの電位に対応する。第２電位は、グランド電位に略等しいＬｏレベルであってよく、第１電位は、高電位配線ＶＤＤの電位に略等しいＨｉレベルであってよい。ヒューズ抵抗２２の一端は、第１抵抗素子Ｒ１を介して高電位配線ＶＤＤに接続されてよい。第２抵抗部２９の他端、特に抵抗素子ＬＶＮＤのゲートとドレインとは、グランド配線ＧＮＤに接続されてよい。本例の接続点２７は、接続点２８よりも、高電位配線Ｖ

ＤＤ側の点である。接続点２７は、ヒューズ抵抗２２と高電位配線ＶＤＤの間に配置されてよい。接続点２８は、ヒューズ抵抗２２とグランド配線ＧＮＤとの間に配置されてよい。

[0035] 保護ダイオードＺＬは、第２抵抗部２９の他端と出力端子ＯＵＴとの間に接続される。本例では、保護ダイオードＺＬのアノードは、第２電位であるグランド配線ＧＮＤに接続され、保護ダイオードＺＬのカソードは、出力端子ＯＵＴに接続される。

[0036] ヒューズ抵抗２２、トリミング用のパッド２４、第１ダイオードＤ１、第１抵抗素子Ｒ１、第２抵抗部２９、第３抵抗素子Ｒ３および保護ダイオードＺＬは、半導体基板上に形成されてよい。図１に示されるトランジスタ部１０も、同じ半導体基板上に形成されてよい。ヒューズ抵抗２２は、例えばポリシリコン層により形成されたポリシリコンヒューズである。第１ダイオードＤ１は、第１導電型の半導体基板に第２導電型の半導体領域を有する。一例において、第１導電型はｎ型であって、第２導電型はｐ型である。

[0037] 第１ダイオードＤ１の一端は、半導体基板の基板電極２６に接続されてよい。基板電極２６は、第１導電型の半導体基板の電位Ｓｃを固定する電極である。基板電極２６は、半導体基板の裏面に配置される裏面電極であってもよく、おもて側に配置される電極であってもよい。

[0038] 第１抵抗素子Ｒ１は、トリミング回路１００がトリミングを実行していない状態において、出力端子ＯＵＴを高電位配線ＶＤＤの電位にプルアップ（分圧）するためのプルアップ抵抗であるとともに、ヒューズ抵抗２２に流れる電流を制限する電流制限抵抗でもある。一方、第２抵抗部２９は、ヒューズ抵抗２２が切断された状態において出力端子ＯＵＴをグランド電位にプルダウン（分圧）するためのプルダウン抵抗である。第２抵抗部２９および第３抵抗素子Ｒ３も、ヒューズ抵抗２２に流れる電流を制限する電流制限抵抗でもある。第１抵抗素子Ｒ１、第２抵抗部２９、および第３抵抗素子Ｒ３の抵抗値は、トリミング未実施であってヒューズ抵抗２２が切断されていない状態において、出力端子ＯＵＴに印加される電圧S_oが、トランジスタ部１０

がオンするレベルとなるように調整されてよい。

[0039] ［非トリミング時］

トリミング回路１００がトリミングを実行していない状態においては、出力端子ＯＵＴの出力電圧Ｓ$_o$は、高電位配線ＶＤＤによりプルアップ（分圧）されている。一例において、高電位配線ＶＤＤに印加された電圧が第１抵抗素子Ｒ１および第２抵抗部２９によって分圧される。例えば、高電位配線ＶＤＤに印加された電圧が５Ｖであり、第１抵抗素子Ｒ１、第２抵抗部２９、およびヒューズ抵抗２２の電気抵抗値が、それぞれ１００ｋΩ、１０ｋΩ、および１００Ωであるとすると、出力端子ＯＵＴには、約４．５Ｖの電圧が印加される。すなわち、出力端子ＯＵＴには、Ｈｉレベル（トランジスタ部１０を構成するトランジスタの閾値電圧より高い電圧）の電圧Ｓｏが印加される。これにより、電流調整用のＭＯＳＦＥＴであるトランジスタ部１０はオンし、対応する被調整素子２の両端はショート状態を維持する。

[0040] 図３は、トリミング方法の一例を示すフローチャートである。図３を参照しつつ、仮想切断および通常切断を説明する。

[0041] ［仮想切断時］

トリミング回路１００は、ヒューズ抵抗２２の切断後における被調整素子２の電気特性を確認するために仮想切断を実行することができる。トリミング回路１００は、ヒューズ抵抗２２が仮想的に切断された状態を生成する。トリミング回路１００が、仮想切断を実行する場合には（ステップＳ１００：ＹＥＳ）、トリミング用のパッド２４に印加される電圧Ｓｐが調整されてよい。

[0042] トリミング回路１００において、外部電圧源または内部電圧源は、ヒューズ抵抗２２の仮想切断状態を生成するために、実際にヒューズ抵抗２２が接続されたときの接続点２８の電圧に対応する電圧Ｓｐをパッド２４に印加する（ステップＳ１０１）。本例では、実際にヒューズ抵抗２２が切断された場合には、第２抵抗部２９が接続点２８をグランド電位にプルダウン（分圧）する。したがって、外部電圧源または内部電圧源は、グランド配線の電圧

（例えば、０Ｖ電圧）をパッド２４に印加してよい。ステップＳ１０１は、第１ダイオードＤ１に順方向電流を流す段階の前に、パッド２４に、予め定められた電圧を印加することにより、ヒューズ抵抗２２が仮想的に切断された状態を生成する段階に対応する。

[0043] トリミング用のパッド２４に、０Ｖの電圧Ｓｐが印加されることにより、ヒューズ抵抗２２が切断された場合と同様に、出力端子ＯＵＴにＬｏレベルの電圧Ｓｏが印加される。これにより、電流調整用のＭＯＳＦＥＴであるトランジスタ部１０はオフし、対応する被調整素子２の両端は短絡されていない状態となる。すなわち、仮想切断が実現される。この段階で、調整対象の特性が測定され、対象となったヒューズ抵抗２２の切断結果が評価される。評価結果が目標を満たさず、かつ別のトリミング状態が設定できる場合は、ステップＳ１０２でＮｏ側に分岐する。トランジスタ部１０、ヒューズ抵抗２２、およびトリミング用のパッド２４を複数の被調整素子２に対しそれぞれ用意して並列的に設けてもよい。この場合も、各ヒューズ抵抗２２を個別に仮想切断することができる。

[0044] ［通常切断時］

仮想切断により得られた結果に基づいて、トリミングを実行するか否かが決定されてよい（ステップＳ１０２）。例えば、端子Ｔ１と端子Ｔ２との間の抵抗値または電流値が目標範囲になるように、複数のヒューズ抵抗２２のうちから選択的に切断するヒューズ抵抗２２が決定される。

[0045] トリミング実行時には（ステップＳ１０２：ＹＥＳ）、第１ダイオードＤ１に順方向電流が流れるように第１導電型の半導体基板の電位Ｓｃと、パッド２４に印加する電圧を調整する（ステップＳ１０３）。本例では、半導体基板の基板電極２６をグランド電位とする。そして、トリミング用のパッド２４に、高電位配線ＶＤＤに印加される電圧より高い電圧が外部電圧源または内部電圧源によって印加されてよい。

[0046] 例えば、外部電圧源または内部電圧源によって、パッド２４には、１０Ｖ以上３０Ｖ以下の電圧が印加される。これにより、ヒューズ抵抗２２に電流

が流れて、ヒューズ抵抗２２がジュール熱により切断される（ステップＳ１０４）。第１ダイオードＤ１は、順方向に接続されることになるので、順方向電流が、ヒューズ抵抗２２および第１ダイオードＤ１を通じて基板電極２６へ流れる。したがって、第１抵抗素子Ｒ１および第２抵抗部２９の影響を受けずに、ヒューズ抵抗２２を切断するのに十分な電流を流すことができる。他の例では、ヒューズ抵抗２２を切断する場合には、第２抵抗部２９が接続するグランド電位を調整してもよい。例えば、パッド２４にヒューズ抵抗２２を切断するための電圧を印加する場合には、パッド２４に電圧を印加しない場合に比べて、グランド電位を上昇させてよい。これにより、パッド２４から第２抵抗部２９に電流が流れることを抑制できる。パッド２４にヒューズ抵抗２２を切断するための電圧を印加する場合、グランド電位を、基板電位Ｓｃより高くしてよい。当該グランド電位を、高電位配線ＶＤＤと同電位にしてもよい。これにより、ヒューズ抵抗２２に電流を流しやすくなり、ヒューズ抵抗２２を容易に切断できる。

[0047] トリミング後には、トリミング回路１００は、ヒューズ抵抗２２が切断された状態となる。ヒューズ抵抗２２が切断された状態においては、第２抵抗部２９が、出力端子ＯＵＴをグランド電位にプルダウンする。具体的には、出力端子ＯＵＴは、第２抵抗部２９と第３抵抗素子Ｒ３によって分圧された電圧が印加される。したがって、出力端子ＯＵＴには、Ｌｏレベルの電圧Ｓｏが印加される。これにより、電流調整用のＭＯＳＦＥＴであるトランジスタ部１０はオフし、対応する被調整素子２の両端は短絡されていない状態に変化する。

[0048] 図４は、比較例のトリミング回路の本体部２１の一例を示す回路図である。比較例のトリミング回路においては、ヒューズ抵抗２２と第１抵抗素子Ｒ１との接続点２７ｂにトリミング用のパッド２４が接続されており、ヒューズ抵抗２２と第２抵抗部２９との接続点２８ｂに第１ダイオードＤ１が接続されている。第１ダイオードＤ１とヒューズ抵抗２２の接続点２８ｂに出力端子ＯＵＴが接続されている。比較例のトリミング回路においても、トリミ

ング用のパッド２４をヒューズ抵抗２２の両端にそれぞれ設けないため、回路面積の拡大を防止することができる。しかしながら、比較例のトリミング回路においては、ヒューズ抵抗２２が切断された状態において、パッド２４と出力端子ＯＵＴとが電気的に切り離されてしまう。

[0049] 一方、図２に示される本発明のトリミング回路１００の本体部２０によれば、ヒューズ抵抗２２が切断された状態においても、パッド２４と出力端子ＯＵＴとが電気的に接続されている。したがって、トリミング用のパッド２４を、出力端子ＯＵＴにおける電圧の監視に再活用することができる。具体的には、トリミング後においても、出力端子ＯＵＴにおける電圧Ｓｏを測定することができる。また、トリミングが素子に与える劣化（リーク）の有無を確認することができ、回路における高信頼性を確保することができる。

[0050] なお、保護ダイオードＺＬは、省略することもできる。

図５は、トリミング回路１００における本体部２０の他の例を示す回路図である。図５に示される本体部２０は、保護ダイオードＺＬが省略されていることを除いて、図２に示される本体部２０と同様の構造を有する。

[0051] 図６は、トリミング回路１００が適用される半導体装置２００の一例である。本実施形態のトリミング回路１００は、種々の半導体装置２００に適用することができる。一例において、半導体装置２００は、出力段回路部２１０と、制御回路部２３０とが同一の半導体基板３０上に形成されている。一例において、半導体装置２００は、ＩＰＳ（インテリジェント　パワー　スイッチ）である。

[0052] 出力段回路部２１０は、トレンチゲート型のパワー半導体を含んでよい。出力段回路部２１０は、縦型のＭＯＳＦＥＴ（metal-oxide-semiconductor field-effect transistor）であってもよく、ＩＧＢＴ（絶縁ゲートバイポーラトランジスタ）であってもよい。本例では、トレンチゲートを有する縦型ＭＯＳＦＥＴである。

[0053] 本例では、半導体基板３０の導電型は、ｎ型である。半導体基板３０は、ｎ－型ドリフト層２０１を備える。半導体基板３０の一方の面（図では裏面

）には、不純物拡散等によりコンタクト層２０２としてのｎ＋型層が形成される。コンタクト層２０２にはドレイン電極２０３が形成されている。ドレイン電極２０３は、金属等の導電性材料で形成される。なお、半導体基板３０の主面のうちドレイン電極２０３が形成される主面を裏面とし、裏面の反対側の主面をおもて面と称する。

[0054] 半導体基板３０の他方の面である、おもて面にはｐ型ベース層２１２が形成されている。ｐ型ベース層２１２の表面には、ｐ＋型層２１３を囲んでｎ＋型層２１４が形成されている。半導体基板３０には、トレンチゲートが形成されている。トレンチゲートは、ｐ型ベース層２１２を突き抜けてｎ－型ドリフト層２０１まで達している。トレンチゲートはトレンチ内に充填された導電部２１５と、導電部２１５を半導体基板３０から電気的に分離する絶縁膜２１６とを備える。ソース電極２２０がｐ＋型層２１３を覆って形成されている。ソース電極２２０は導電性材料によって形成される。トレンチゲートの上方には、絶縁膜２２２が形成されている。絶縁膜２２２は、トレンチゲートとソース電極２２０とを絶縁する。

[0055] なお、本発明において構成要素として表示する「ｎ」は電子を多数キャリアとする要素を意味し、「ｐ」は正孔を多数キャリアとする要素を意味し、「＋」は比較的高不純物濃度であることを意味し、「－」は比較的低不純物濃度であることを意味する。

[0056] 制御回路部２３０は、半導体基板３０のおもて面側において、ｎチャンネル型のＭＯＳトランジスタ２４０とｐチャンネル型のＭＯＳトランジスタ２５０とを組み合わせたＣＭＯＳ回路部を含んでよい。ｎチャンネル型のＭＯＳトランジスタ２４０は、ｎ型の半導体基板３０内に形成されたｐウェル領域２４１を有する。そしてｐウェル領域２４１の内部に、それぞれｎ＋型のソース領域２４２とドレイン領域２４３が形成されている。ソース領域２４２にはソース電極２４６が接続され、ドレイン領域２４３にはドレイン電極２４７に接続される。ソース電極２４６およびドレイン電極２４７は、金属等の導電性材料によって形成される。半導体基板３０のおもて面上には、ゲ

ート絶縁膜２４５を介してゲート電極２４４が設けられる。ゲート電極２４４の一方の側方にはソース領域２４２が設けられ、ゲート電極２４４の他方の側方にはドレイン領域２４３が設けられる。

[0057] ｐチャンネル型のＭＯＳトランジスタ２５０は、ｎ型の半導体基板３０内に形成されたｐウェル領域２５１を有し、そのｐウェル領域２５１の内部にｎウェル領域２５２を有する。ｎウェル領域２５２の内部に、それぞれｐ＋型のソース領域２５３とドレイン領域２５４が形成されている。ソース領域２５３には、ソース電極２５７が接続され、ドレイン領域２５４には、ドレイン電極２５８が接続される。半導体基板３０のおもて面上には、ゲート絶縁膜２５６を介してゲート電極２５５が設けられる。

[0058] 本発明の実施形態であるトリミング回路１００は、上記の半導体装置２００における半導体基板３０上に構成されてよい。トリミング回路１００は、半導体装置２００における種々の電圧を設定するために用いられてよい。

[0059] 図７は、トリミング回路１００に用いられる縦型ダイオードの一例を示す断面図である。図７に示されるとおり、トリミング回路１００において、第１ダイオードＤ１が半導体基板３０に形成されている。本例では、半導体基板３０は、ｎ型半導体基板３０である。図７に示されるとおり、半導体基板３０のおもて面側に第２導電型の第１半導体領域４２が形成されている。一例において、第１半導体領域４２は、ｎ型半導体基板３０に形成されたｐ型拡散層である。第１半導体領域４２と半導体基板３０とによってＰＮ接合が形成される。このＰＮ接合が第１ダイオードＤ１として機能する。

[0060] 第１ダイオードＤ１は、縦型ダイオードであってよい。本明細書において、縦型ダイオードとは、半導体基板３０の厚み方向に電流が流れるダイオードをいう。本例では、アノードが半導体基板３０のおもて面側に配置され、カソードが半導体基板３０の裏面側に配置されている。カソードには、基板電極２６が接続されている。しかしながら、縦型ダイオードであっても、基板電極２６は、半導体基板３０の電位を固定すればよいので、半導体基板３０のおもて面側に設けられてもよい。

[0061] 第１半導体領域４２の一部には、第２導電型の第２半導体領域４４が形成されてよい。第２半導体領域４４は、不純物濃度が第１半導体領域４２より高い。一例では、第２半導体領域４４は、ｐ＋拡散層である。半導体基板３０上には、絶縁膜４６が部分的に設けられる。絶縁膜４６は、ＬＯＣＯＳ酸化膜であってよい。

[0062] 図８は、比較例として拡散ダイオードの一例を示す断面図である。拡散ダイオードは、半導体基板３０内にｐウェル領域５２を有する。そして、ｐウェル領域５２内にｎ型のカソード領域５３と、ｐ＋型のアノード領域５４とが形成される。第１ダイオードＤ１として、このような拡散ダイオードを用いる場合には、半導体基板３０のｎ－型ドリフト層２０１、ｐウェル領域５２、ｎ型のカソード領域５３が、縦型のｎｐｎ寄生トランジスタとして動作してしまう。

[0063] 図９は、比較例としてポリシリコンダイオードの一例を示す断面図である。ポリシリコンダイオードは、半導体基板３０上に絶縁層６２を介して配置されたポリシリコン６０を有する。ポリシリコン６０に不純物がドーピングされていることによってｐ型領域、ｎ型領域、およびｎ＋型領域が形成されてよい。ｐ型領域には、アノード電極が形成され、ｎ＋型領域にはカソード電極が形成されている。このようなポリシリコンダイオードにおいては、動作抵抗が大きくなる。したがって、抵抗値を低くするためには、ポリシリコン６０の占める面積を大きくしなければならない。したがって、回路面積の拡大を防止することが難しい。

[0064] 図７を用いて上述された縦型ダイオードを第１ダイオードＤ１として用いる場合には、寄生動作もなく、動作抵抗もポリシリコンダイオードの場合に比べて小さい。したがって、ヒューズ抵抗２２を切断するために順方向に電流が流す第１ダイオードＤ１としては、縦型ダイオードを用いることが望ましい。

[0065] 図１０は、本体部２０の構成例を示す平面図である。図１１は、本体部２０の構成例を示す断面図である。図１１は、図１０におけるＡ－Ａ´線に沿

った本体部２０の断面を示している。なお、第１抵抗素子Ｒ１、第２抵抗部２９、第３抵抗素子Ｒ３、保護ダイオードＺＬは、図１０では説明の簡便のために省略し、図１１では回路シンボルにより電気的接続関係だけ示されている。なお、実際の半導体基板３０には、トランジスタ部１０、第１抵抗素子Ｒ１、第２抵抗部２９、第３抵抗素子Ｒ３、保護ダイオードＺＬが形成されてよい。

[0066] 図１０に示されるとおり、トリミング回路１００において、第１ダイオードＤ１およびヒューズ抵抗２２が半導体基板３０に形成されている。半導体基板３０は、第１導電型の半導体基板３０である。第１ダイオードＤ１は、図７において説明した縦型ダイオードである。

[0067] 第２導電型の第２半導体領域４４には、コンタクト部３４が接続される。コンタクト部３４は、導電性物質で形成されてよい。ポリシリコン層３２は、半導体基板３０上に絶縁膜４６を介して設けられる。ヒューズ抵抗２２は、ポリシリコン層３２で形成されている。ヒューズ抵抗２２は切断しやすいように中央部の幅Wが狭く形成されている。

[0068] 図１１に示されるとおり、ヒューズ抵抗２２の一の端部は、コンタクト部３４を介してメタル配線３６に接続する。第１ダイオードＤ１のうち第２半導体領域４４が形成されている領域において、絶縁膜４６が一部除去されており、第２半導体領域４４が部分的に露出している。第２半導体領域４４は、コンタクト部３４を介してメタル配線３６に接続する。メタル配線３６およびコンタクト部３４は、第１ダイオードＤ１のアノードとヒューズ抵抗２２とを電気的に接続しており、図２に示した接続点２７として機能する。メタル配線３６は、第１抵抗素子Ｒ１を介して高電位配線ＶＤＤに接続されてよい。

[0069] ヒューズ抵抗２２の他の端部は、コンタクト部３４を介して、メタル配線３７に接続する。メタル配線３７は、ヒューズ抵抗２２をパッド２４および第２抵抗部２９と接続する接続点２８として機能する。メタル配線３７は、図１０に示されるように、トリミング用のパッド２４に連結する連結部３８

を有してよい。メタル配線３７は、第３抵抗素子Ｒ３を介して出力端子ＯＵＴに電気的に接続されてよい。また、メタル配線３７は、第２抵抗部２９を介して、グランド電位ＧＮＤに電気的に接続されてよい。なお、ポリシリコン層３２、第２半導体領域４４、および絶縁膜４６と、メタル配線３６、３７との間には、層間絶縁膜４７が形成されてよい。すなわち、層間絶縁膜４７上にメタル配線３６およびメタル配線３７が形成されてよい。この場合、コンタクト部３４は、層間絶縁膜４７内の開口を貫通して形成される。

[0070] 本例のトリミング回路１００によれば、ヒューズ抵抗２２を切断する前にヒューズ抵抗２２の切断後における被調整素子の電気特性を確認する仮想切断が実現できる。本例においても、ヒューズ抵抗２２の一端に接続されるトリミング用のパッド２４は必要であるが、ヒューズ抵抗２２の他端側の端子としては、既存の裏面電極等の基板電極２６を用いることができ、トリミング専用の外部端子を設ける必要がない。また、ヒューズ抵抗２２を溶断する大電流に耐えうる抵抗バイパス回路を設ける必要がない。したがって、従来に比べて小型化と仮想切断機能とを両立したトリミング回路１００を実現できる。

[0071] 本例のトリミング回路１００によれば、第１ダイオードＤ１は、第１導電型の半導体基板３０に形成された第２導電型の第１半導体領域４２を有する。本例において第１ダイオードＤ１は、ポリシリコン層３２により形成されず、半導体基板３０に形成された不純物拡散層によって構成されてよい。したがって、ヒューズ抵抗２２と第１ダイオードＤ１とは同一層に形成されないため、積層して形成されてもよい。これにより、半導体基板３０上の領域を有効活用して、トリミング回路１００の小面積化を実現できる。

[0072] 本例のトリミング回路１００によれば、ヒューズ抵抗２２が切断されても、パッド２４と出力端子ＯＵＴとは、メタル配線３７および第３抵抗素子Ｒ３を介して電気的に接続されている。したがって、トリミング用のパッド２４を、出力端子ＯＵＴにおける電圧の監視に再活用することができる。具体的には、トリミング後においても、出力端子ＯＵＴにおける電圧Ｓｏを測定

することができる。また、トリミングが素子に与える劣化（リーク）の有無を確認することができ、回路における高信頼性を確保することができる。

[0073] 上記の例では、ｎ型半導体基板３０を用いてトリミング回路１００の本体部２０を構成する場合を説明した。しかしながら、半導体基板３０としてｐ型半導体基板３０を用いても、トリミング回路１００を実現できる。図１２は、ｐ型半導体基板３０を用いた本体部２０の一例を示す回路図である。

[0074] 本例では、第１導電型がｐ型であり、第２導電型がｎ型である。したがって、本例の本体部２０は、図７、図１０、および図１１に示した構成において、ｎ型半導体基板３０をｐ型半導体基板３０とし、ｐ型の第１半導体領域４２をｎ型半導体領域とし、ｐ＋型の第２半導体領域４４をｎ＋型半導体領域とした構成を有する。ＰＮ接合の向きに起因して、基板電極２６側がアノードとなる。その他の構成は、図７、図１０、および図１１に示した構成と同様である。

[0075] 本例のトリミング回路１００は、ヒューズ抵抗２２、トリミング用のパッド２４、第１ダイオードＤ１、第１抵抗素子Ｒ１、第２抵抗素子Ｒ２、第３抵抗素子Ｒ３、および保護ダイオードＤｉを備える。ヒューズ抵抗２２の一端は、パッド２４と接続されている。

[0076] ヒューズ抵抗２２の他端は、第１ダイオードＤ１の一端に接続されている。本例では、ヒューズ抵抗２２の他端は、第１ダイオードＤ１のカソードに接続されている。

[0077] 第１抵抗素子Ｒ１の一端は、ヒューズ抵抗２２の一端と第１ダイオードＤ１のカソードとの接続点２７に接続されている。第１抵抗素子Ｒ１の他端は、第１電位に接続される。図１２の例においては、第１電位はグランド電位ＧＮＤであってよい。第２抵抗素子Ｒ２の一端は、ヒューズ抵抗２２とパッド２４との接続点２８に接続されている。第２抵抗素子Ｒ２の他端は、第２電位に接続される。図１２の例においては、第２電位は、高電位配線の電位である。本例においても、出力端子ＯＵＴは、ヒューズ抵抗２２とパッド２４との接続点２８に電気的に接続されている。本例では、出力端子ＯＵＴは

、第３抵抗素子Ｒ３を介して接続点２８に電気的に接続されている。出力端子ＯＵＴは、ヒューズ抵抗２２の切断の有無に応じた電圧を出力する。

[0078] 図１３は、ｐ型半導体基板３０を用いた本体部２０の比較例を示す回路図である。比較例のトリミング回路においては、ヒューズ抵抗２２の一端にトリミング用のパッド２４が接続されており、ヒューズ抵抗２２の他端に第１ダイオードＤ１が接続されている。第１ダイオードＤ１とヒューズ抵抗の接続点２７ｂに出力端子ＯＵＴが接続されている。比較例のトリミング回路においても、トリミング用のパッド２４をヒューズ抵抗２２の一端にのみ設けるので、回路面積の拡大を防止することができる。しかしながら、比較例のトリミング回路においては、ヒューズ抵抗２２が切断された状態において、パッド２４と出力端子ＯＵＴとが電気的に切り離されてしまう。

[0079] 一方、図１２に示される本発明のトリミング回路１００の本体部２０によれば、ヒューズ抵抗２２が切断された状態においても、パッド２４と出力端子ＯＵＴとが電気的に接続されている。したがって、トリミング用のパッド２４を、出力端子ＯＵＴにおける電圧の監視に再活用することができる。具体的には、トリミング後においても、出力端子ＯＵＴにおける電圧Ｓｏを測定することができる。また、トリミングが素子に与える劣化（リーク）の有無を確認することができ、回路における高信頼性を確保することができる。

[0080] 本例のトリミング回路１００によっても、ヒューズ抵抗２２を切断する前にヒューズ抵抗２２の切断後における被調整素子の電気特性を確認する仮想切断が実現できる。トリミング回路１００において、外部電圧源または内部電圧源は、ヒューズ抵抗２２の切断時においてパッド２４とヒューズ抵抗２２の接続点２８の電圧に対応する電圧Ｓｐをパッド２４に印加する。本例では、実際にヒューズ抵抗２２が切断された場合には、第１抵抗素子Ｒ１が接続点２８を高電位配線ＶＤＤの電位にプルアップ（分圧）する。したがって、外部電圧源または内部電圧源は、高電位配線ＶＤＤの電圧をパッド２４に印加してよい。

[0081] 図１２に示されるトリミング回路１００においても、ヒューズ抵抗２２の

制御端子として、既存の裏面電極等の基板電極２６を活用することができ、トリミング専用の外部端子を設ける数を削減できる。また、ヒューズ抵抗２２を溶断する大電流に耐えうる抵抗バイパス回路を設ける必要がなくなる。したがって、回路面積が小さく、仮想切断が可能なトリミング回路１００を実現できる。また、図１２に示されるトリミング回路１００の本体部２０によれば、ヒューズ抵抗２２が切断された状態においても、パッド２４と出力端子ＯＵＴとが電気的に接続されている。したがって、トリミング用のパッド２４を、出力端子ＯＵＴにおける電圧の監視に再活用することができる。

[0082] 図１４は、トリミング回路１００の他の構成例を示す図である。本例のトリミング回路１００は、複数の本体部２０を備える。本例のトリミング回路１００は、本体部２０－１、２０－２、２０－３、・・・を備える。本明細書では、ｋ番目の本体部２０を、本体部２０－ｋと称する場合がある。また、各図においては、本体部２０－ｋにおける各構成要素の符号に、ｋの枝番を付している。それぞれの本体部２０は、被調整素子２と対応して設けられている。それぞれの本体部２０は、図１に示したトランジスタ部１０のゲートに接続されてよい。

[0083] それぞれの本体部２０は、図１から図１３において説明したいずれかの態様の本体部２０と同様の構造を有する。図１４においては、それぞれの本体部２０は、図２に示した本体部２０と同様の構造を有する。ただし図１４においては、第３抵抗素子Ｒ３を省略している。各実施例における本体部２０は、第３抵抗素子Ｒ３を有していてよく、有していなくてもよい。また図１４においては、第２抵抗素子Ｒ２を、パッド２４と、出力端子ＯＵＴとの間に配置している。各実施例の本体部２０において、第２抵抗素子Ｒ２は、図１４と同様にパッド２４と出力端子ＯＵＴとの間に配置してよく、図２と同様にパッド２４と抵抗素子ＬＶＮＤとの間に配置してもよい。

[0084] 本例のトリミング回路１００においては、第１ダイオードＤ１が、複数の本体部２０に対して共通に設けられている。つまり、それぞれの本体部２０には、個別の第１ダイオードＤ１が設けられていない。共通の第１ダイオー

ドＤ１には、それぞれの本体部２０のヒューズ抵抗２２に接続されている。本例の第１ダイオードＤ１は、アノードが、複数のヒューズ抵抗２２に接続されている。

[0085] 本例のヒューズ抵抗２２－ｋは、一端がパッド２４－ｋに接続され、他端が第１ダイオードＤ１に接続されている。本例では、ヒューズ抵抗２２－ｋの当該一端には、第２抵抗素子Ｒ２－１を介して、出力端子ＯＵＴｋおよび抵抗素子ＬＶＮＤｋが接続されている。

[0086] また、ヒューズ抵抗２２－ｋの当該他端には、第１抵抗素子Ｒ１が接続されている。本例では、第１抵抗素子Ｒ１も、複数の本体部２０に対して共通に設けられている。第１抵抗素子Ｒ１の一端は、第１ダイオードＤ１に接続され、他端が高電位配線ＶＤＤに接続されている。本例では、それぞれの本体部２０－ｋに対して、接続点２７－ｋが設けられている。接続点２７－ｋには、第１ダイオードＤ１のアノード、第１抵抗素子Ｒ１の一端、および、ヒューズ抵抗２２－ｋの他端が接続されている。

[0087] 複数の本体部２０に対して第１ダイオードＤ１を共通に設けることで、装置規模を小さくできる。また、複数の本体部２０に対して第１抵抗素子Ｒ１を共通に設けることで、装置規模を小さくできる。

[0088] 本例においては、切断すべきヒューズ抵抗２２を一つずつ選択し、切断すべきヒューズ抵抗２２－ｋに対応するパッド２４－ｋに、所定の高電圧を順番に印加する。それぞれの本体部２０において、ヒューズ抵抗２２を接続する動作は、図３の例と同様である。上述したように、当該高電圧は、高電位配線ＶＤＤに印加される電圧より高い電圧である。選択されていないパッド２４には、例えばグランド電位が印加されてよい。

[0089] また、ヒューズ抵抗２２を切断するべく選択された本体部２０に印加するグランド電位を変更してもよい。例えばヒューズ抵抗２２－ｋを切断する場合、本体部２０－ｋに印加されるグランド電位を上昇させる。本体部２０－ｋのグランド電位を、パッド２４－ｋに印加する電位と同一の電位に制御してもよい。これにより、パッド２４－ｋから第２抵抗部２９－ｋに電流が流

れることを抑制できる。

[0090] また、仮想切断を設定する場合、それぞれのパッド２４に、並行して仮想切断のための電圧を印加してよい。つまり、それぞれの本体部２０を、並行して仮想切断状態に設定できる。また、一部の本体部２０を選択的に仮想切断状態に設定してもよい。

[0091] また、第１抵抗素子Ｒ１および第２抵抗素子Ｒ２の抵抗値は、抵抗素子ＬＶＮＤの抵抗値よりも十分小さくてよい。抵抗素子ＬＶＮＤの抵抗値を大きくすることで、本体部２０に流れる電流を絞ることができる。

[0092] 図１５は、トリミング回路１００の他の構成例を示す図である。本例のトリミング回路１００は、複数の本体部２０を備える。本例においても、図１４の例と同様に、第１ダイオードＤ１および第１抵抗素子Ｒ１が、複数の本体部２０に対して共通に設けられている。ただし本例の第１ダイオードＤ１は、それぞれのヒューズ抵抗２２－ｋと、グランド電位との接続点２７－ｋに接続されている。また、第１抵抗素子Ｒ１は、それぞれの接続点２７と、グランド電位との間に接続されている。

[0093] 本例の本体部２０は、ヒューズ抵抗２２が切断された状態では、高電圧ＶＤＤに応じた電圧を出力端子ＯＵＴから出力する。また本例の本体部２０は、ヒューズ抵抗２２が切断されていない状態では、グランド電位に応じた電圧を出力端子ＯＵＴから出力する。

[0094] それぞれの本体部２０においては、ヒューズ抵抗２２と、第１ダイオードＤ１および第１抵抗素子Ｒ１が接続されている。それぞれのヒューズ抵抗２２－ｋは、一端がパッド２４－ｋに接続され、他端が第１ダイオードＤ１および第１抵抗素子Ｒ１に接続されている。パッド２４－ｋとヒューズ抵抗２２－ｋとの接続点２８－ｋには、第２抵抗素子Ｒ２－ｋが接続されている。第２抵抗素子Ｒ２－ｋは、一端が接続点２８－ｋに接続され、他端が抵抗素子ＬＶＮＤｋに接続されている。

[0095] 抵抗素子ＬＶＮＤｋは、一端が第２抵抗素子Ｒ２－ｋに接続され、他端が高電位配線ＶＤＤに接続されている。本例では、抵抗素子ＬＶＮＤｋと、第

２抵抗素子Ｒ２－ｋとの接続点が、出力端子ＯＵＴｋに接続されている。出力端子ＯＵＴｋと、グランド電位との間には、保護ダイオードＺＬが設けられてよい。

[0096] 本例においても、複数の本体部２０に対して第１ダイオードＤ１を共通に設けることで、装置規模を小さくできる。また、複数の本体部２０に対して第１抵抗素子Ｒ１を共通に設けることで、装置規模を小さくできる。

[0097] 本例においては、切断すべきヒューズ抵抗２２を一つずつ選択し、切断すべきヒューズ抵抗２２－ｋに対応するパッド２４－ｋに、所定の高電圧を順番に印加する。上述したように、当該高電圧は、高電位配線ＶＤＤに印加される電圧より高い電圧であってよい。選択されていないパッド２４には、例えばグランド電位が印加されてよい。また、ヒューズ抵抗２２を切断するべく選択された本体部２０に印加するグランド電位を上昇させてもよい。これにより、パッド２４－ｋから第２抵抗部２９－ｋに電流が流れることを抑制できる。また、選択されていない本体部２０においても、グランド電位を上昇させてよい。また、仮想切断を設定する場合、それぞれのパッド２４に、並行して仮想切断のための電圧を印加してよい。つまり、それぞれの本体部２０を、並行して仮想切断状態に設定できる。また、一部の本体部２０を選択的に仮想切断状態に設定してもよい。

[0098] 図１６は、トリミング回路１００の他の構成例を示す図である。本例のトリミング回路１００は、第１ダイオードＤ１のアノードおよびカソードの向きを、図１４の例と反転させた点で、図１４の例と相違する。他の構造は、図１４の例と同様である。つまり、本例の第１ダイオードＤ１は、カソードに、それぞれの本体部２０のヒューズ抵抗２２が接続され、アノードに、基板電位Ｓｃが印加されている。それぞれのヒューズ抵抗２２－ｋは、一端がパッド２４－ｋに接続され、他端が接続点２７－ｋを介して第１ダイオードＤ１のカソードに接続されている。

[0099] 本例においては、ヒューズ抵抗２２－ｋを切断する本体部２０－ｋのパッド２４－ｋに、選択的に低電圧を印加する。当該低電圧は、第１ダイオード

Ｄ１から、パッド２４－ｋに順方向電流が流れる程度に低い電圧である。つまり当該低電位は、基板電圧Ｓｃに対して、第１ダイオードＤ１の順方向電圧以上低い。例えば当該低電圧は、グランド電位より低い電圧である。

[0100] 図１７は、トリミング回路１００の他の構成例を示す図である。本例のトリミング回路１００は、第１ダイオードＤ１のアノードおよびカソードの向きを、図１５の例と反転させた点で、図１５の例と相違する。他の構造は、図１５の例と同様である。つまり、本例の第１ダイオードＤ１は、カソードに、それぞれの本体部２０のヒューズ抵抗２２が接続され、アノードに、基板電位Ｓｃが印加されている。それぞれのヒューズ抵抗２２－ｋは、一端がパッド２４－ｋに接続され、他端が接続点２７－ｋを介して第１ダイオードＤ１のカソードに接続されている。

[0101] 本例においては、ヒューズ抵抗２２－ｋを切断する本体部２０－ｋのパッド２４－ｋに、選択的に低電圧を印加する。当該低電圧は、第１ダイオードＤ１から、パッド２４－ｋに順方向電流が流れる程度に低い電圧である。つまり当該低電位は、基板電圧Ｓｃに対して、第１ダイオードＤ１の順方向電圧以上低い。例えば当該低電圧は、グランド電位より低い電圧である。また、仮想切断を設定する場合、それぞれのパッド２４に、並行して仮想切断のための電圧を印加してよい。つまり、それぞれの本体部２０を、並行して仮想切断状態に設定できる。また、一部の本体部２０を選択的に仮想切断状態に設定してもよい。

[0102] 図１８は、第１ダイオードＤ１の他の構成例を示す図である。各実施例における第１ダイオードＤ１は、図１８の構造を有してよい。本例の第１ダイオードＤ１は、半導体基板３０に形成されている。半導体基板３０には、図６等に示したように、第１ダイオードＤ１以外の素子も形成されていてよい。

[0103] 本例では、半導体基板３０は、ｎ型半導体基板３０である。図１８に示されるとおり、半導体基板３０のおもて面側にｐ型の第１半導体領域４２が形成されている。第１半導体領域４２と半導体基板３０とによってＰＮ接合が

形成される。このＰＮ接合が第１ダイオードＤ１として機能する。

[0104] 第１ダイオードＤ１は、縦型ダイオードであってよい。本例では、アノードが半導体基板３０のおもて面側に配置され、カソードが半導体基板３０の裏面側に配置されている。カソードには、基板電極２６が接続されている。しかしながら、縦型ダイオードであっても、基板電極２６は、半導体基板３０の電位を固定すればよいので、半導体基板３０のおもて面側に設けられてもよい。

[0105] 第１半導体領域４２の一部には、ｐ＋型の第２半導体領域４４が形成されてよい。第２半導体領域４４は、不純物濃度が第１半導体領域４２より高い。半導体基板３０上には、絶縁膜４６が部分的に設けられる。絶縁膜４６は、ＬＯＣＯＳ酸化膜であってよい。絶縁膜４６は、第２半導体領域４４の少なくとも一部を露出させている。

[0106] 絶縁膜４６の上方には、配線と機能するポリシリコン層３２が設けられてよい。絶縁膜４６、第２半導体領域４４およびポリシリコン層３２を覆って、層間絶縁膜４７が設けられている。層間絶縁膜４７には、コンタクト部３４を形成するための貫通孔が形成されている。層間絶縁膜４７の上には、メタル配線３６が設けられている。メタル配線３６は、コンタクト部３４により、ポリシリコン層３２および第２半導体領域４４と接続されている。

[0107] 図１９は、保護ダイオードＺＬおよび保護ダイオードＤｉを説明する図である。本例では、出力端子ＯＵＴとグランド電位ＧＮＤとの間に設けられた保護ダイオードを保護ダイオードＤｉとし、出力端子ＯＵＴと高電位配線ＶＤＤとの間に設けられた保護ダイオードを保護ダイオードＺＬとする。それぞれの本体部２０には、保護ダイオードＤｉおよび保護ダイオードＺＬの一方または両方が設けられてよい。

[0108] 出力端子ＯＵＴに接続されるトランジスタ部１０が、ｎチャネルＭＯＳトランジスタを含む場合、出力端子ＯＵＴには、保護ダイオードＺＬが設けられてよい。これにより、トランジスタ部１０に、高すぎる電圧が印加されるのを抑制できる。また、出力端子ＯＵＴに接続されるトランジスタ部１０が

、ｐチャネルＭＯＳトランジスタを含む場合、出力端子ＯＵＴには、保護ダイオードＤｉが設けられてよい。これにより、トランジスタ部１０に、低すぎる電圧が印加されるのを抑制できる。トランジスタ部１０がＣＭＯＳ回路などのｎチャネルＭＯＳトランジスタとｐチャネルＭＯＳトランジスタとの両方を含む場合は保護ダイオードＤｉと保護ダイオードＺＬの両方が設けられてよい。

[0109] 図１４から図１７の例においては、一部の本体部２０に保護ダイオードＤｉが設けられ、一部の本体部２０に保護ダイオードＺＬが設けられてよい。また、全ての本体部２０に、保護ダイオードＤｉと保護ダイオードＺＬの両方が設けられていてもよい。

[0110] 各実施形態において同一の符号を付して説明した構成要素は、同様の特性、機能および構造を有してよい。なお枝番ｋを含む符号と、枝番ｋを含まない符号とは、枝番以外の符号が同一であれば、同一符号とする。

[0111] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0112] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

符号の説明

[0113] ２・・・被調整素子、１０・・・トランジスタ部、１１・・・ゲート、１２・・・ドレイン、１３・・・ソース、２０・・・本体部、２１・・・本体部

、２２・・・ヒューズ抵抗、２４・・・パッド、２６・・・基板電極、２７・・・接続点、２８・・・接続点、２９・・・第２抵抗部、３０・・・半導体基板、３２・・・ポリシリコン層、３４・・・コンタクト部、３６・・・メタル配線、３７・・・メタル配線、３８・・・連結部、４２・・・第１半導体領域、４４・・・第２半導体領域、４６・・・絶縁膜、４７・・・層間絶縁膜、５２・・・ｐウェル領域、５３・・・カソード領域、５４・・・アノード領域、６０・・・ポリシリコン、６２・・・絶縁層、１００・・・トリミング回路、２００・・・半導体装置、２０１・・・ドリフト層、２０２・・・コンタクト層、２０３・・・ドレイン電極、２１０・・・出力段回路部、２１２・・・ｐ型ベース層、２１３・・・ｐ＋型層、２１４・・・ｎ＋型層、２１５・・・導電部、２１６・・・絶縁膜、２２０・・・ソース電極、２２２・・・絶縁膜、２３０・・・制御回路部、２４０・・・ＭＯＳトランジスタ、２４１・・・ｐウェル領域、２４２・・・ソース領域、２４３・・・ドレイン領域、２４４・・・ゲート電極、２４５・・・ゲート絶縁膜、２４６・・・ソース電極、２４７・・・ドレイン電極、２５０・・・ＭＯＳトランジスタ、２５１・・・ｐウェル領域、２５２・・・ｎウェル領域、２５３・・・ソース領域、２５４・・・ドレイン領域、２５５・・・ゲート電極、２５６・・・ゲート絶縁膜、２５７・・・ソース電極、２５８・・・ドレイン電極

請求の範囲

[請求項1] ヒューズ抵抗の切断の有無に応じた電圧を出力する本体部を備えたトリミング回路であって、

前記本体部は、

半導体基板に絶縁膜を介して配置されるポリシリコン層により形成されるヒューズ抵抗と、

前記ヒューズ抵抗の一端に接続されるトリミング用のパッドと、

前記ヒューズ抵抗と前記パッドとの接続点に電気的に接続されており、前記ヒューズ抵抗の切断の有無に応じた電圧を出力する出力端子と、

前記半導体基板に形成されており、前記ヒューズ抵抗の他端に一端が接続されるダイオードと、を備えている、

トリミング回路。

[請求項2] 前記ダイオードは、第１導電型の前記半導体基板に形成された第２導電型の半導体領域を有する、請求項１に記載のトリミング回路。

[請求項3] 前記ヒューズ抵抗と前記ダイオードとの接続点に一端が接続され、他端が第１電位に接続される第１抵抗部を更に備える

請求項１または２に記載のトリミング回路。

[請求項4] 前記ヒューズ抵抗と前記パッドとの接続点に一端が接続され、他端が第２電位に接続される第２抵抗部を更に備える

請求項１または２に記載のトリミング回路。

[請求項5] 前記第２抵抗部の他端と前記出力端子との間に接続される保護ダイオードを更に備える

請求項４に記載のトリミング回路。

[請求項6] 前記半導体基板に形成され、前記出力端子に制御端子が接続されるトランジスタ部を更に備える

請求項１から５の何れか１項に記載のトリミング回路。

[請求項7] 前記ダイオードは、縦型ダイオードであり、

前記ダイオードの他端が、前記半導体基板の基板電極に接続されている

請求項１から６の何れか１項に記載のトリミング回路。

[請求項8] 前記第１導電型は、ｎ型であり、前記第２導電型は、ｐ型であり、

前記ヒューズ抵抗の他端と前記ダイオードのアノードとが接続されており、

前記ヒューズ抵抗と前記ダイオードのアノードとの接続点に一端が接続され、他端が高電位配線に接続される第１抵抗部と、

前記ヒューズ抵抗と前記パッドとの接続点に一端が接続され、他端がグランド配線に接続される第２抵抗部と、

を更に備える

請求項２に記載のトリミング回路。

[請求項9] 前記第１導電型は、ｐ型であり、前記第２導電型は、ｎ型であり、

前記ヒューズ抵抗の他端と前記ダイオードのカソードとが接続されており、

前記ヒューズ抵抗と前記ダイオードのカソードとの接続点に一端が接続され、他端がグランド配線に接続される第１抵抗部と、

前記ヒューズ抵抗と前記パッドとの接続点に一端が接続され、他端が高電位配線に接続される第２抵抗部と、

を更に備える

請求項２に記載のトリミング回路。

[請求項10] 複数の前記本体部を備え、

前記ダイオードが、複数の前記本体部に対して共通に設けられ、

前記ダイオードには、それぞれの前記本体部の前記ヒューズ抵抗の前記他端が接続されている

請求項１に記載のトリミング回路。

[請求項11] 複数の前記本体部に対して共通に設けられ、前記ダイオードに一端が接続され、他端が高電位配線に接続される第１抵抗部を更に備え、

前記第１抵抗部の前記一端には、それぞれの前記本体部の前記ヒューズ抵抗の前記他端が接続されている

請求項１０に記載のトリミング回路。

[請求項12] 複数の前記本体部に対して共通に設けられ、前記ダイオードに一端が接続され、他端がグランド配線に接続される第１抵抗部を更に備え、

前記第１抵抗部の前記一端には、それぞれの前記本体部の前記ヒューズ抵抗の前記他端が接続されている

請求項１０に記載のトリミング回路。

[請求項13] 前記ダイオードのカソードに、それぞれの前記本体部の前記ヒューズ抵抗の前記他端が接続されている

請求項１０から１２のいずれか一項に記載のトリミング回路。

[請求項14] 前記ダイオードのアノードに、それぞれの前記本体部の前記ヒューズ抵抗の前記他端が接続されている

請求項１０から１２のいずれか一項に記載のトリミング回路。

[請求項15] 請求項１から１４の何れか１項に記載のトリミング回路を用いて、被調整素子の電気特性を調整するトリミング方法であって、

前記ダイオードに順方向電流が流れるように前記半導体基板の電位と、前記パッドに印加する電圧を調整する段階と、

前記順方向電流が前記ヒューズ抵抗を流れることによって前記ヒューズ抵抗を切断する段階と、

を備えるトリミング方法。

[請求項16] 前記ダイオードに順方向電流を流す段階の前に、前記パッドに、予め定められた電圧を印加することにより、前記ヒューズ抵抗が仮想的に切断された状態を生成する段階を更に備える請求項１５に記載のトリミング方法。

[請求項17] 前記ヒューズ抵抗を切断した後において、前記パッドと前記出力端子とは電気的に接続されている、

請求項１５または１６に記載のトリミング方法。

[請求項18] 前記トリミング回路は、複数の前記本体部を備え、前記ダイオードが、複数の前記本体部に対して共通に設けられ、前記ダイオードには、それぞれの前記本体部の前記ヒューズ抵抗の前記他端が接続されており、

前記電圧を調整する段階において、前記ヒューズ抵抗を切断すべき前記本体部の前記パッドに、選択的に電圧を印加する

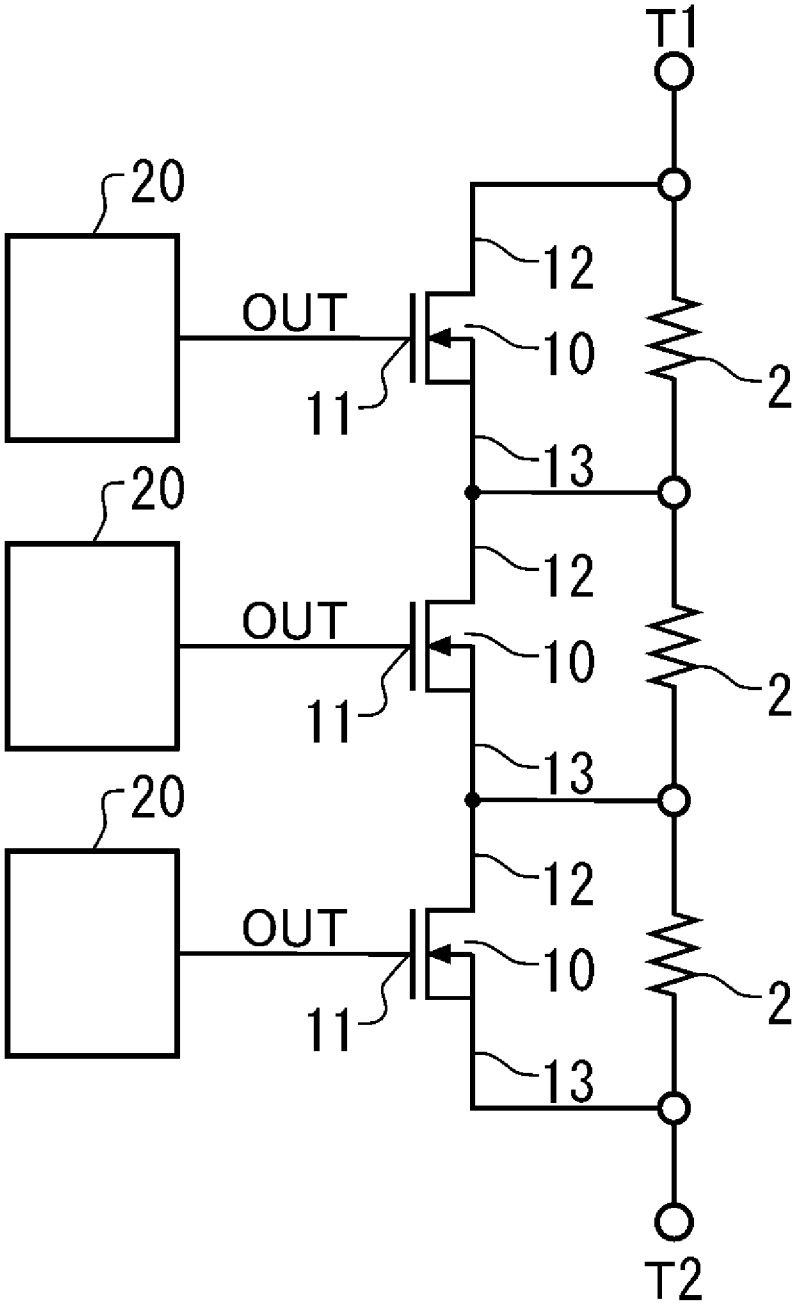
請求項１５から１７のいずれか一項に記載のトリミング方法。

[請求項19] それぞれの前記本体部には、高電位およびグランド電位が印加され、

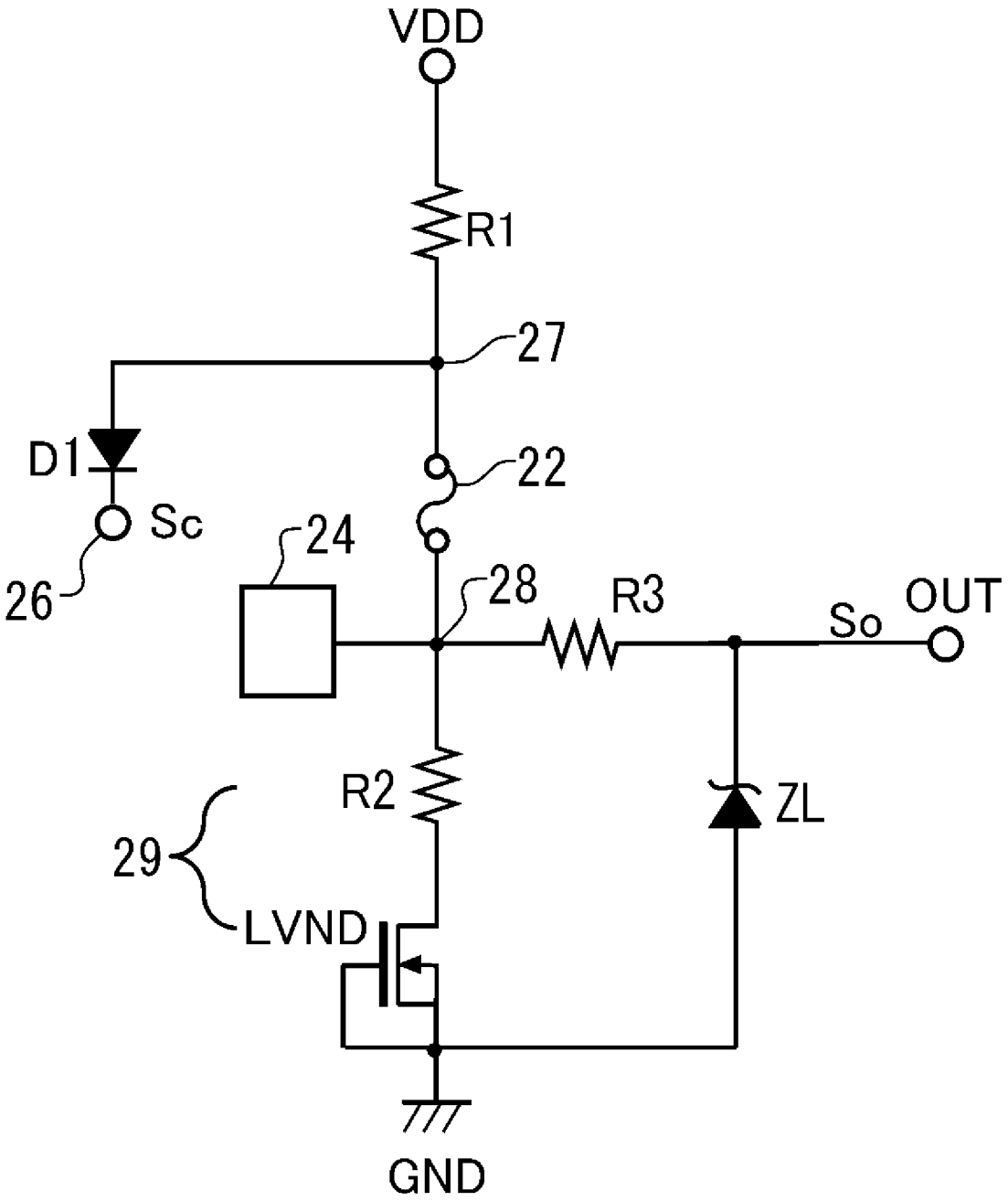
前記電圧を調整する段階において、前記ヒューズ抵抗を切断すべき前記本体部に印加するグランド電位を変更する

請求項１８に記載のトリミング方法。

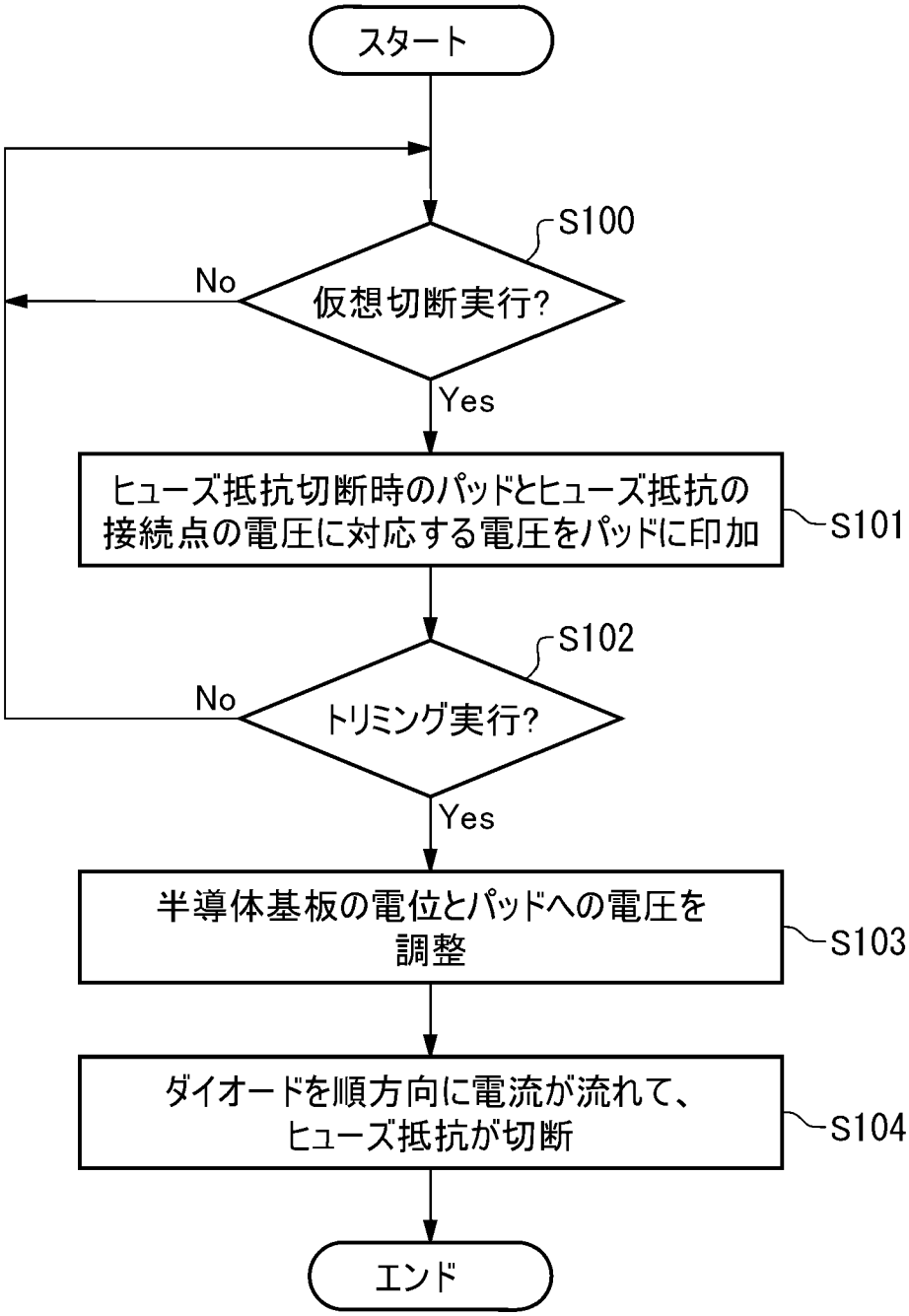
[図1]



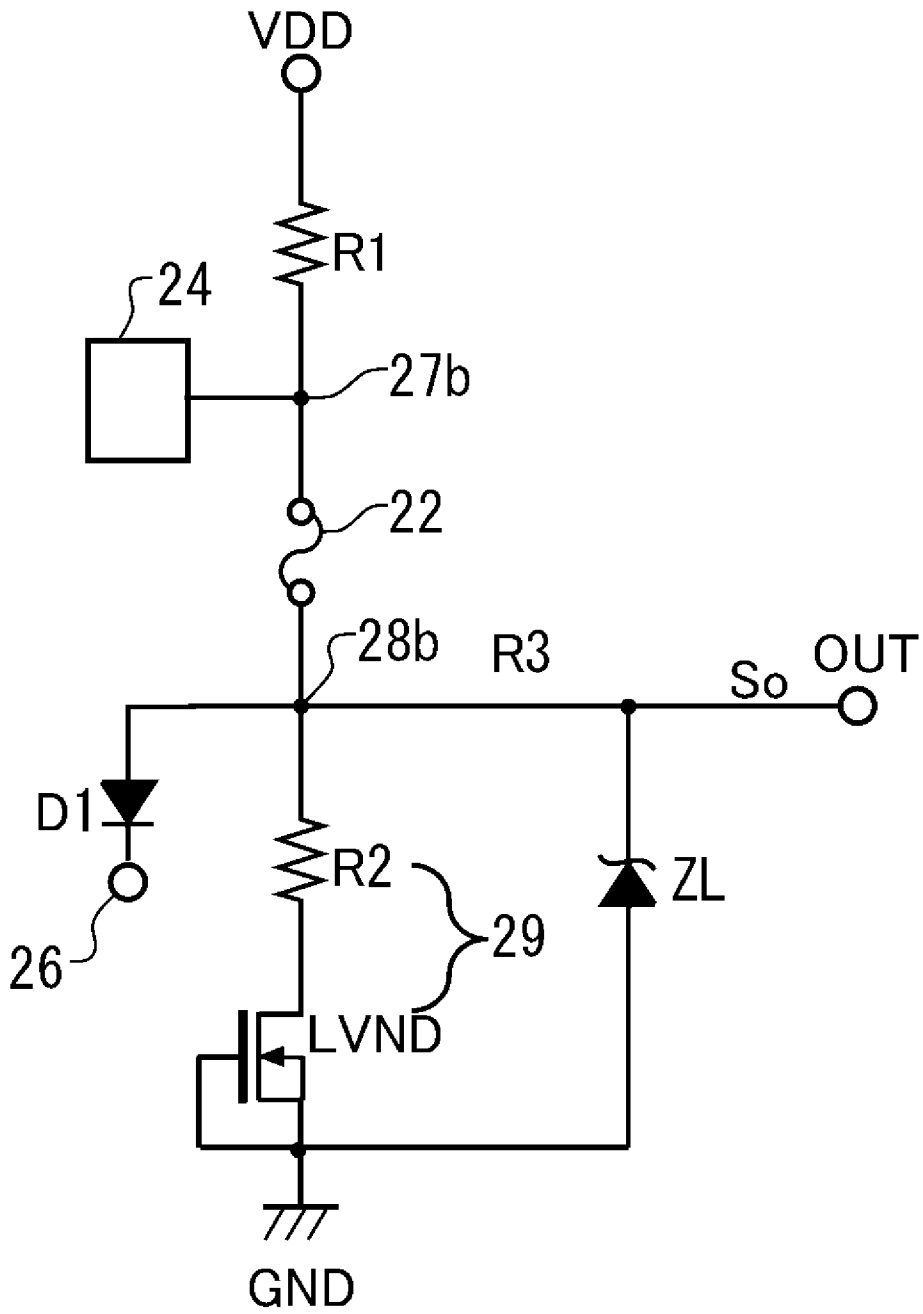
[図2]



[図3]

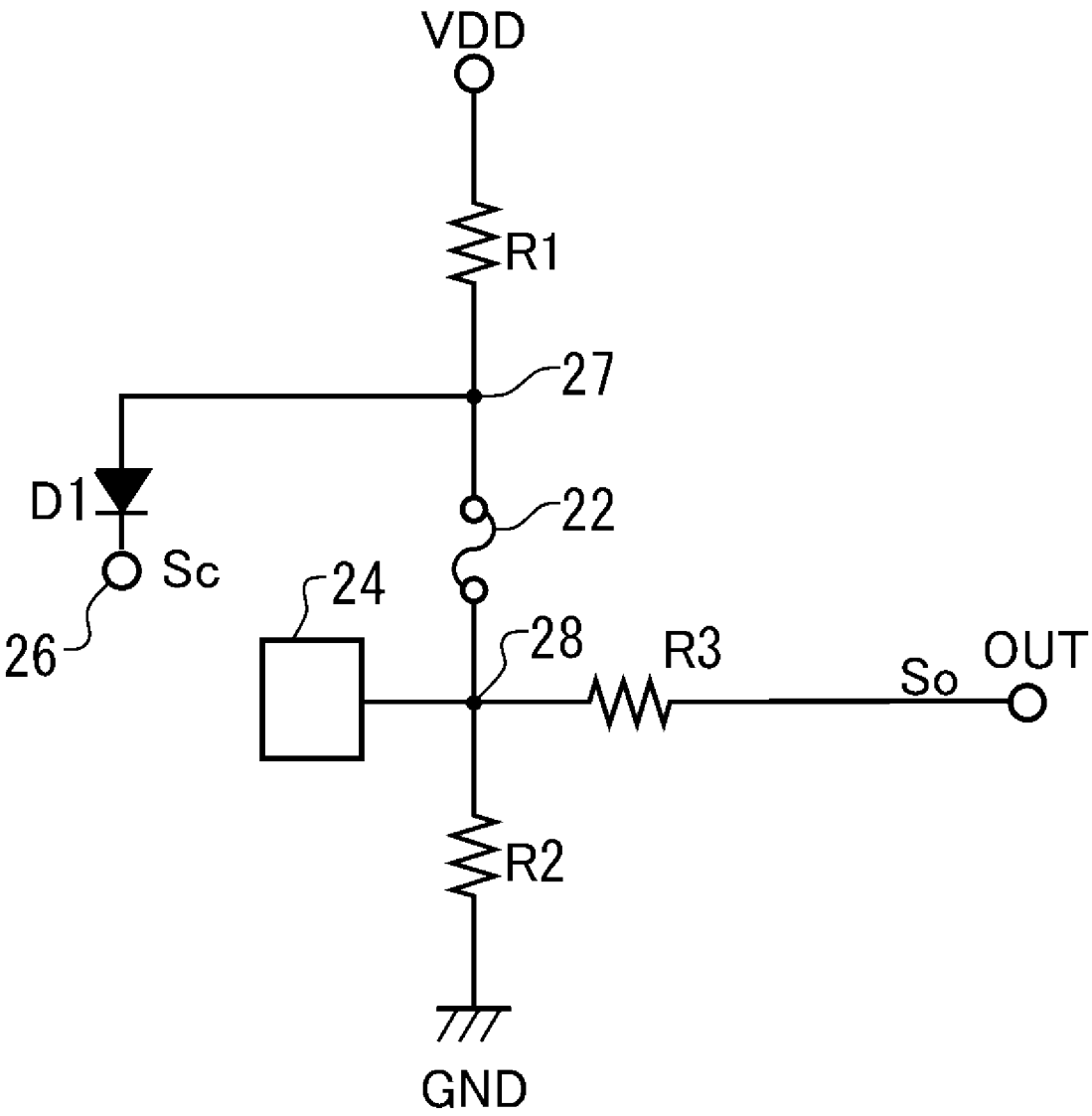

スタート
S100
No
仮想切断実行?
Yes
ヒューズ抵抗切断時のパッドとヒューズ抵抗の接続点の電圧に対応する電圧をパッドに印加
S101
S102
No
トリミング実行?
Yes
半導体基板の電位とパッドへの電圧を調整
S103
ダイオードを順方向に電流が流れて、ヒューズ抵抗が切断
S104
エンド

[図4]

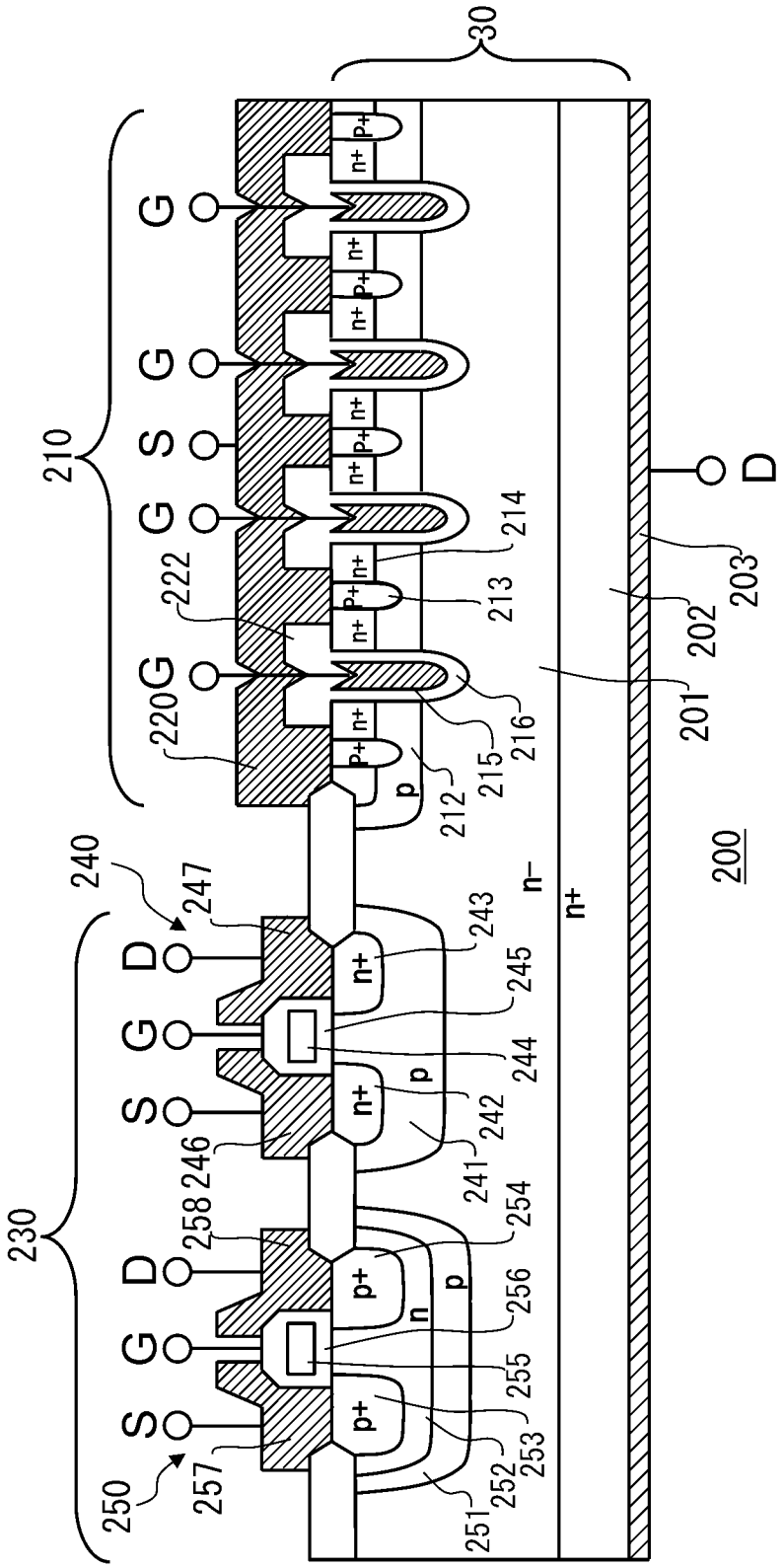


21

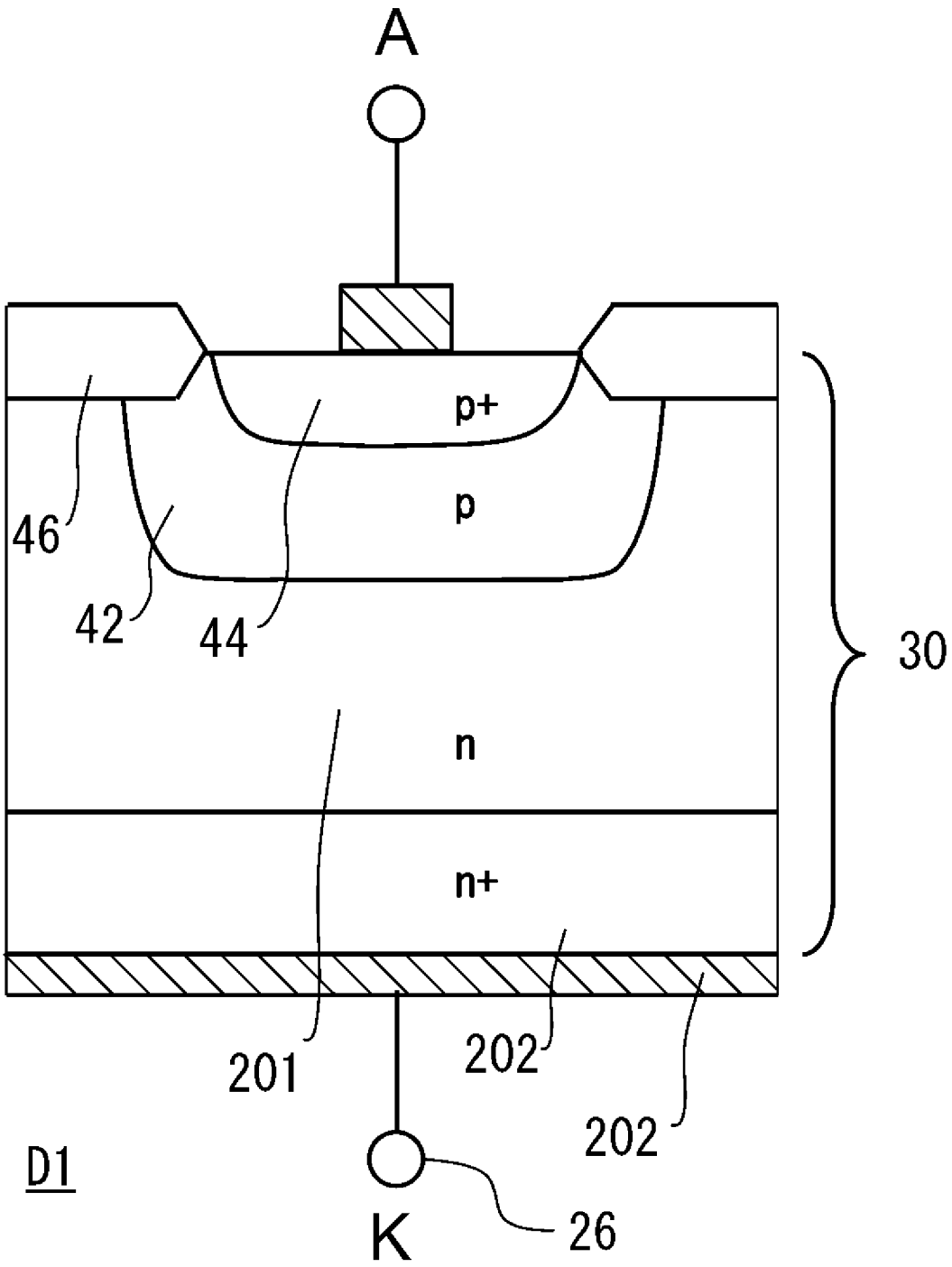
[図5]



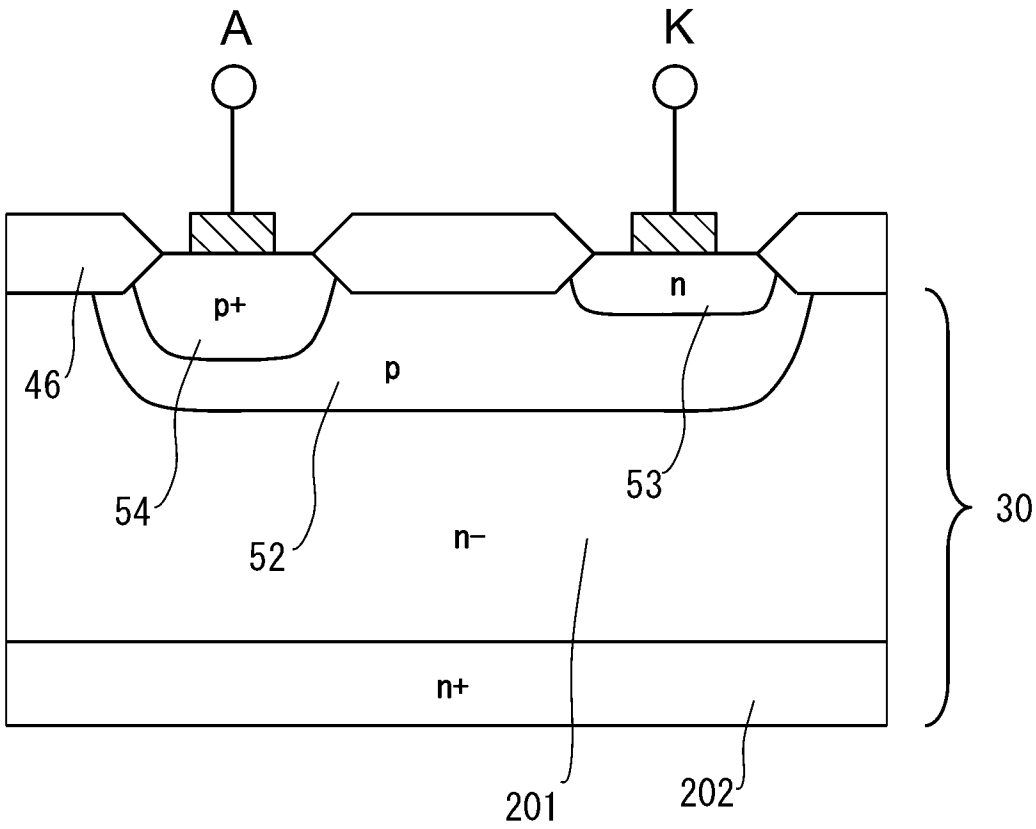
[図6]


30
210
G
S
G
G
D
220
222
214
213
216
215
212
203
202
201
200
n+
n−
p
240
247
243
245
244
242
241
246
258
254
230
256
255
253
252
251
250
257

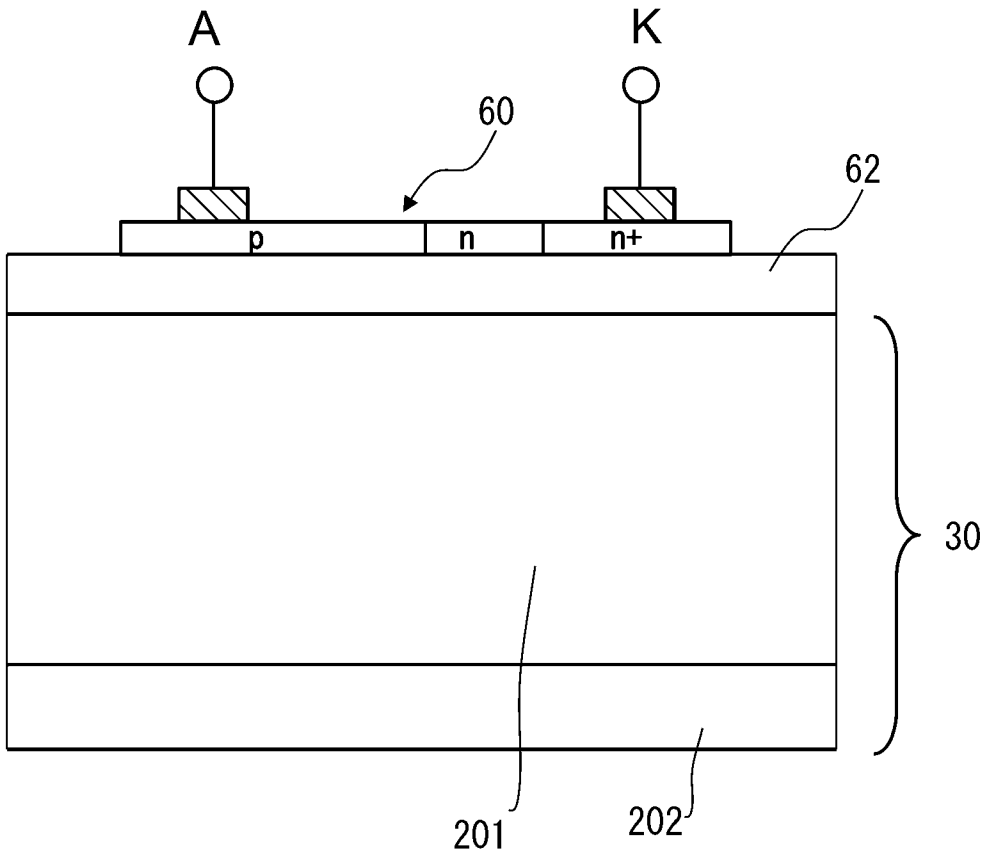
[図7]



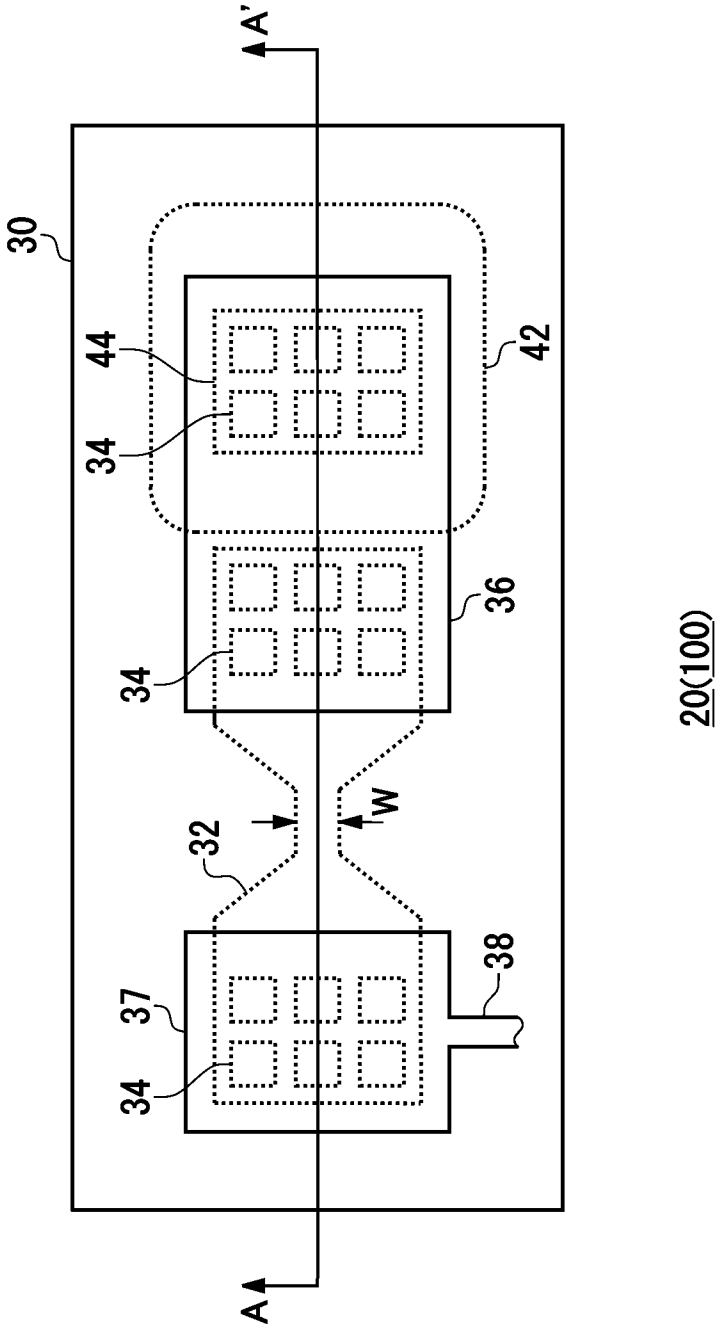
[図8]



[図9]

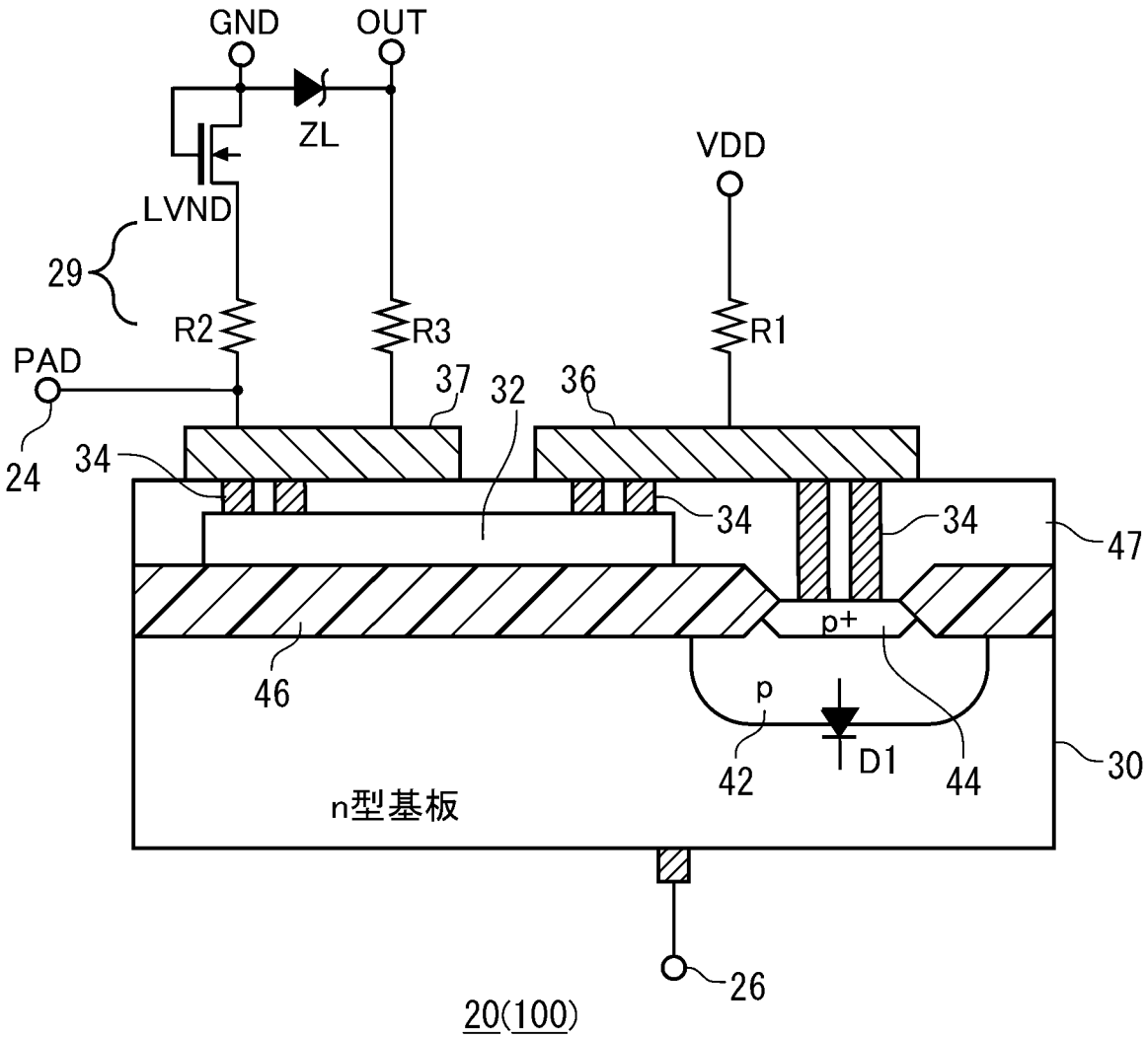


[図10]



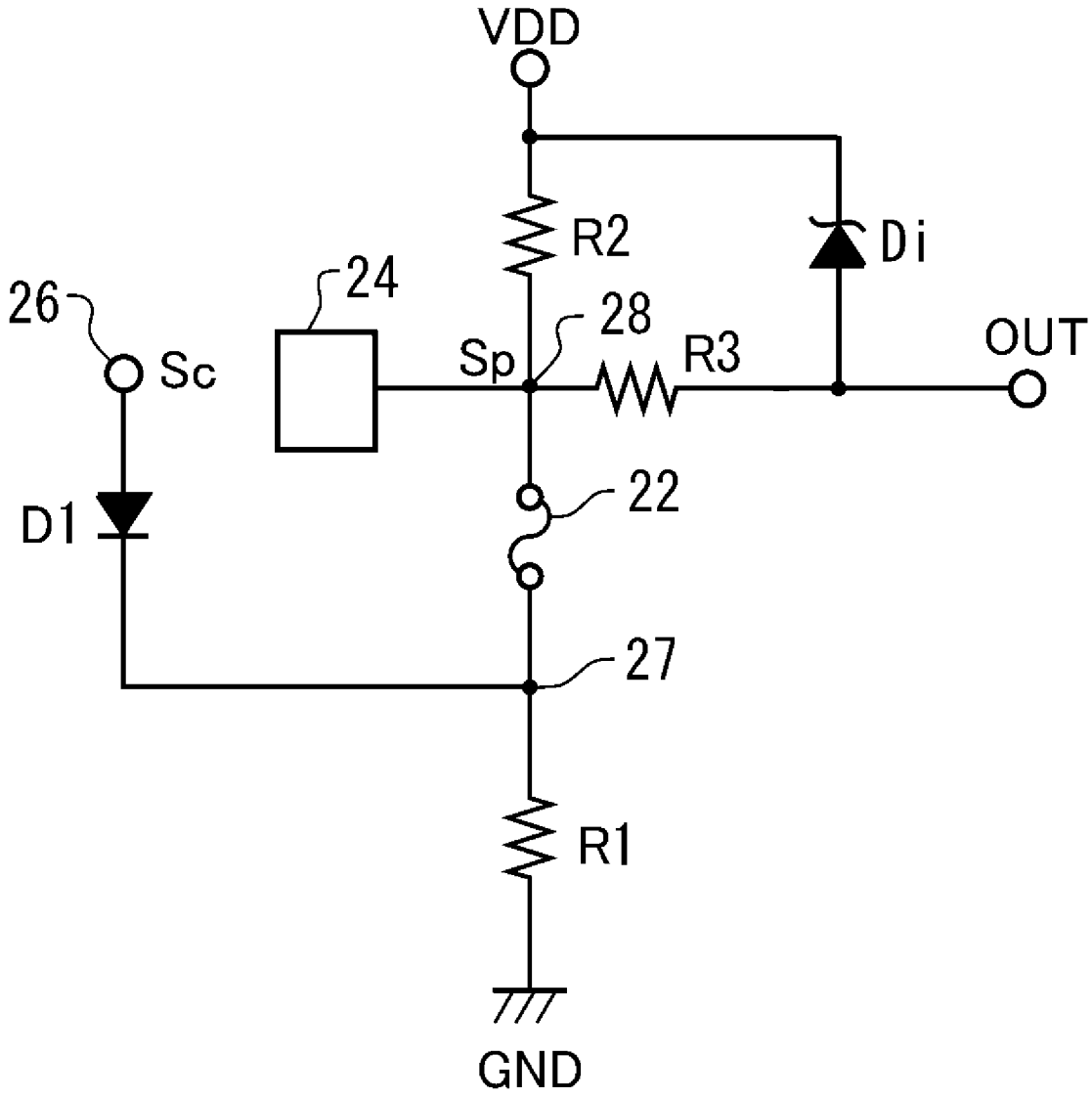
20(100)

[図11]


GND
OUT
ZL
VDD
LVND
29
R2
R3
R1
PAD
24
37
32
36
34
34
34
47
p+
46
p
42
D1
44
30
n型基板
26

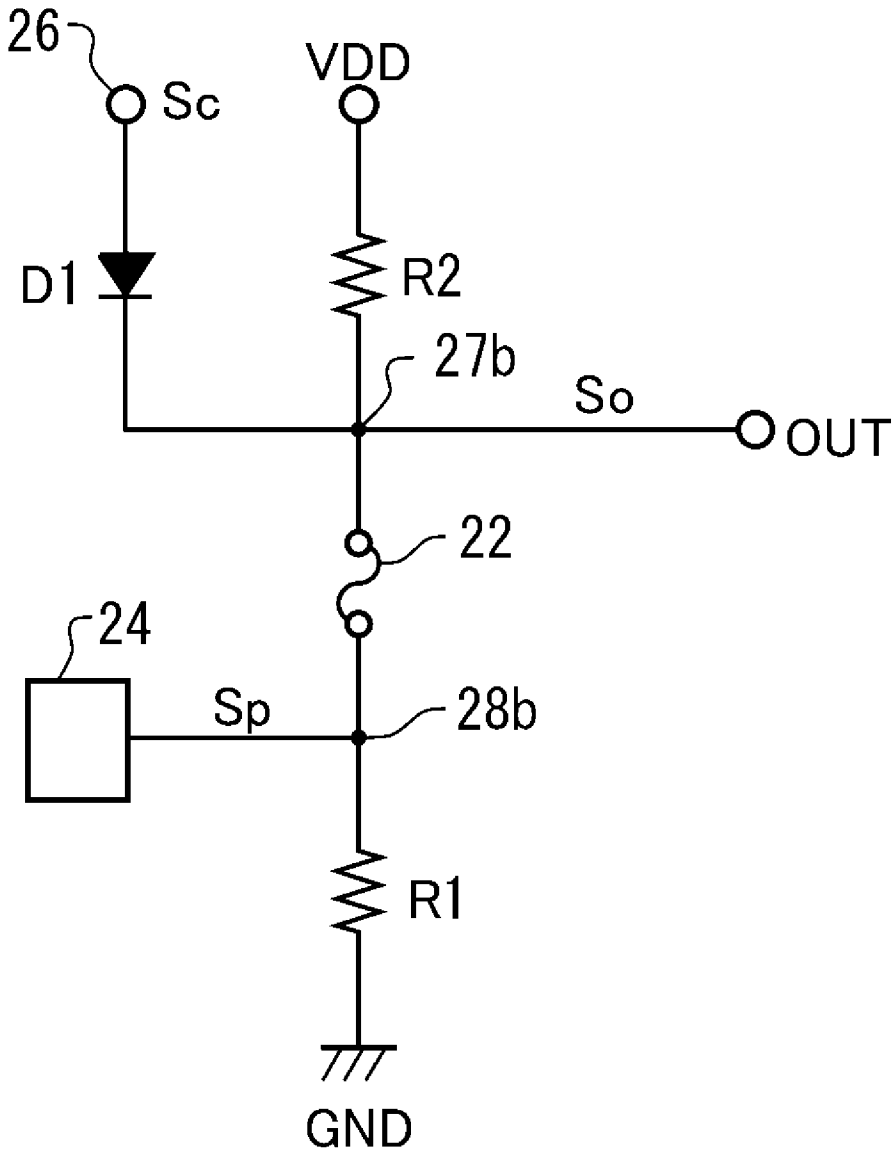
20(100)

[図12]



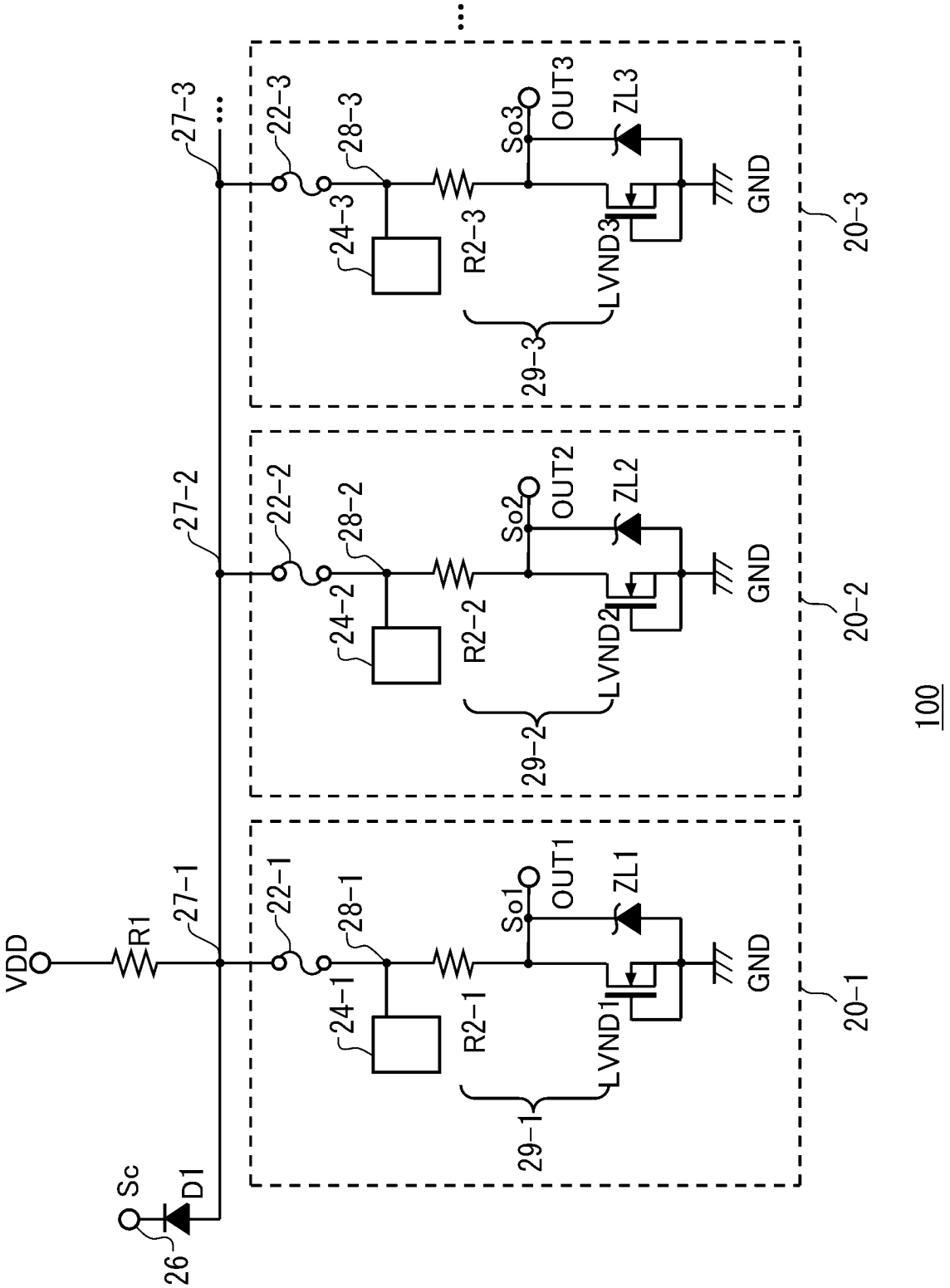
20

[図13]

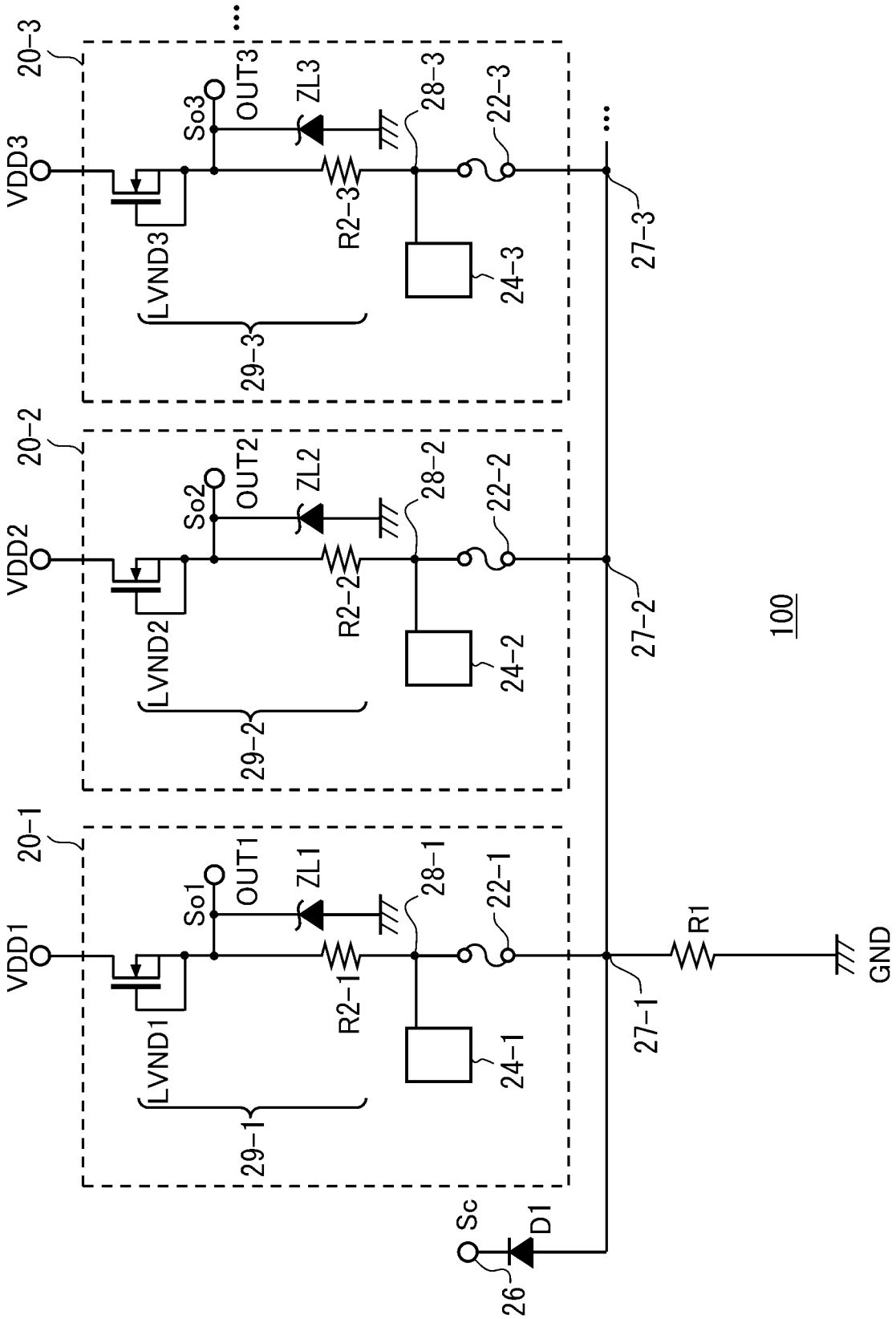


20

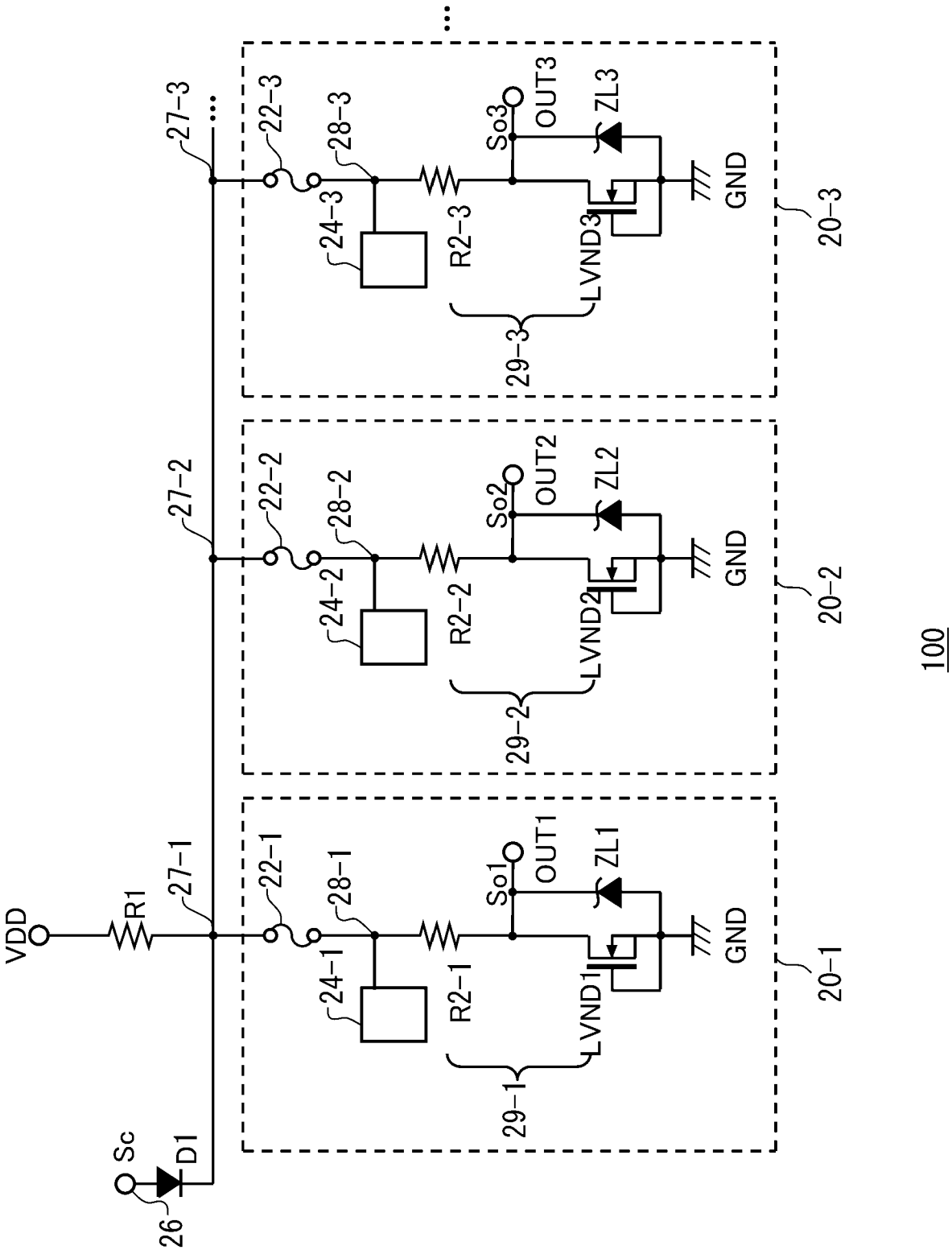
[図14]


VDD
R1
27-1
27-2
27-3
Sc
D1
26
22-1
22-2
22-3
28-1
28-2
28-3
24-1
24-2
24-3
R2-1
R2-2
R2-3
So1
So2
So3
OUT1
OUT2
OUT3
ZL1
ZL2
ZL3
LVND1
LVND2
LVND3
GND
29-1
29-2
29-3
20-1
20-2
20-3
100

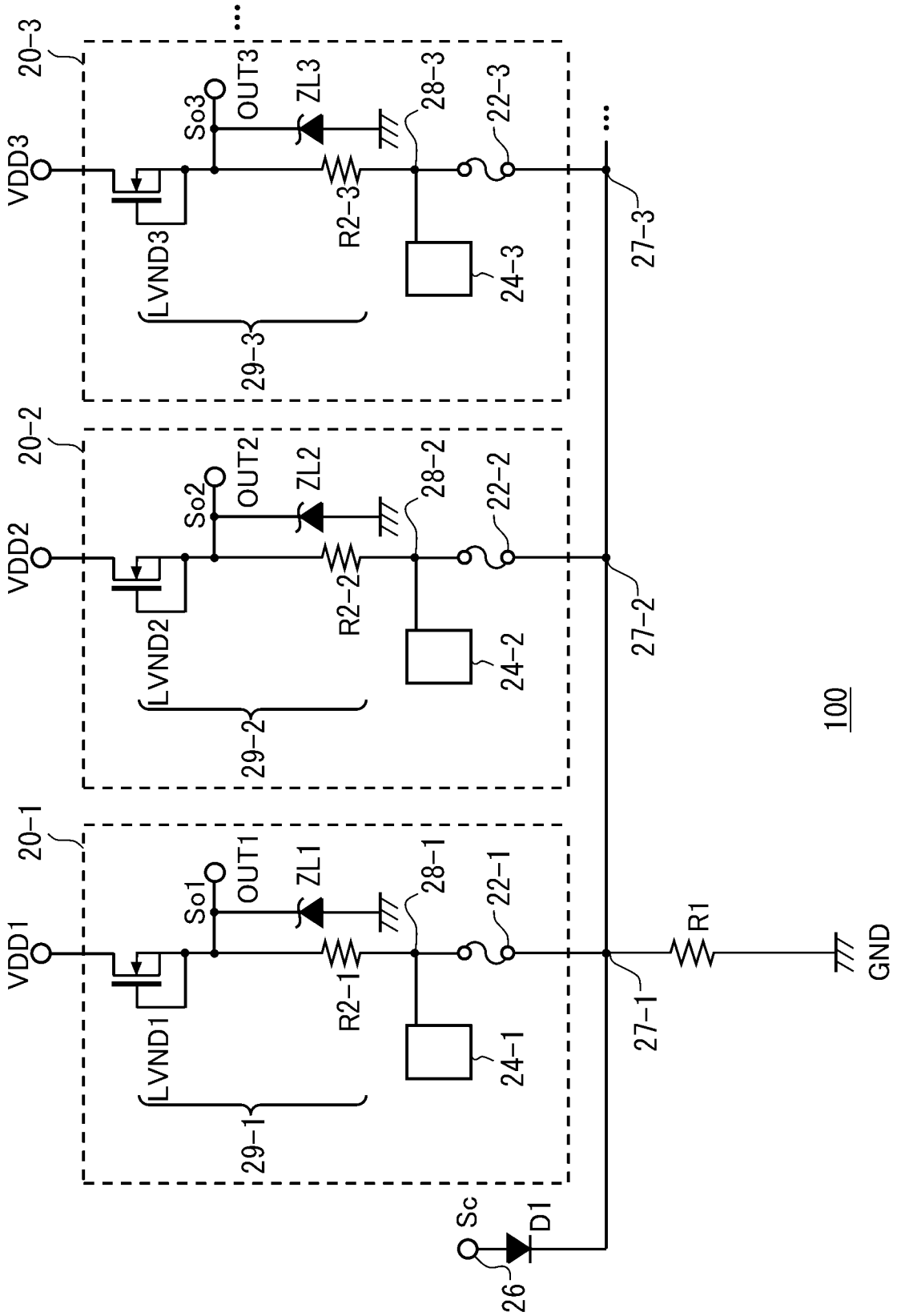
[図15]


20-3
VDD3
So3
OUT3
ZL3
28-3
22-3
R2-3
LVND3
24-3
29-3
27-3
20-2
VDD2
So2
OUT2
ZL2
28-2
22-2
R2-2
LVND2
24-2
29-2
27-2
100
20-1
VDD1
So1
OUT1
ZL1
28-1
22-1
R2-1
LVND1
24-1
29-1
27-1
R1
GND
Sc
D1
26

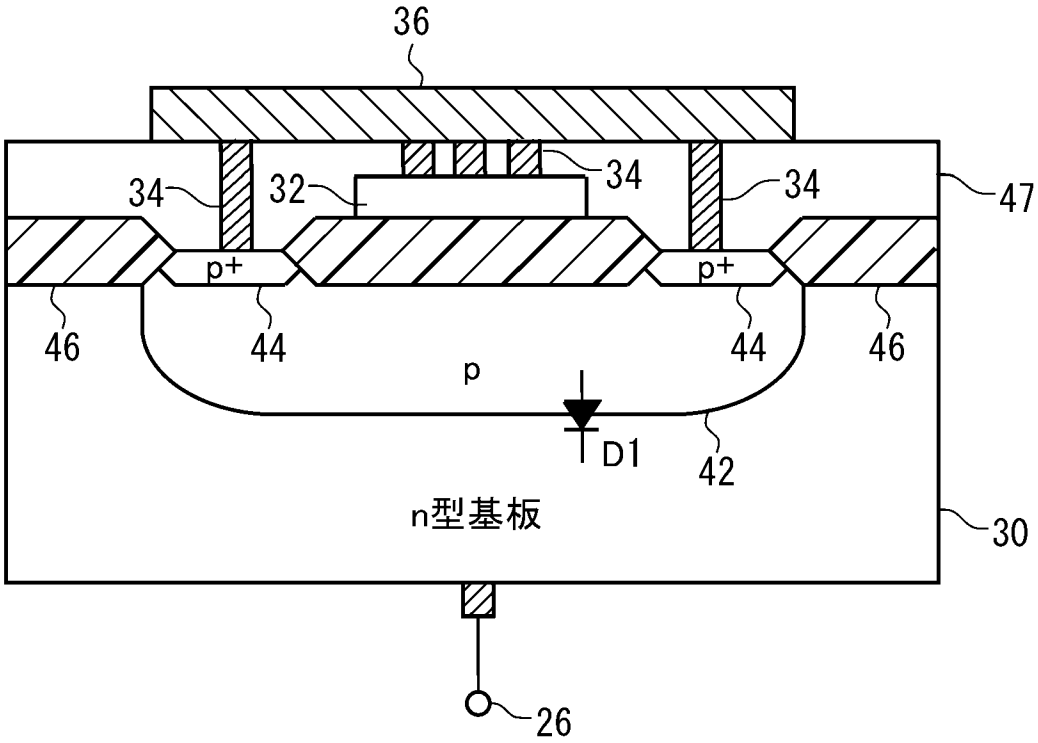
[図16]


VDD
R1
27-1
22-1
28-1
24-1
R2-1
So1
OUT1
ZL1
LVND1
29-1
GND
20-1
27-2
22-2
28-2
24-2
R2-2
So2
OUT2
ZL2
LVND2
29-2
GND
20-2
27-3
22-3
28-3
24-3
R2-3
So3
OUT3
ZL3
LVND3
29-3
GND
20-3
Sc
D1
26
100

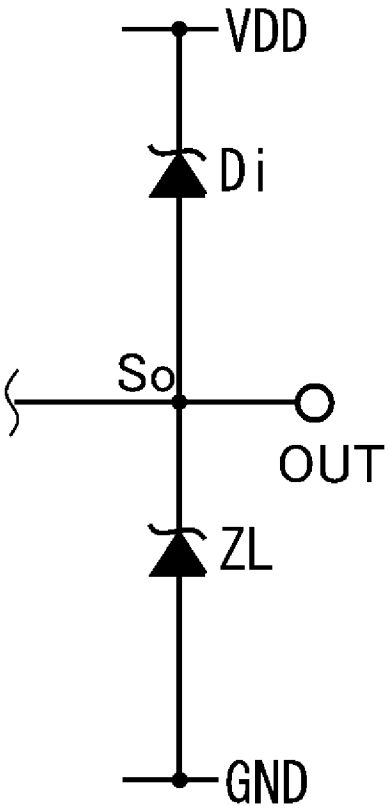
[図17]


20-3
VDD3
So3
OUT3
ZL3
28-3
22-3
R2-3
LVND3
24-3
29-3
27-3
20-2
VDD2
So2
OUT2
ZL2
28-2
22-2
R2-2
LVND2
24-2
29-2
27-2
20-1
VDD1
So1
OUT1
ZL1
28-1
22-1
R2-1
LVND1
24-1
29-1
27-1
R1
GND
100
Sc
D1
26

[図18]


36
34
32
34
34
47
p+
p+
46
44
44
46
p
D1
42
n型基板
30
26

[図19]


VDD
Di
So
OUT
ZL
GND

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/015432

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/04(2006.01)i, H01L21/82(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i
FI: H01L27/04V, H01L21/82F, H01L27/06102A, H01L27/088E, H01L27/04P, H01L27/04H, H01L27/06311B, H01L29/78653C, H01L29/78656C, H01L29/91C, H01L29/78655F, H01L29/91L, H01L27/04F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L27/04, H01L21/82, H01L21/8234, H01L27/06, H01L27/088, H01L29/739, H01L29/78, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 4-163934 A (TOSHIBA CORPORATION) 09.06.1992 (1992-06-09), page 205, upper right column, line 15 to page 206, lower right column, line 6, page 207, upper left column, line 20 to page 208, upper left column, line 2, fig. 1, 3	1-9, 15-17 10-14, 18, 19
Y A	JP 2018-22848 A (FUJI ELECTRIC CO., LTD.) 08.02.2018 (2018-02-08), paragraphs [0023], [0046]-[0060], fig. 5, 6	1-9, 15-17 10-14, 18, 19
Y	JP 2000-323650 A (HITACHI, LTD.) 24.11.2000 (2000-11-24), paragraphs [0016], [0035], [0036], fig. 6	6
A	JP 2000-340656 A (FUJITSU LIMITED) 08.12.2000 (2000-12-08), entire text, all drawings	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10.06.2020	23.06.2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/015432

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-267464 A (FUJITSU LIMITED) 15.10.1993 (1993-10-15), entire text, all drawings	1-19
A	JP 7-198794 A (SONY CORPORATION) 01.08.1995 (1995-08-01), entire text, all drawings	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/015432

JP 4-163934 A	09.06.1992	(Family: none)
JP 2018-22848 A	08.02.2018	(Family: none)
JP 2000-323650 A	24.11.2000	(Family: none)
JP 2000-340656 A	08.12.2000	US 6169393 B1
JP 5-267464 A	15.10.1993	(Family: none)
JP 7-198794 A	01.08.1995	(Family: none)

国際調査報告

国際出願番号
PCT/JP2020/015432

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/04(2006.01)i; H01L 21/82(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/739(2006.01)i; H01L 29/78(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i

FI: H01L27/04 V; H01L21/82 F; H01L27/06 102A; H01L27/088 E; H01L27/04 P; H01L27/04 H; H01L27/06 311B; H01L29/78 653C; H01L29/78 656C; H01L29/91 C; H01L29/78 655F; H01L29/91 L; H01L27/04 F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/04; H01L21/82; H01L21/8234; H01L27/06; H01L27/088; H01L29/739; H01L29/78; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 4-163934 A (株式会社東芝) 09.06.1992 (1992-06-09) 第205頁右上欄第15行目-第206頁右下欄第6行目,第207頁左上欄第20行目-第208頁左上欄第2行目, 第1,3図	1-9,15-17
A	第205頁右上欄第15行目-第206頁右下欄第6行目,第207頁左上欄第20行目-第208頁左上欄第2行目, 第1,3図	10-14,18,19
Y	JP 2018-22848 A (富士電機株式会社) 08.02.2018 (2018-02-08) 段落[0023],[0046]-[0060],図5,6	1-9,15-17
A	段落[0023],[0046]-[0060],図5,6	10-14,18,19
Y	JP 2000-323650 A (株式会社日立製作所) 24.11.2000 (2000-11-24) 段落[0016],[0035],[0036],図6	6
A	JP 2000-340656 A (富士通株式会社) 08.12.2000 (2000-12-08) 全文, 全図	1-19

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.06.2020	23.06.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
市川　武宜 5F 4056
電話番号 03-3581-1101 内線 3514

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 5-267464 A (富士通株式会社) 15.10.1993 (1993-10-15) 全文，全図	1-19
A	JP 7-198794 A (ソニー株式会社) 01.08.1995 (1995-08-01) 全文，全図	1-19

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/015432

引用文献	公表日	パテントファミリー文献	公表日
JP 4-163934 A	09.06.1992	（ファミリーなし）	
JP 2018-22848 A	08.02.2018	（ファミリーなし）	
JP 2000-323650 A	24.11.2000	（ファミリーなし）	
JP 2000-340656 A	08.12.2000	US 6169393 B1	
JP 5-267464 A	15.10.1993	（ファミリーなし）	
JP 7-198794 A	01.08.1995	（ファミリーなし）	