



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년02월24일
 (11) 등록번호 10-1110079
 (24) 등록일자 2012년01월19일

(51) Int. Cl.

H01L 21/205 (2006.01)

(21) 출원번호 10-2009-0037145
 (22) 출원일자 2009년04월28일
 심사청구일자 2009년04월28일
 (65) 공개번호 10-2010-0118354
 (43) 공개일자 2010년11월05일
 (56) 선행기술조사문헌
 KR1020070107168 A*
 KR1020080112736 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 유진테크

경기도 용인시 처인구 양지면 추계로 42

(72) 발명자

김해원

경기도 이천시 증신로291번길 128, 동양파라곤 102-303 (송정동)

우상호

경기도 이천시 영창로 90, 102동 1005호 (관고동, 두산아파트)

조성길

경기도 용인시 기흥구 동백죽전대로 283, 참솔마을 월드메르디앙 102동 1502호 (중동)

(74) 대리인

정성진

전체 청구항 수 : 총 8 항

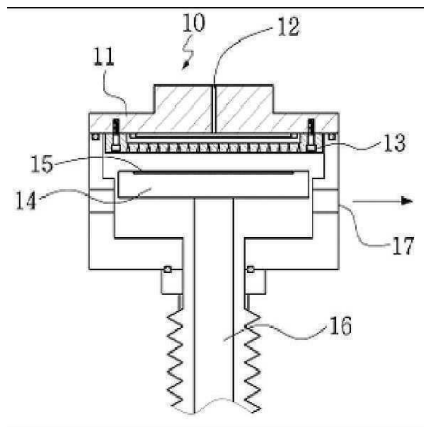
심사관 : 김한수

(54) 극미세 결정립 폴리 실리콘 박막 증착 방법

(57) 요약

본 발명에 의하면, 극미세 결정립 폴리 실리콘 박막 증착 방법은 기판이 로딩된 챔버의 내부에 질소분위기를 형성하는 단계; 그리고 상기 챔버 내에 소스가스를 공급하여 상기 기판 상에 폴리 실리콘 박막을 증착하는 단계를 포함하되, 상기 소스가스는 실리콘 계열(silicon-based)의 가스, 질소 계열(Nitrogen-based)의 가스, 그리고 인 계열(Phosphorous-based)의 가스를 포함한다. 상기 질소분위기를 형성하는 단계는 상기 챔버 내에 질소 계열의 가스를 공급하는 단계를 포함할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

기판이 로딩된 챔버의 내부에 암모니아(NH₃)를 공급하고, 상기 기판을 상기 암모니아의 분해에 의해 생성된 질소원자에 노출시켜 상기 기판에 대한 전처리(pre-treatment)를 수행하는 단계; 및

상기 챔버 내에 소스가스를 공급하여 상기 기판 상에 폴리 실리콘 박막을 증착하는 단계를 포함하되,

상기 소스가스는 실리콘 계열(silicon-based)의 가스, 질소 계열(Nitrogen-based)의 가스, 그리고 인 계열(Phosphorous-based)의 가스를 포함하는 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 소스가스에 포함된 상기 질소 계열의 가스는 암모니아(NH₃)인 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 방법은 상기 박막에 대한 열처리 공정을 더 포함하는 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

청구항 7

제1항에 있어서,

상기 실리콘 계열의 가스는 SiH₄(silane), Si₂H₆(disilane), DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 중 어느 하나인 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

청구항 8

제1항에 있어서,

상기 인 계열의 가스는 PH₃인 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

청구항 9

제1항, 제3항, 제6항 내지 제8항 중 어느 하나의 항에 있어서,

상기 방법은 박막 증착시 n+ 또는 p+ 계열의 도핑된(doped) 폴리 실리콘 박막으로 증착하는 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

청구항 10

제9항에 있어서,

상기 n+ doped 폴리 실리콘 박막으로 증착할 때, PH₃ 또는 As와 같이 n+ 도핑(dopant) 계열의 불순물을 인-시투

(In-situ)로 주입하여 극미세 결정립을 가지는 폴리 실리콘 막을 증착하는 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

청구항 11

제9항에 있어서,

상기 p+ doped 폴리 실리콘 박막으로 증착할 때, 보론(Boron)과 같이 p+ 도핑(dopant) 계열의 불순물을 인-시투(In-situ)로 주입하여 극미세 결정립을 가지는 폴리 실리콘 막을 증착하는 것을 특징으로 하는 극미세 결정립 폴리 실리콘 박막 증착 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 기판 상에 박막을 증착하는 기술에 관한 것으로, 특히 화학기상증착방식(Chemical Vapor Deposition, CVD)에 의한 박막 증착 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 반도체 제조 공정은 박막을 웨이퍼 표면에 증착하는 증착공정을 포함하며, 웨이퍼 표면에는 실리콘 산화막(silicon oxide) 및 다결정 실리콘막(polycrystalline silicon), 그리고 질화 실리콘막(silicon nitride)을 포함하는 다양한 형태의 박막이 증착된다.

[0003] 그리고 증착공정 중 화학기상증착방식(Chemical Vapor Deposition, CVD)은 열분해 또는 기체화합물의 반응에 의해 기판의 표면에 박막을 형성하는 것을 말한다. 즉, 원하는 물질이 기체상태로부터 기판 표면에 직접 증착된다.

[0004] 증착공정 중 웨이퍼 표면에 다결정 실리콘막을 증착하는 방법에 대해 설명하면 다음과 같다.

[0005] 먼저, 웨이퍼를 챔버 내에 로딩한 후, 챔버 내부에 소스 가스를 공급하여 웨이퍼 상에 박막을 증착한다. 이때, 챔버 내부에 공급되는 소스 가스는 실란(SiH₄)을 포함하며, 챔버 내에 공급된 소스 가스에 의해 웨이퍼 상에는 박막이 증착된다. 이때, 웨이퍼 상에는 실란(SiH₄)의 열분해를 통해 다결정 실리콘막이 증착(polycrystalline deposition)된다.

[0006] 그러나 이와 같은 증착공정으로는 얇은 두께(약 400Å 이하)의 실리콘 결정구조를 가지는 다결정 실리콘막을 증착하는 것이 매우 어려울 뿐만 아니라, 균일한 다결정 실리콘막을 증착하기 어려웠다. 따라서 이를 반도체 플래시 메모리 등의 플로팅 게이트 전극으로 사용할 경우, 제조된 소자의 과소거(over erase) 현상과 같은 문제점에 의해 소자의 문턱전압이동(Threshold Voltage shift) 등에 의한 균일도, 내구력, 그리고 신뢰성 측면에서 소자의 문턱전압(Threshold Voltage, Vt) 균일도 등이 매우 불균일하여 소자 특성을 저하 시키는 등의 문제점이 있었다.

[0007] 이에 대해 더욱 상세히 설명하면, 먼저 일정한 공정온도(일반적으로 550℃ 이하)에서 실란(SiH₄)이나 디실란(disilane)(Si₂H₆)을 이용하여 결정질이 형성되지 않은 비결정질(amorphous) 실리콘 박막을 성장시키는 공정과, 그 다음으로 후속의 일정한 열처리 공정(예를 들어, 650℃ 내지 900℃)에 의하여 성장된 박막을 결정화 시키는 공정을 거치게 되면, 그 결과로서 도 1에 도시한 결과를 얻는다. 도 1은 종래의 증착방법에 따른 다결정 실리콘 막을 투과 전자 현미경(Transmission Electron Microscopy, TEM)으로 찍은 사진이다.

[0008] 이와 같은 공정을 이용하여 플래시 메모리와 같은 소자의 게이트 전극을 형성시킬 경우, 그 박막의 결정화된 결정립의 크기(grain size)는 매우 불규칙하여 수십 Å 내지 수백 nm의 크기의 결정립이 형성된다. 그래서 이러한 공정을 이용하여 트랜지스터를 형성시킬 경우 트랜지스터에서의 전자의 이동 속도에 의해 결정립(grain)이 큰 지역에서는 결정립 계면(grain boundary)이 한 개 또는 두 개 형성되고, 반면 결정립(grain)이 매우 작은 지역에서는 결정립 계면(Grain boundary)이 많이 형성된다. 이렇게 결정립 계면이 많이 형성된 결정립이 매우 작은 지역은 결정립(Grain)과 결정립이 만나는 지역의 하부 터널링 막(Tunnel oxide)이 옥사이드 밸리(oxide valley)라는 형태의 구역으로 형성 되는데, 큰 결정립 사이의 결정계면의 하부는 더 큰 형태의 옥사이드 밸리(oxide

valley)가 형성된다. 이러한 옥사이드 벨리는 후속의 포스포로스 폴리(phosphorus poly) 공정 형성 시 인(phosphorus)이 더 많이 컨센트레이션(concentration) 되어 로컬 배리어 하이트(local barrier height, LBH)를 감소시키게 된다. 이에 따라 소자 구동 시 과소거점(over erase point)으로 되거나, 또는 인(phosphorus)에 의한 전자 트랩 포메이션 사이트(electron trap formation site)가 되어 소자의 신뢰성을 크게 저하시키는 원인이 되고, 이는 곧 트랜지스터가 형성된 후 소자를 가동 시 전자의 이동 속도의 차이에 의해 소자 한 칩(chip) 내에 포함되어 있는 수 개의 트랜지스터의 구동 능력이 매우 차이가 나게 되고, 이 때문에 소자 특성이 매우 열악해지는 문제점이 있게 된다.

발명의 내용

해결 하고자하는 과제

[0009] 본 발명의 목적은 전기적 특성의 균일도를 향상시켜 특성이 저하되는 것을 방지할 수 있는 극미세 결정립 폴리 실리콘 박막 증착 방법을 제공하는데 있다.

과제 해결수단

[0010] 본 발명에 의하면, 극미세 결정립 폴리 실리콘 박막 증착 방법은 기판이 로딩된 챔버의 내부에 질소분위기를 형성하는 단계; 그리고 상기 챔버 내에 소스가스를 공급하여 상기 기판 상에 폴리 실리콘 박막을 증착하는 단계를 포함하되, 상기 소스가스는 실리콘 계열(silicon-based)의 가스, 질소 계열(Nitrogen-based)의 가스, 그리고 인 계열(Phosphorous-based)의 가스를 포함한다.

[0011] 상기 질소분위기를 형성하는 단계는 상기 챔버 내에 질소 계열의 가스를 공급하는 단계를 포함할 수 있다.

[0012] 상기 질소 계열의 가스는 암모니아(NH₃)일 수 있다.

[0013] 상기 소스가스 중 상기 실리콘 계열의 가스에 대한 상기 질소 계열의 가스의 혼합비율은 0.03 이하(단, 0은 제외)일 수 있다.

[0014] 상기 박막 내의 질소는 11.3 atomic%(atomic percentage) 이하(단, 0은 제외)일 수 있다.

[0015] 상기 방법은 상기 박막에 대한 열처리 공정을 더 포함할 수 있다.

[0016] 상기 실리콘 계열의 가스는 SiH₄(silane), Si₂H₆(disilane), DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 중 어느 하나일 수 있다.

[0017] 상기 인 계열의 가스는 PH₃일 수 있다.

[0018] 상기 방법은 박막 증착시 n+ 또는 p+ 계열의 도핑된(doped) 폴리 실리콘 박막으로 증착할 수 있다.

[0019] 상기 n+ doped 폴리 실리콘 박막으로 증착할 때, PH₃ 또는 As와 같이 n+ 도핑(dopant) 계열의 불순물을 인-시투(In-situ)로 주입하여 극미세 결정립을 가지는 폴리 실리콘 막을 증착할 수 있다.

[0020] 상기 p+ doped 폴리 실리콘 박막으로 증착할 때, 보론(Boron)과 같이 p+ 도핑(dopant) 계열의 불순물을 인-시투(In-situ)로 주입하여 극미세 결정립을 가지는 폴리 실리콘 막을 증착할 수 있다.

효과

[0021] 본 발명에 의한 극미세 결정립 폴리 실리콘 박막 증착 방법은 화학기상증착방식에 의하여 기판 상에 박막을 증착할 때 실리콘 계열 가스 및 질소 계열 가스 및 인 계열 가스를 포함한 소스 가스를 기판이 로딩된 챔버 내에 공급하여 박막을 증착하여 극미세 결정립 폴리 실리콘 박막을 증착하며, 전기적 특성의 균일도를 향상시켜 특성이 저하되는 것을 방지할 수 있는 효과가 있게 된다.

[0022] 또한 본 발명은 실리콘 소스 가스로는 SiH₄(Silane) 가스를 이용하고, 결정립을 제어하는 공정 방법으로서의 공정온도와 공정 압력을 일정한 범위 내에서 박막을 증착할 때 NH₃와 같이 질소(Nitrogen)를 함유하는 가스를 실란(SiH₄)과 혼합하여 일정 비율로 주입하여 극미세 결정립 다결정 폴리실리콘 박막을 형성시킴으로서 반도체 소자에서 플래시 메모리(Flash Memory)의 플로팅 게이트(floating gate)용 전극으로 이용할 경우 균일한 형태의 결정립을 형성할 수 있어 소자의 내구성 및 신뢰성 있는 소자 특성을 확보할 수 있고, DRAM(Dynamic Random

Access Memory) 소자, SRAM(Static Random Access Memory) 및 로직(LOGIC) 소자에서 그 특성을 이용할 경우 우수한 소자 특성을 확보할 수 있어, 이를 이용하는 반도체 소자 제조시 소자 수율 향상 및 소자 특성 개선 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0023] 이하, 본 발명의 바람직한 실시예들을 첨부된 도 1 내지 도 6을 참고하여 더욱 상세히 설명한다. 본 발명의 실시예들은 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 설명하는 실시예들에 한정되는 것으로 해석되어서는 안 된다. 본 실시예들은 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 상세하게 설명하기 위해서 제공되는 것이다. 따라서 도면에 나타난 각 요소의 형상은 보다 분명한 설명을 강조하기 위하여 과장될 수 있다.
- [0024] 먼저 본 발명은 화학기상증착방식에 의하여 기판 상에 박막을 증착할 때 실리콘 계열 가스 및 질소 계열 가스 및 인 계열 가스를 포함한 소스 가스를 기판이 로딩된 챔버 내에 공급하여 박막을 증착하여 극미세 결정립 폴리실리콘 박막을 증착하고자 한 것이다.
- [0025] 일반적으로 화학기상증착이라고 하는 것은 기체상태의 소스 가스를 공급하여 기판과의 화학적 반응을 유도함으로써, 반도체 기판 상에 박막을 형성하는 공정이다. 이러한 화학기상증착방식을 싱글 챔버 내에서 수행하게 되는 본 발명을 도 2를 참조하여 설명하기로 한다. 도 2는 본 발명이 적용되는 증착 장치를 나타내는 도면이다.
- [0026] 우선 증착 장치(10)의 챔버(11) 내에 소스 가스가 도입되기 위한 도입부(12)가 형성된다. 도입부(12)에 의해 도입된 가스는 샤워헤드(13)를 통해 챔버(11) 내부로 분사되게 된다. 또한 증착의 대상이 되는 웨이퍼(15)가 히터(14)상에 놓여지게 되는데, 이러한 히터(14)는 히터지지대(16)에 의해 지지되게 된다. 이러한 장치에 의해 증착이 수행되고 나서는 진공포트(17)에 의해 배출되게 된다.
- [0027] 먼저, 기판은 반응 챔버(11)의 내부로 이송되며, 이후 반응 챔버(11)의 내부에는 질소분위기가 형성된다. 예를 들어, 반응 챔버(11)의 내부에 NH₃를 공급하여 반응 챔버(11)의 내부에 질소분위기를 유지한다. 이로 인해, 기판은 질소분위기 내에 놓이며, 질소분위기 내에서 전처리(pre-treatment) 된다.
- [0028] 이후, 싱글 웨이퍼 방식의 화학기상증착방법에 의해 기판 상에 실란(SiH₄) 가스 및 불활성의 N₂를 캐리어(Carrier) 가스로 챔버(11) 내로 유입시켜 열 분해에 의해 분해된 반응 가스가 기판 상에 배치된 실리콘 기판 상에 표면 이동을 통하여 증착하게 되는 것으로, 이때 SiH₄ 가스와 동시에 반응 챔버(11) 내로 일정한 비율로 NH₃ 가스(예를 들어, NH₃ 가스는 앞서 전처리시 주입된 NH₃와 동일할 수 있다)를 주입하게 되면 열 분해된 반응 가스의 실리콘 원자들이 NH₃로부터 분해된 질소(Nitrogen) 원자에 의해 결정립 성장(Grain Growth)이 지연되어, 고온(650°C 이상의 고온)에서도 비정질 상태의 폴리 실리콘으로 증착이 가능하다.
- [0029] 이 때 NH₃/SiH₄ 가스의 혼합 비율이 일정 수준 이상으로 유지될 경우 실리콘 나이트라이드(Silicon Nitride)로 증착될 수 있기 때문에, 두 반응 가스의 혼합 비율이 본 발명에서 가장 중요한 요소이다.
- [0030] 극미세 결정립 구조를 가지는 다결정 폴리실리콘을 형성시키기 위해, 퍼니스(Furnace) 또는 싱글 웨이퍼(Single Wafer) 방식의 반응 챔버를 이용하여 일정 온도 이상에서 후속 열처리 공정을 실시한다. 또한 PH₃과 같은 n+ doped 계열, 보론(Boron)과 같은 p+ doped 계열의 불순물을 함께 주입하여 언도핑된(Undoped) 또는 도핑된(Doped) 박막을 증착하게 된다.
- [0031] 도 3은 본 발명인 극미세 결정립 폴리 실리콘 박막 증착 방법에 의하여 형성시킨 실리콘 박막에 대한 특징을 보인 그래프로서, 질소 소스 가스(Nitrogen Source Gas)와 실리콘 소스 가스(Si Source Gas)의 비율에 따른 굴절률을 나타낸 그래프이다.
- [0032] 이러한 도 3은 NH₃와 SiH₄의 혼합비율에 따른 굴절률을 나타내는 그래프로서, 도 3에서 보는 바와 같이 가로 축은 NH₃와 SiH₄의 혼합비율이고, 세로 축은 증착된 박막의 결정 특성을 알 수 있는 굴절률(Refractive Index,

R.1) 값을 도시한 것이다. 따라서 SiH₄에 혼합된 NH₃의 비율이 증가할수록 굴절률이 감소하는 경향을 나타내며, 그 값이 3.8 ~ 4.5의 범위를 유지할 때 비정질 또는 다결정 실리콘 박막으로 증착이 형성되며, 그 이하의 굴절률을 나타내면 폴리실리콘이 아닌 Si rich의 Si₃N₄ 박막에 가까운 특성을 가지는 박막으로 증착된다.

[0033] 따라서, 굴절률을 기준으로 볼 때, SiH₄에 대한 NH₃의 혼합비율이 3%(또는 0.03) 이하인 것이 바람직하며, 이 범위 내에서 비정질 또는 다결정 실리콘 박막으로 증착이 이루어진다.

[0034] 도 4는 본 발명인 극미세 결정립 폴리 실리콘 박막 증착 방법에 의하여 증착된 박막의 결정구조를 보인 TEM 사진이다. 도 4에 검은 색으로 나타난 부분이 결정립(grain)을 나타내며, 도 4에 나타난 결정립은 도 1에 나타난 결정립에 비해 미세한 것을 알 수 있다.

[0035] 도 5a 및 도 5b는 질소(Nitrogen)의 농도를 아토믹 퍼센트(atomic%)로 환산한 값과 결정립도(Grain Size)를 질소(Nitrogen)와 실리콘 소스(Si Source)의 가스 혼합 비율에 따른 경향성을 나타낸 표와 그래프이다.

[0036] 도 5a 및 도 5b를 살펴보면, 앞서 설명한 SiH₄에 대한 NH₃의 혼합비율이 2.2%(또는 0.022)일 때, 박막 내의 질소는 11.3atomic%인 것을 알 수 있으며, 도 5a 및 도 5b로부터 박막 내의 질소는 대략 11.3 atomic% 이하인 것이 바람직하다는 것을 알 수 있다. 박막 내의 질소가 11.3 atomic%일 경우, 결정립의 크기(grain size)는 약 33옹스트롬이다.

[0037] 도 6은 문턱전압을 나타내는 그래프이다. 예를 들어, 다결정 실리콘이 증착된 메모리 셀이 제대로 작동하기 위해서는 데이터의 저장이 이루어지게 되는 전극의 문턱 전압(threshold voltage)(Vt)이 일정해야 한다. 그러나, 문턱 전압의 분포가 일정하지 않고 불량하게 되어 위치에 따라 산포 변화(d=V2-V1)가 증가할 수 있으며, 이로 인해 메모리 셀이 제대로 작동하지 않을 수 있다.

[0038] 그러나, 앞서 살펴본 바와 같이, 질소분위기 하에서 전처리가 이루어진 경우, 예를 들어 다결정 실리콘 박막으로 이루어진 플로팅 게이트와 플로팅 게이트 하부의 터널 산화막 사이에 질소 원자가 배치되며, 질소 원자는 플로팅 게이트 내의 인(P)이 터널 산화막으로 이동하는 것을 제한한다. 이로 인해, 문턱 전압(Vt)의 산포는 개선되어 위치에 따라 일정한 문턱 전압(Vt)을 나타낼 수 있다.

[0039] 이상 상술한 바와 같이 본 발명에서 제시된 발명의 사상을 이용하여 본 발명에서 제시된 소스 가스(Source gas)로 Si Source는 SiH₄, Oxygen Source는 NH₃ 가스를 이용하였지만, 또 다른 Si source 가스로서 Si₂H₆(disilane), DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 가스 및 그 외 Si을 포함하는 가스를, Nitrogen을 포함하는 또 다른 가스를 이용하여 본 발명에서 구현하고자 하는 발명의 사상, 일정한 온도와 일정한 압력 하에서 NH₃/SiH₄의 일정한 비율로 반응 챔버 내에 주입시켜 극미세 결정립 구조를 가지는 박막을 형성시키는 것은 또 다른 발명의 실시 예이다

[0040] 이처럼 본 발명은 화학기상증착방식에 의하여 기판 상에 박막을 증착할 때 실리콘 계열 가스 및 질소 계열 가스 및 인 계열 가스를 포함한 소스 가스를 기판이 로딩된 챔버 내에 공급하여 박막을 증착하여 극미세 결정립 폴리 실리콘 박막을 증착하게 되는 것이다.

[0041] 본 발명을 바람직한 실시예들을 통하여 상세하게 설명하였으나, 이와 다른 형태의 실시예들도 가능하다. 그러므로, 이하에 기재된 청구항들의 기술적 사상과 범위는 바람직한 실시예들에 한정되지 않는다.

도면의 간단한 설명

[0042] 도 1은 종래의 증착방법에 따른 큰 그레인 사이즈를 가지는 다결정 실리콘막을 보인 사진이다.

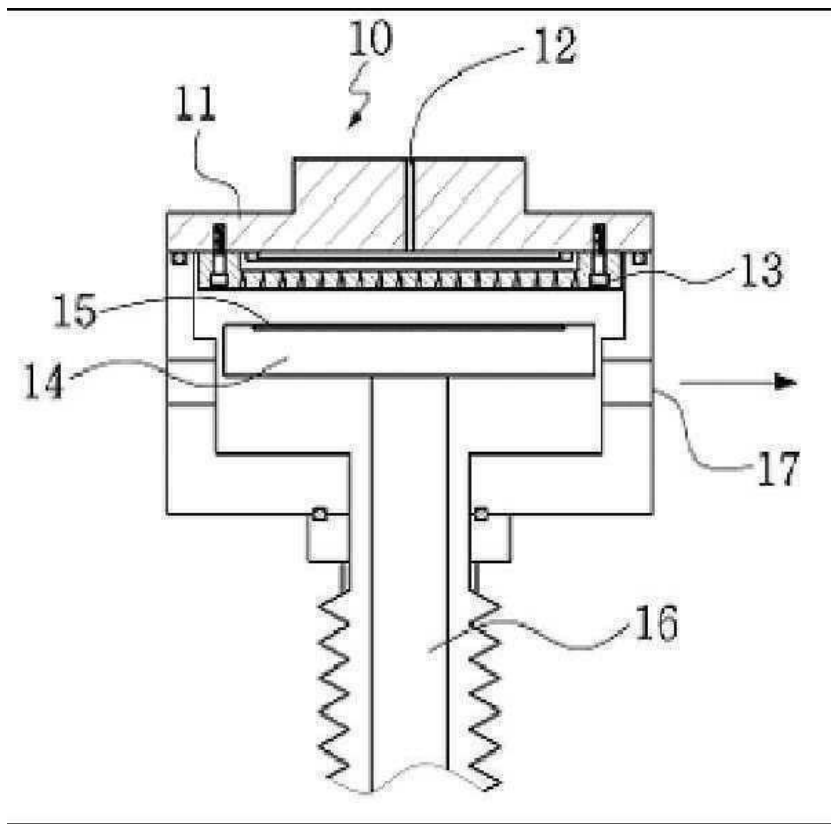
- [0043] 도 2는 본 발명이 적용되는 박막 증착 장치의 개념도이다.
- [0044] 도 3은 본 발명인 극미세 결정립 폴리 실리콘 박막 증착 방법에 의하여 형성시킨 실리콘 박막에 대한 특징을 보인 그래프로서, 질소 소스 가스(Nitrogen Source Gas)와 실리콘 소스 가스(Si Source Gas)의 비율에 따른 굴절률을 나타낸 그래프이다.
- [0045] 도 4는 본 발명인 극미세 결정립 폴리 실리콘 박막 증착 방법에 의하여 증착된 박막의 결정구조를 보인 TEM 사진이다.
- [0046] 도 5a 및 도 5b는 질소(Nitrogen)의 농도를 아토믹 퍼센트(atomic%)로 환산한 값과 결정립도(Grain Size)를 질소(Nitrogen)와 실리콘 소스(Si Source)의 가스 혼합 비율에 따른 경향성을 나타낸 표와 그래프이다.
- [0047] 도 6은 문턱전압을 나타내는 그래프이다.
- [0048] < 도면의 주요 부분에 대한 부호의 설명 >
- [0049] 10 : 증착 장치
- [0050] 11 : 챔버
- [0051] 12 : 도입부
- [0052] 13 : 샤워헤드
- [0053] 14 : 히터
- [0054] 15 : 웨이퍼
- [0055] 16 : 히터지지대
- [0056] 17 : 진공포트

도면

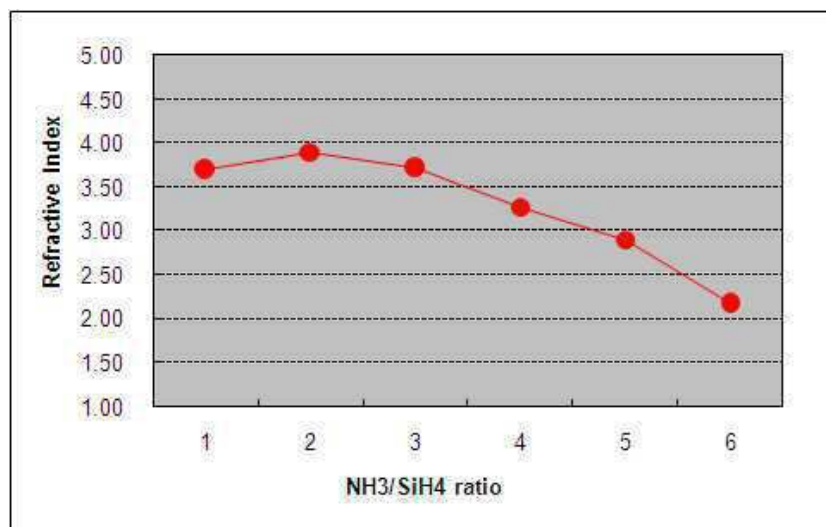
도면1



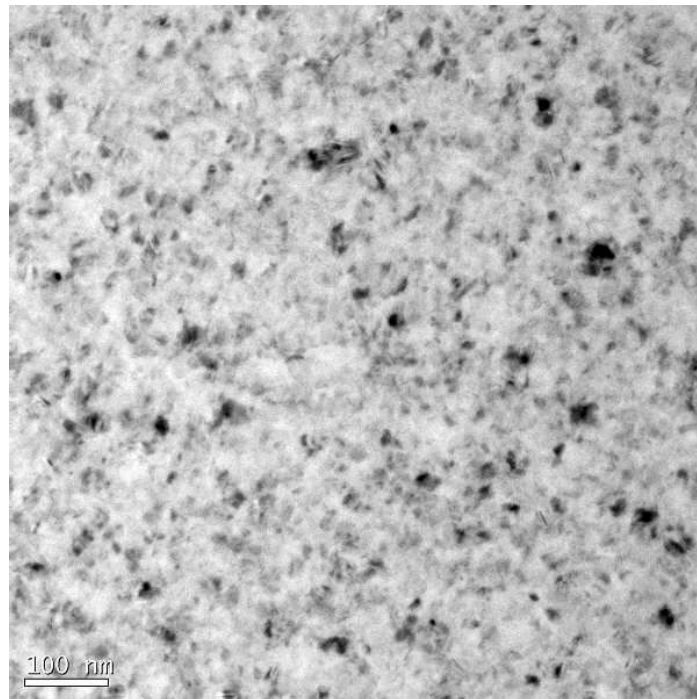
도면2



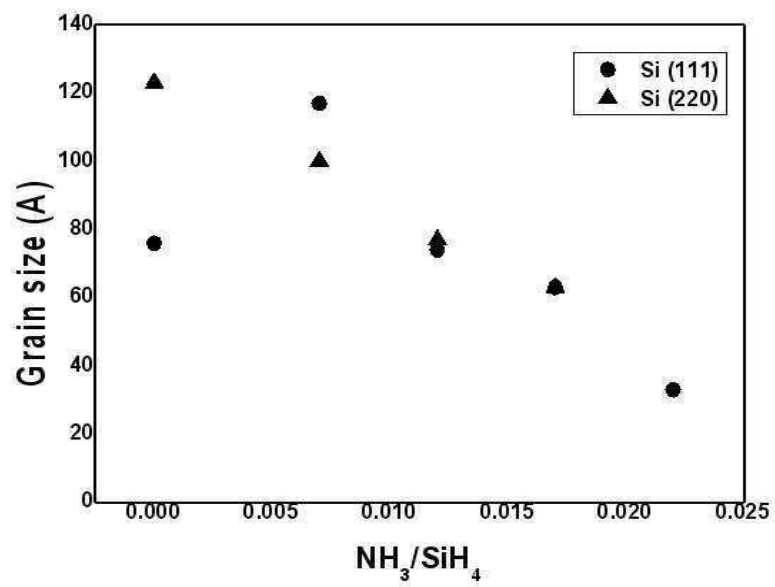
도면3



도면4



도면5a



도면5b

N Concentration	NH ₃ /SiH ₄ 0	NH ₃ /SiH ₄ 0.007	NH ₃ /SiH ₄ 0.012	NH ₃ /SiH ₄ 0.017	NH ₃ /SiH ₄ 0.022
1E20atoms/cc	0.146	16.4	31.0	44.0	56.5
Atomic %	0.029%	2.93%	6.12%	8.82%	11.3%
Grain Size	120 Å	108.5 Å	75.5 Å	63 Å	33 Å

도면6

