



(12) 发明专利

(10) 授权公告号 CN 1877858 B

(45) 授权公告日 2010.09.29

(21) 申请号 200610084290.8

0033-0034, 0062 段、图 1.

(22) 申请日 2006.05.30

US 6627928 B2, 2003.09.30, 说明书第 65 栏
第 55 行 - 第 6 栏第 17 行、图 15-17.

(30) 优先权数据

49251/05 2005.06.09 KR

CN 1479350 A, 2004.03.03, 全文.

JP 2002-299608 A, 2002.10.11, 全文.

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

审查员 施曙东

(72) 发明人 金明寿

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波 侯宇

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

(56) 对比文件

US 2003/0082861 A1, 2003.05.01, 说明书第

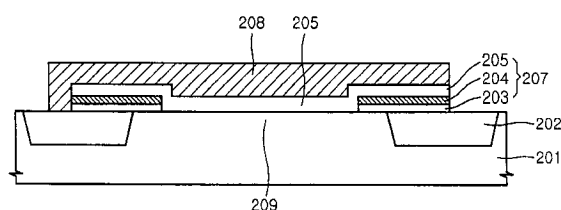
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

金属氧化物半导体场效应晶体管及其制造方法

(57) 摘要

本发明提供了一种具有沟槽隔离区的金属氧化物半导体场效应晶体管及其制造方法。该晶体管包括设置在半导体衬底的预定部分中以限定有源区的沟槽隔离区。源区和漏区在有源区中彼此分隔开,沟道区设置在所述源区和漏区之间。栅电极横跨源区和漏区之间的沟道区,且栅极绝缘层设置在所述栅电极与沟道区之间。比栅极绝缘层厚的边缘绝缘层围绕沟槽隔离区和有源区边界设置在栅电极的下表面上。本发明防止边界部分上的氧化物层的凹陷和减薄。因此,防止了由于集中在边界部分上的电场而产生的漏电流。



1. 一种具有沟槽隔离区的金属氧化物半导体场效应晶体管,包括:
半导体衬底;
沟槽隔离区,设置在所述半导体衬底的预定部分以定义有源区;
源区和漏区,在所述有源区内彼此分离,在所述源区和所述漏区之间设置有沟道区;
栅电极,在设置于所述源区和漏区之间的沟道区上跨过;
栅极绝缘层,设置在所述栅电极和沟道区之间;和
边缘绝缘层,比所述栅极绝缘层厚,并围绕所述沟槽隔离区和有源区边界设置在栅电极的下表面,
其中所述边缘绝缘层设置在部分所述沟槽隔离区上和部分所述有源区上。
2. 根据权利要求1所述的金属氧化物半导体场效应晶体管,其中所述边缘绝缘层包括多层。
3. 根据权利要求2所述的金属氧化物半导体场效应晶体管,其中所述边缘绝缘层的最上层和栅极绝缘层由相同材料构成。
4. 根据权利要求2所述的金属氧化物半导体场效应晶体管,其中所述边缘绝缘层包括下氧化物层、中间绝缘层和上氧化物层。
5. 根据权利要求4所述的金属氧化物半导体场效应晶体管,其中所述中间绝缘层由选自氮化物、氧化铝和氧化钽的材料构成。
6. 根据权利要求1所述的金属氧化物半导体场效应晶体管,其中在源/漏区方向的所述边缘绝缘层比所述沟槽隔离区和有源区边界上的栅电极宽。
7. 根据权利要求1所述的金属氧化物半导体场效应晶体管,其中所述沟槽隔离区包括氮化物衬垫。
8. 根据权利要求1所述的金属氧化物半导体场效应晶体管,其中所述栅极绝缘层的厚度为150到2000Å,且所述边缘绝缘层的厚度为200到10000Å。
9. 一种具有沟槽隔离区的金属氧化物半导体场效应晶体管的制造方法,包括:
在半导体衬底的预定部分形成沟槽隔离区以限定有源区;
形成第一绝缘层图案,其覆盖所述沟槽隔离区和有源区的边界,并暴露所述晶体管的沟道区;
至少在形成有所述第一绝缘层图案的所述半导体衬底的整个表面上形成第二绝缘层;
和
在已经形成有第二绝缘层和第一绝缘层图案的所述半导体衬底的表面上形成栅电极,且其中所述栅电极横跨所述沟槽隔离区和有源区的边界。
10. 根据权利要求9所述的方法,其中由所述第一绝缘层和第二绝缘层堆叠的部分比所述第二绝缘层厚。
11. 根据权利要求9所述的方法,其中所述第一绝缘层图案包括多层。
12. 根据权利要求11所述的方法,其中所述第一绝缘层图案的最上层和第二绝缘层由相同材料构成。
13. 根据权利要求11所述的方法,其中所述第一绝缘层图案包括下氧化物层和中间绝缘层。
14. 根据权利要求13所述的方法,其中所述中间绝缘层由选自氮化物、氧化铝和氧化

钽的一种材料构成。

15. 根据权利要求 9 所述的方法,还包括:在形成所述沟槽隔离区后,在所述有源区内形成彼此分隔开的源区和漏区。

16. 根据权利要求 9 所述的方法,还包括:在形成所述栅电极后,在所述有源区内形成彼此分隔开的源区和漏区。

17. 根据权利要求 9 所述的方法,其中使用选自氧化物和氮化物衬垫的的一种间隙填充绝缘材料形成所述沟槽隔离区。

18. 根据权利要求 15 所述的方法,其中使用低浓度的离子注入在有源区中形成所述源区和漏区。

19. 根据权利要求 16 所述的方法,其中使用低浓度的离子注入在有源区中形成所述源区和漏区。

20. 根据权利要求 9 所述的方法,其中所述第一绝缘层图案和第二绝缘层具有 50 到 500Å 的厚度。

金属氧化物半导体场效应晶体管及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,且更具体而言,涉及一种具有沟槽隔离区的金属氧化物半导体场效应晶体管及其制造方法。

背景技术

[0002] 当制造电功率器件例如半导体集成电路器件中的液晶显示器驱动 IC(称作 LDI)时,以低电压操作的低压逻辑晶体管和以高电压工作的 LCD 驱动晶体管必须实施于同一半导体衬底上。通常,高电压晶体管具有包括厚的栅氧化物层的结构,例如改性轻掺杂漏极 (MLDD) 和场轻掺杂漏极 (FLDD)。半导体集成电路增加的密度减少了线宽,由此当形成上述电功率器件时,沟槽隔离技术通常被应用到器件隔离区。例如,在使用沟槽技术形成的浅沟槽隔离 (STI) 结构中,用于间隙填充的层不是热氧化物层而是未掺杂硅酸盐玻璃 (USG) 层或例如高浓度等离子体 (HDP)-CVD 氧化物层的化学气相淀积 (CVD) 氧化物层。此外,在上述沟槽隔离工艺中,通常使用氮化物衬垫。

[0003] 图 1 是具有沟槽隔离区的常规高电压 MOS 场效应晶体管的剖面图。

[0004] 参考图 1,掺杂有 P 型杂质的 P 型阱 101 或掺杂有 N 型杂质的 N 型阱形成在半导体衬底 100 的上表面上。然后,填充有绝缘材料的 STI 结构的沟槽隔离区 107 形成在阱 101 的预定部分中。有源区 102 由沟槽隔离区 107 限定。以预定距离彼此分隔开的源区和漏区(未示出)形成在有源区 102 内。此外,沟道区设置在该源区与漏区之间。栅电极 106 通过插入栅极绝缘层 105 而形成在该沟道区上。

[0005] 栅极绝缘层 105 主要由热氧化物构成,其中设置在沟槽蚀刻的 STI 结构的上边缘上的氧化物层发生减薄现象。具体地,上述减薄现象由于如下原因而发生:在硅衬底上引起的压缩应力,其由于以下原因引起:(i) 硅衬底表面和 STI 结构侧壁的氧化,(ii) 由 STI 结构施加到间隙填充层上的应力和 (iii) 当进行热氧化以在 STI 结构中形成栅极氧化物层时,由形成于 STI 结构中的氮化物衬垫中断了氧化反应气体的迁移。

[0006] 此外,上述减薄现象导致所谓的边缘拥挤现象 (edge crowding),该边缘拥挤现象又导致 STI 结构在结构上形成围绕器件隔离区(或场区)与相邻有源区之间的边界的凹陷。此外,作为上述凹陷导致的氧化物层减薄的结果,设置在 STI 隔离区中的氮化物衬垫成为用于将电荷俘获到氮化物衬垫的上部分的位置,因此通过氧化物层导通晶体管。此外,上述减薄现象和凹陷导致晶体管的阈值电压由于沟槽隔离区与有源区的边界部分上的漏电流而降低,从而导致半导体晶体管的故障。

[0007] 因此,需要具有防止沟槽隔离区与有源区之间的边界上发生漏电流的沟槽隔离区的 MOS 场效应晶体管。

发明内容

[0008] 根据本发明的示范性实施例,提供了一种金属氧化物半导体 (MOS) 场效应晶体管。该 MOS 场效应晶体管包括设置在半导体衬底的预定部分以限定有源区的沟槽隔离区;

在有源区内彼此分隔开的源区和漏区,沟道区设置在源区与漏区之间;和横跨设置在源区与漏区之间的沟道区的栅电极。MOS 场效应晶体管还包括设置在栅电极与沟道区之间的栅极绝缘层。和围绕沟槽隔离区与有源区的边界的设置于栅电极下表面上的边缘绝缘层,其厚于栅极绝缘层。

[0009] 边缘绝缘层可以包括多层,且边缘绝缘层的最上层与栅极绝缘层可以由相同材料构成。边缘绝缘层可以具有下氧化物层/中间绝缘层/上氧化物层的三层结构。在此情形,中间绝缘层由选自氮化物、氧化铝和氧化钽的材料构成。此外,边缘绝缘层宽于沟槽隔离区和有源区边界上的栅电极,且沟槽隔离区可以包括氮化物衬垫。

[0010] 根据本发明的另一示范性实施例,提供了一种具有沟槽隔离区的 MOS 场效应晶体管的制造方法。该方法包括在半导体衬底的预定部分中形成沟槽隔离区以限定有源区。在形成至少覆盖沟槽隔离区和有源区的边界并暴露晶体管的沟道区的第一绝缘层图案之后,至少在形成有第一绝缘层图案的半导体衬底的基本整个表面上形成第二绝缘层。然后,至少在已经形成第二绝缘层和第一绝缘层图案的半导体衬底的基本整个表面上形成栅电极,且其中栅电极横跨沟槽隔离区和有源区的边界。

[0011] 此外,在形成沟槽隔离区之后,可以形成在有源区内彼此分隔开的源区和漏区。或者,在形成栅电极之后,使用栅电极作为离子注入掩模形成在有源区内彼此分隔开的源区和漏区。

[0012] 根据本发明的示范性实施例,当应用所述 STI 时,在围绕沟槽隔离区和有源区的栅电极下面的边缘绝缘层厚于设置在沟道区上表面上的栅极绝缘层。因此,防止了在沟槽隔离区和有源区的边界上引起的凹陷,从而减轻了集中在边界处的电场,因此防止了漏电流。此外,使用在典型的半导体器件制造工艺中采用的淀积和蚀刻可以容易地制造边缘绝缘层图案和中心栅极绝缘层。

附图说明

[0013] 图 1 是使用常规技术制造的具有沟槽隔离区的 MOS 场效应晶体管的剖面图;

[0014] 图 2 是根据本发明的示范性实施例的具有沟槽隔离区的 MOS 场效应晶体管的布局图;以及

[0015] 图 3 到 7 是示出根据本发明示范性实施例的具有沟槽隔离区的 MOS 场效应晶体管的制造方法的剖面图。

具体实施方式

[0016] 现在将参考附图更充分地描述本发明,在附图中示出了本发明的示范性实施例。

[0017] 图 2 到 7 示出了根据本发明示范性实施例的 MOS 场效应晶体管结构。图 2 是其布局图,且图 7 是示出沿图 2 的线 A-A' 所取的具有高电压晶体管的高电压 (HV) 区的剖面图。在某些情况下,其上形成有低电压晶体管的低电压 (LV) 区可以形成在相同衬底上。例如,在 LDI 产品中,用于驱动液晶显示器 (LCD) 的高电压晶体管形成在 HV 区中,且低电压逻辑晶体管可以形成在 LV 区中。本发明的示范性实施例不限于上述 LDI 结构,而是可以应用于各种类型的半导体器件,只要高电压晶体管至少形成于 HV 区中。

[0018] 参考图 2 和 7,在 HV 区中,沟槽形隔离区 202 设置在由单晶硅构成的半导体衬底

201 的预定部分中。沟槽隔离区 202 限定操作晶体管的有源区 209。栅电极 208 设置在有源区 209 的上部分上,并横跨沟槽隔离区 202 而延伸。此外,彼此分隔开预定距离的源区 / 漏区 211 形成在有源区 209 内。沟道区设置在源区与漏区 211 之间,且栅电极 208 在沟道区上方延伸。

[0019] 垂直于栅电极 208 的长度方向形成的源 / 漏区 211 形成相对低浓度区,且掺杂有浓度高于源 / 漏区 211 的杂质离子的高浓度区 213 部分地形成,因此构成双扩散漏极 (DDD) 结构。在此示范性实施例中,在将形成源 / 漏接触 214 的位置形成高浓度区 213,源 / 漏接触 214 在通过后续工艺形成层间绝缘层然后形成接触孔之后形成,由此保证欧姆接触。

[0020] 具有通过堆叠第一绝缘层 203、第二绝缘层 204 和第三绝缘层 205 而形成的三层形式的边缘绝缘层 207 插入在栅电极 208 与沟槽隔离区 202 和有源区 209 的边界之间。具有单层结构例如第三绝缘层 205 的栅极绝缘层形成在有源区 209 与栅电极 208 之间。栅极绝缘层 205 可以具有约 150 到约 1000 埃 ($\text{\AA}$) 的厚度,且接触栅极绝缘层的边缘绝缘层 207 可以具有约 200 到约 10000 $\text{\AA}$ 的厚度。

[0021] 具有三层结构的边缘绝缘层 207 防止围绕沟槽隔离区 202 和有源区 209 的边界形成凹陷。而且,防止了绝缘层的减薄,从而防止了在边界上产生的漏电流。

[0022] 参考图 2 和图 3 到 7,将描述根据本发明示范性实施例的 MOS 场效应晶体管的制造方法。图 2 是布局图,且图 3 到 7 是示出沿图 2 的线 A-A' 所取的高电压区的剖面图。

[0023] 参考图 3,在由例如单晶硅构成的半导体衬底 201 的预定部分上形成具有浅沟槽隔离 (STI) 结构的隔离区 202。该沟槽型隔离区 202 限定有源区 209。根据用于形成隔离区 202 的 STI,在该半导体衬底 201 的整个表面或基本整个表面上形成缓冲氧化物层和防止氧化层。在此情形,缓冲氧化物层可以由热氧化物构成,且防止氧化层可以由氮化硅构成。然后,光致抗蚀剂图案形成在防止氧化层上。该光致抗蚀剂图案覆盖有源区 209 的上表面,并暴露将成为沟槽隔离区 202 的区域。

[0024] 接着,使用该光致抗蚀剂图案或防止氧化层作为蚀刻掩模,至少蚀刻防止氧化层和缓冲氧化物层以形成依次堆叠的缓冲氧化物层图案和防止氧化层图案。该堆叠缓冲氧化物层图案和防止氧化层图案覆盖有源区 209,并暴露将形成隔离区 202 的部分。在蚀刻器件隔离区部分中暴露的半导体衬底 201 以形成沟槽之后,形成沟槽隔离区 202。使用间隙填充绝缘材料例如热氧化物、氮化物衬垫和氧化物沿沟槽内壁形成沟槽隔离区 202。

[0025] 参考图 2 和 4,使用光刻在半导体衬底 201 的整个表面或基本整个表面上形成离子注入掩模,例如光致抗蚀剂掩模、氧化硅层和氮化硅层掩模。然后,使用低浓度的离子注入在有源区 209 中形成源 / 漏区 211。该源 / 漏区 211 是通过在约 150KeV 到约 300KeV 的能量下注入约 2.0×10^{12} 到约 5.0×10^{15} 浓度的磷而形成的轻掺杂扩散层。低电压区覆盖有离子注入掩模从而不被掺杂离子。

[0026] 可以在图 7 所示的栅电极 208 被构图之后使用该栅电极作为离子注入掩模而形成源 / 漏区 211。

[0027] 在除去离子注入掩模之后,第一绝缘层 203 和第二绝缘层 204 依次堆叠在半导体衬底 201 的整个表面或基本整个表面上。第一绝缘层 203 由例如氧化物构成。该氧化物层通过化学气相淀积 (CVD) 工艺形成为具有约 50 到 500 $\text{\AA}$ 厚度,且优选 100 到 200 $\text{\AA}$ 。然

后,形成第二绝缘层 204。第二绝缘层 204 使用 CVD 堆叠到约 50 到约 500 Å 厚度,且优选约 100 到约 200 Å。第二绝缘层 204 可以由各种绝缘材料构成,例如氮化物族诸如氮化硅,或者金属氧化物族诸如氧化铝或氧化钽。

[0028] 参考图 5,使用光刻除去第一绝缘层 203 和第二绝缘层 204,因此暴露有源区 209 的半导体衬底 201,其包括设置在源 / 漏区 211 之间的沟道区。在此情形,第一绝缘层 203 和第二绝缘层 204 留在沟槽隔离区 202 和有源区 209 的边界上。如图 2 的平面图所示,在源 / 漏区 211 方向的第一绝缘层 203 和第二绝缘层 204 宽于沟槽隔离区 202 与有源区 209 的边界上的栅电极 208。

[0029] 此后,第三绝缘层 205 堆叠在所得结构的整个表面或基本整个表面上。第三绝缘层 205 可以由例如氧化物构成。该氧化物层通过 CVD 堆叠到约 200 到约 2000 Å 厚度,且优选约 500 到约 700 Å 厚度。第三绝缘层 205 充当栅电极 208 下表面上的单层栅极绝缘层,并与沟槽隔离区 202 和有源区 209 边界上的第一绝缘层 202 和第二绝缘层 203 部分构成边缘绝缘层 207。

[0030] 包括氧化物层 / 氮化物层 / 氧化物层的边缘绝缘层 207 的三层结构等同于形成在上下导电材料层之间充当介电膜的层的结构,所述介电膜当形成半导体器件的电容器时形成。因此,当制造需要电容器的半导体晶体管时,可以通过形成边缘绝缘层而不独立进行形成场晶体管的工艺而形成介电膜。通常,高电压晶体管和电容器一起使用在驱动 LCD 面板的芯片中,且用于电容器的具有上述氧化物 / 氮化物 / 氧化物的三层结构的介电膜可以简化制造工艺。这样的电容器可以形成在高电压区和低电压区上。

[0031] 另一方面,在此示范性实施例中,边缘绝缘层 207 具有第一绝缘层 203、第二绝缘层 204、第三绝缘层 205 的三层结构。然而,通过考虑绝缘层之间的蚀刻选择性,边缘绝缘层 207 可选地具有双层结构。例如,可以使用氧化物层 / 氧化物层结构。

[0032] 参考图 6,第一绝缘层 203、第二绝缘层 204 和第三绝缘层 205 的三层结构可以根据特定设计被蚀刻并构图。该三层结构可以在形成栅电极之前或之后被构图。在此示范性实施例中,由于仅沟槽隔离区 202 和有源区 209 边界的预定部分是三层绝缘层,如图 2 所示,该三层结构可以在形成栅电极 208 之前被构图。

[0033] 参考图 7,在已构图的具有三层结构的绝缘层上覆盖导电材料之后,形成栅电极 208。此外,第三绝缘层 205 被蚀刻或保持不变,以在形成于半导体衬底 201 周边上的低电压区中形成相对薄的栅极绝缘层。当在前面的工艺中尚未形成源 / 漏区时,可以如上所述在形成栅电极 208 之后使用栅电极 208 作为离子注入掩模而形成源 / 漏区 211。当构图三层绝缘层时,在高电压晶体管区内的源 / 漏区 211 上的三层被部分蚀刻,且高浓度杂质离子被掺杂进源 / 漏区 211 上的部分,该三层绝缘层从该部分上被除去以形成高浓度区 213。通过后续工艺在高浓度区 213 中形成源 / 漏接触 214,从而高浓度区 213 掺杂有浓度相对高于源 / 漏区 211 浓度的杂质离子。

[0034] 然后,栅电极 208 可以由例如多晶硅构成。当在高电压区中形成栅电极 208 时,用于低电压晶体管的栅电极可以同时形成在低电压区中。接着,由例如氧化物构成的厚的层间绝缘层形成在半导体衬底 201 的整个表面或基本整个表面上。然后,形成用于源 / 漏接触的接触孔,并以导电材料填充该接触孔,从而形成源 / 漏接触 214。

[0035] 根据本发明的示范性实施例,厚的边缘绝缘层形成在沟槽隔离区与有源区的边界上,以防止边界部分上的氧化物层的凹陷和减薄。因此,防止了由于集中在边界部分上的电场而产生的漏电流。

[0036] 虽然已经具体示出并参考其示范性实施例描述了本发明,但本领域的技术人员将理解的是,可以在不脱离由权利要求书所限定的本发明的精神和范畴的情况下进行各种形式和细节的变化。

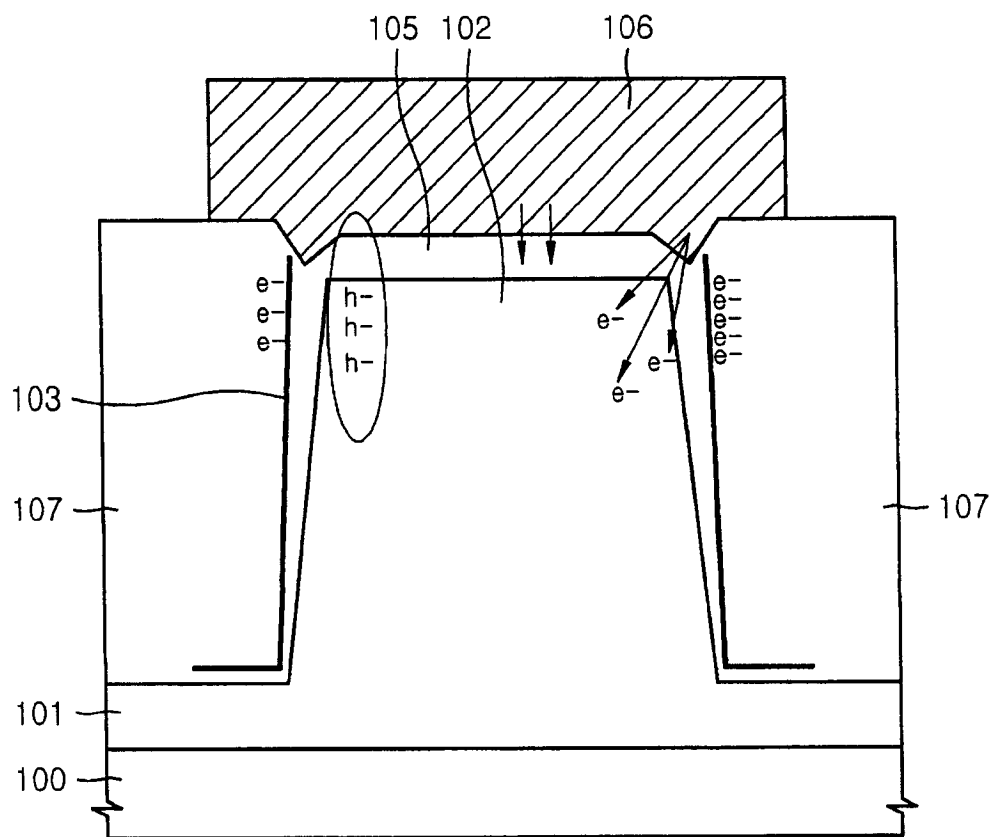


图 1

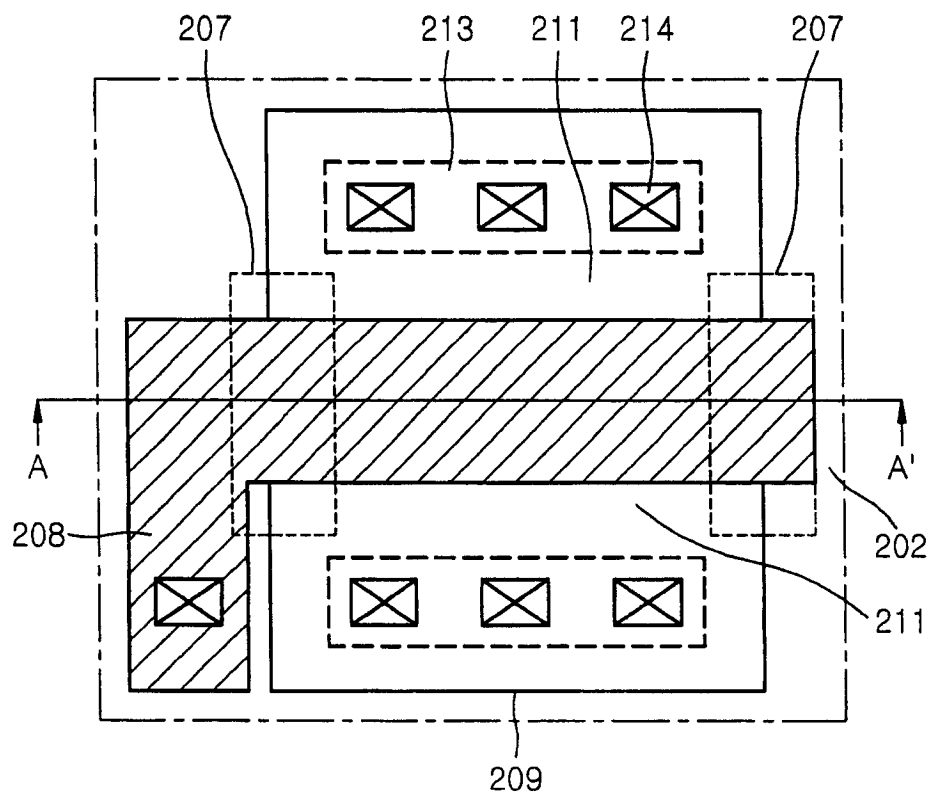


图 2

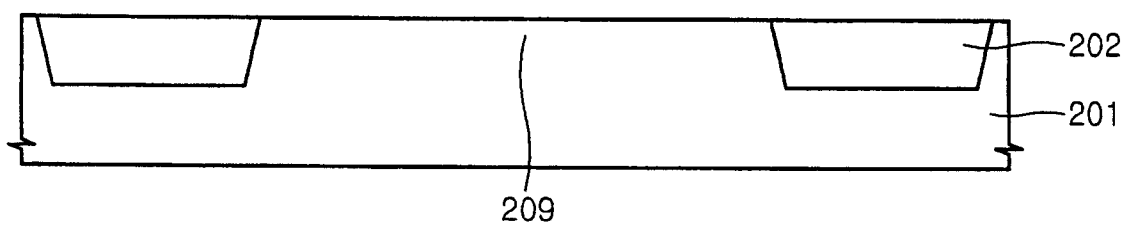


图 3

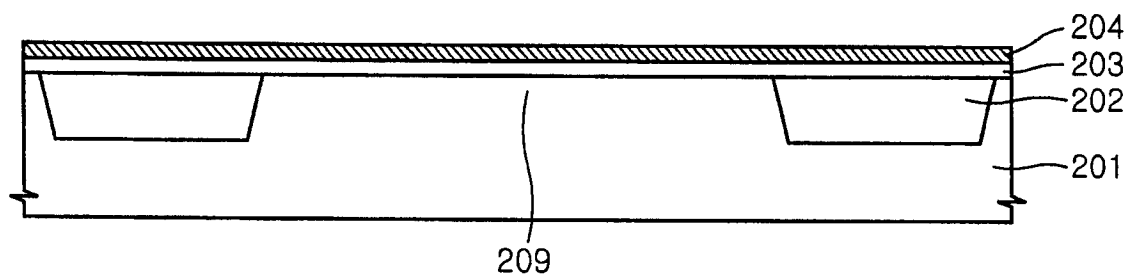


图 4

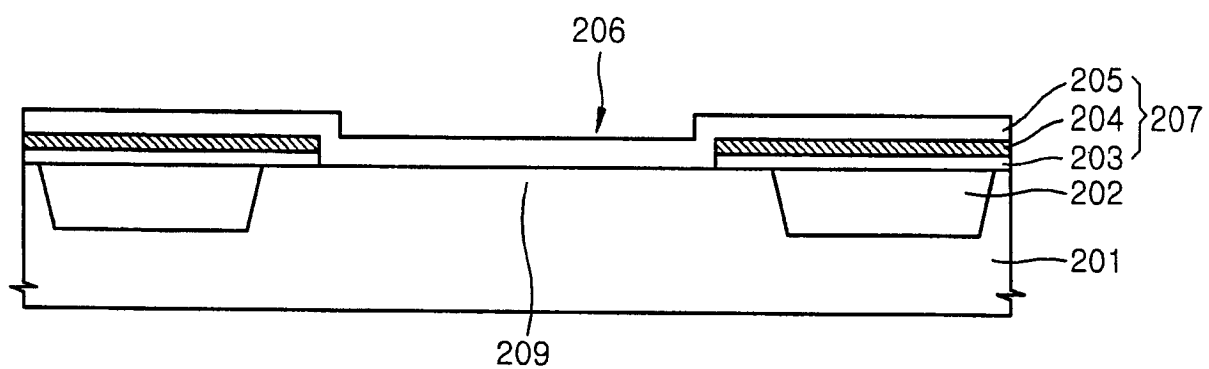


图 5

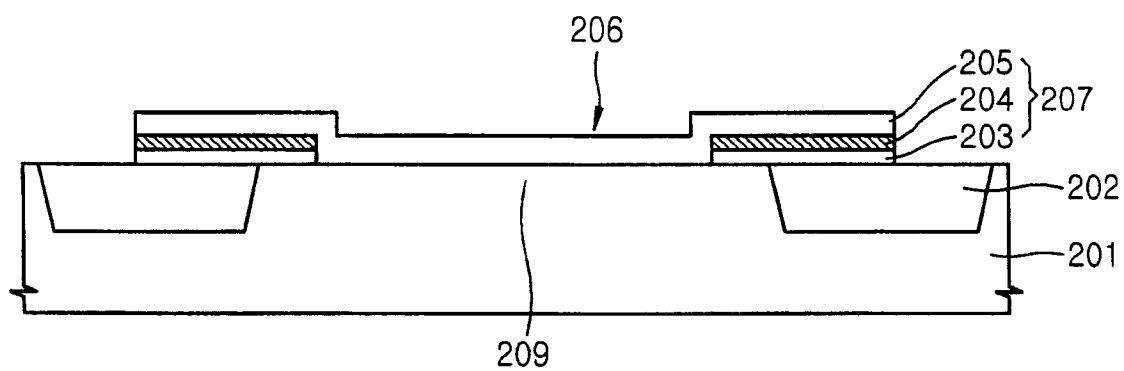


图 6

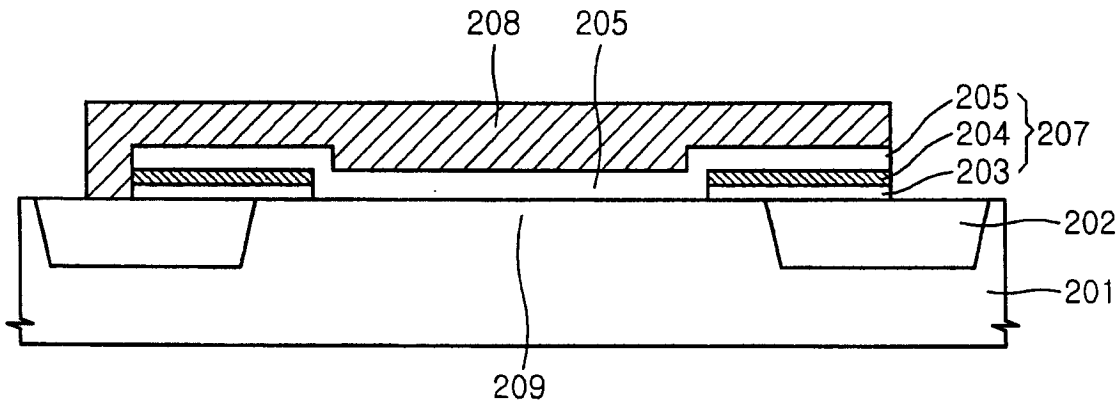


图 7