

公告本

發明專利說明書

569441

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：91135083 ※IPC分類：H01L 27/146

※ 申請日期：91.12.3

壹、發明名稱

(中文) 互補金屬氧化物半導體影像感測器

(英文) CMOS IMAGE SENSOR

貳、發明人(共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 國分政利

(英文) Masatoshi KOKUBUN

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人(共1人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商・富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本； 2002.2.4； 特願 2002-027277
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明係有關一種獲得影像之CMOS影像感測器，其
5 係經由以X-Y定址基礎排列成類似矩陣之各個像素區，循序輸出感測得之影像信號俾獲得影像。

【先前技術】

發明背景

隨著數位相機及數位攝影機的普及、增加相機功能至
10 行動電話等，近年來對攝影裝置之需求增高。目前以電荷耦合裝置(CCDs)為最普及的實體成像裝置。但CCDs的缺點為需要多個電源供應電路、高驅動電壓以及高耗用功率。因此晚近注意力轉向CMOS影像感測器，其可藉互補金屬氧化物半導體(CMOSes)之製法製造，其可以低電壓操作，則耗用小量功率，以及單位製造成本低。
15

於CMOS影像感測器，其各自對應一個像素獲得一影像之像素電路係排列成如同矩陣。其經由使用垂直掃描位移暫存器以及水平掃描位移暫存器，經由循序選擇來自各像素的輸出而輸出對應全體影像之影像信號。

20 第7圖為視圖顯示習知CMOS影像感測器之像素電路結構。

第7圖所示像素電路70包括一光二極體D71作為光電轉換元件，且具有主動像素感測器(APS)結構，其中排列復置電晶體M71、源從動件放大器M72以及列選擇電晶體

玖、發明說明

M73，其各自例如係經由n通道MOS場效電晶體(MOSFET)形成。

光二極體D71之陽極端接地，陰極端連結至復置電晶體M71之源極以及源從動件放大器M72之閘極。復置電晶體M71之汲極以及源從動件放大器M72之汲極係連結至電源供應線L71，電源供應線L71供給復置電壓VR。復置電晶體M71之閘極係連結至復置信號線L72，該處供給復置信號RST。

源從動件放大器M72之源極係連結至列選擇電晶體M73之汲極。列選擇電晶體M73之閘極係連結至列選擇信號線L73，於該處供應供於列方向選擇像素電路70用之列選擇信號SLCT。列選擇電晶體M73之源極係連結至行選擇信號線L74，該行選擇信號線L74係供於行方向選擇像素電路70。

現在簡短地說明像素電路70之操作。首先當復置電晶體M71進入ON態時，光二極體D71藉復置電壓VR充電，帶有因復置信號RST所致之預定時序。其次，當光撞擊光二極體D71時，光二極體D71開始放電，其電位由復置電壓VR下降。經過一段預定時間後，列選擇信號SLCT被輸入列選擇電晶體M73之閘極。當列選擇電晶體M73進入ON態時，源從動件放大器M72之源電壓透過行選擇信號線L74被獲取用作為信號電壓。

行選擇信號線L74例如係透過放大器/雜訊消除電路(圖中未顯示)而連結至例如行選擇電晶體之汲極(圖中未顯

玖、發明說明

示)。CMOS影像感測器中，排列於水平方向之各像素電路70係由列選擇信號SLCT選定，各自連結至行選擇信號線L74之行選擇電晶體，循序進入ON態，而對應一個像素之影像信號循序輸出。

- 5 如此以具有前述APS結構之CMOS影像感測器，當復置信號RST進入OFF態時，於復置電晶體M71源極產生的復置雜訊將造成輸出影像信號的劣化。於此復置雜訊，由於例如復置電晶體M71之臨限值電壓 V_T 變化，造成像素電路70之此種復置雜訊彼此有別。習知使用交互關聯之雙重
10 抽樣(CDS)電路來降低此種復置雜訊。

- CDS電路係位在連結至各行選擇信號線L74之放大器/雜訊消除電路之各行。此種CDS電路與各個像素電路70之操作間之關係如後。由像素電路70輸出之信號電壓首先藉CDS電路抽樣。然後，於像素電路70之光二極體D71被復
15 置為復置電壓VR，復置時由像素電路70輸出之電壓藉CDS電路抽樣。然後求出復置時之電壓輸出與信號電壓間之差異。如此消除復置雜訊，而只提取出影像信號。

- 如此使用CMOS影像感測器，由於高解析度需求，電路之積體程度增高。但高積體程度將導致信號線路間之空間狹窄。結果因寄生電容故，將造成透過毗鄰信號線傳輸
20 之信號間出現干擾。若干擾明顯則無法獲得清晰影像。

如前述，供降低復置雜訊用之CDS電路係為於各行。
第8圖為智慧地說明如何將CDS電路定位於習知CMOS影像感測器電路之視圖。

玖、發明說明

如第8圖所示，CDS電路80排列於水平方向，其排列方式如同彼此平行設置之行選擇信號線L74，水平方向共有n行。各個CDS電路80之輸入端係透過各個行選擇信號線L74連結至各像素電路70之輸出段，該輸出端例如係連結至各個行選擇電晶體(圖中未顯示)之汲極。

通常各CDS電路80有相同佈線圖案。因此若CDS電路80以此種方式彼此平行定位，則供傳輸來自像素電路70輸出信號之信號傳輸佈線部分增加，該像素電路70位置係平行於毗鄰CDS電路80之信號傳輸佈線。因此若高積體程度導致CDS電路80間之空間狹窄，則來自水平方向彼此毗鄰像素之影像信號將因信號傳輸線路間之寄生電容而導致干擾。例如若於獲取之影像上有一區帶有強亮度以及一區帶有暗亮度，則二區間之邊界將無法清晰顯示。

習知毗鄰影像信號間之干擾係經由提高涵括於CDS電路80之抽樣用電容元件之電容加以控制。另外，干擾係經由對位於CDS電路80之放大器提高操作電流加以控制。但採用此等方法，CDS電路尺寸變大且耗用功率增高。

【發明內容】

發明概要

於前述背景條件下從事本發明。本發明之一目的係提供一種可獲取清晰影像之低功率CMOS影像感測器，其中無需變更電路元件而於毗鄰像素間不會出現干擾。

為了達成前述目的，提供一種CMOS影像感測器，其係經由基於X-Y定址，於各個排列成矩陣狀之像素區，循

玖、發明說明

序輸出感測得之影像信號而獲得影像。此種CMOS影像感測器包含複數排列成矩陣狀之像素電路，各自包括一光電轉換元件，俾對入射光做光電轉換用以輸出對應一個像素之影像信號；複數個信號處理電路，其係以等於水平方向排列像素電路編號之相等編號排列，且係連結至全部於垂直方向排列之像素電路，用以對來自垂直方向排列之全部像素電路各自之影像信號，進行預定信號處理；一水平掃描電路，其係用以循序切換及輸出來自複數個信號處理電路之影像信號；以及固定電位線路，其係彼此平行且各自位在排列之複數個信號處理電路之二信號處理電路間。

前述及其它本發明之目的、特色及優點由後文詳細說明連同附圖研讀將顯然自明，附圖係舉例說明本發明之較佳具體實施例。

圖式簡單說明

第1圖為說明本發明基本原理之視圖。

第2圖為視圖顯示根據本發明之具體實施例，CMOS影像感測器之整體結構。

第3圖為視圖顯示於本發明之具體實施例，放大器/雜訊消除電路之結構。

第4圖為平面圖顯示根據本發明之一具體實施例，於CMOS影像感測器之固定電位線路所在位置。

第5圖為剖面圖顯示如何形成固定電位線路之第一範例。

第6圖為剖面圖顯示如何形成固定電位線路之第二範

玖、發明說明

例。

第7圖為視圖顯示於習知CMOS影像感測器之像素電路結構。

第8圖為智慧型描述如何於習知CMOS影像感測器電路

5 定位CDS電路之視圖。

【實施方式】

較佳實施例之詳細說明

現在將參照附圖說明本發明之具體實施例。

第1圖為說明本發明之基本原理之視圖。本發明之綜
10 論將使用第1圖說明如後。

第1圖所示CMOS影像感測器1包含一像素扇區2，此處
像素電路2a排列成類似矩陣，一供選擇來自一列像素電路
2a之輸出用之垂直掃描電路3，對來自各行之像素電路2a
之影像信號輸出進行預定信號處理用之信號處理電路4以
15 及供切換且由各信號處理電路4輸出影像信號用之水平掃
描電路5。各個有恆定電位之固定電位線路6係位於信號處
理電路4間。像素電路2a於第1圖之像素扇區2排列成四列
及四行，但實際將排列更多像素電路2a。

於像素扇區2，一列選擇信號線3a係連結至各水平列
20 像素電路2a，以及一行選擇信號線5a係連結至各垂直行像
素電路2a。各像素電路2a包括一供進行入射光之光電轉換
用之光電轉換元件，且輸出對應一個像素之影像信號給連
結該像素之行選擇信號線5a。垂直掃描電路3藉由輸出列
選擇信號至任一條列選擇信號線3a而選定來自一列像素電

玖、發明說明

路2a之輸出。輸出至行選擇信號線5a之影像信號係透過各行之信號處理電路4而輸入水平掃描電路5。水平掃描電路5循序選擇且由各行輸出影像信號。

於該行選擇信號線5a之全部信號處理電路4有相同電路結構，對輸入影像信號進行預定信號處理，且輸出影像信號至水平掃描電路5。例如放大器電路、雜訊消除電路等設置作為信號處理電路4。例如CDS電路設置作為雜訊消除電路。

於CMOS影像感測器1，於各行定位由像素扇區2之水平掃描電路5之行選擇信號線5a係彼此平行。位於各行之信號處理電路4也彼此平行。信號處理電路4包括傳輸影像信號用之信號傳輸線路。此等信號傳輸線路經常包括一或多條信號傳輸線路用以於行方向傳輸影像信號。

於晚近帶有高解析度之CMOS影像感測器1，像素電路2a之積體程度高，而毗鄰信號處理電路4間之間隔極窄。因此於不同行傳輸之影像信號將因於毗鄰信號處理電路4位於行方向之信號傳輸線路間的線路電容而彼此干擾。

本發明中，具有恆定電位之固定電位線路6係彼此平行。各個固定電位線路6係位於毗鄰信號處理電路4間俾彼此電屏蔽。如此防止不同行的影像信號互相干擾，而獲得不含像素間干擾之清晰影像。

如此，於具有多層結構於該處形成CMOS影像感測器1之半導體晶片上，較佳於信號處理電路4供於行方向傳輸來自像素電路2a之影像信號用之信號傳輸線路、以及供於

玖、發明說明

各行屏蔽信號傳輸電路用之固定電位線路6，係經常性形成於同一佈線層上。例如若於各信號處理電路4之信號傳輸線路係形成於複數佈線層上，則固定電位線路6係成形為將對應各佈線層上之信號傳輸線路。如此更可靠地防止

5 不同行之影像信號間的干擾。

實際上，供傳輸影像信號用之信號傳輸線路糾結地位於各信號處理電路4。因此，若於各信號處理電路4之信號傳輸線路係於同一佈線層上彼此平行成形，則其間之佈線電容將影響被傳輸的影像信號。此種情況下，較佳固定電位線路6也係成形於彼此平行定位之信號傳輸線路間。

此外，涵括CDS電路作為信號處理電路4。通常此等CDS電路包括用以抽樣來自像素電路2a之影像信號之電容元件。若毗鄰二行之CDS電路間之間隔窄，則干擾對環繞此種電容元件之信號傳輸線路上之影像信號產生重大影響。因此特佳固定電位線路係設置成平行於連結至CDS電路之電容元件兩端之信號傳輸線路、且平行於此等信號傳輸電路間，連結至毗鄰CDS電路之電容元件兩端之信號傳輸線路。

固定電位佈線6之電位例如可設定於電路之GND電位、或供給電路之電源供應電位。此種情況下，供應GND電位或電源供應電位之原有線路須儘可能用來連結固定電位線路6。如此不僅將半導體晶片之佈線佈局的改變減至最低、或將伴隨於增加固定電位線路6之多層結構之改變減至最低，同時也防止電路尺寸加大。

玖、發明說明

使用CMOS影像感測器1，通常不僅例如黑濾色片、同時例如鋁製之佈線(其係用於遮蔽光線，只有於像素扇區2上方有個開口)定位成防止光撞擊像素扇區2以外之部分。多種情況下，信號處理電路4也位於此種遮蔽光線之線路下方。通常此種遮蔽光線線路係用作為電路之GND線路。因此，經由連結各自位於信號處理電路6間之固定電位線路6至位於其上方之遮蔽光線用線路，可讓固定電位線路6之電位變成恆定而無需顯著變更線路佈局。

由線路佈局判定，有多種情況其中供應電源供應電壓至像素電路2a之線路係於電路中共享；環繞該像素電路2a等之水平掃描電路5也容易連結至固定電位線路6。

相反地，經由獨立設置供給電壓給固定電位線路6之線路，固定電位線路6之電位可維持恆定，而與例如電路之GND電位或電源供應電位之變化無關。此種情況下，供給電壓至固定電位線路6之線路須於電壓外加至晶片之線路襯墊分開。另外，供給恆定電壓至固定電位線路6之電源供應電路須獨立位在晶片外側。結果藉該固定電位線路6可獲得穩定遮蔽效果。

有些情況下抽樣操作用之獨立參考電壓供給CDS電路。此種情況下，經由將固定電位線路6連結至供給此種參考電壓之線路，固定電位線路6之電位可維持恆定而與共通電源供應電位或GND電位之變化無關。

如前述，使用根據本發明之CMOS影像感測器1，各自位在毗鄰信號處理電路4間之固定電位線路6可防止於毗鄰

玖、發明說明

信號處理電路4傳輸之影像信號彼此干擾。結果可獲得清晰影像。

現在將說明本發明之具體實施例。第2圖為視圖顯示根據本發明之一具體實施例，CMOS影像感測器之全體結構。

第2圖所示之CMOS影像感測器11包含像素扇區12，此處像素電路12a排列成矩陣狀；用於於垂直方向界定像素電路12a之垂直掃描位移暫存器/復置控制電路13；放大器/雜訊消除電路14，用以進行於各行來自像素電路12a輸出之影像信號處理以及降低影像信號其中所含雜訊之處理；以及藉行選擇電晶體M1用以界定於水平方向來自像素電路12a之輸出之水平掃描位移暫存器15。此外，放大器15b係連結至輸出匯流排15a，該輸出匯流排接收來自各行選擇電晶體M1之信號輸出。

第2圖之放大器/雜訊消除電路14係顯示為一功能區段，但實際上對設置之像素電路12a之各行設置一種放大器/雜訊消除電路14。此外，有固定電位線路其各自係位於毗鄰二行之放大器/雜訊消除電路14間。此種固定電位線路容後詳述。像素電路12a於第2圖之像素扇區12係排列成四列以及四行，但實際上可排列更多像素電路12a。

各像素電路12a包括一光二極體D1作為光電轉換元件，且具有主動像素感應器(APS)結構，其中設置各自有n通道MOSFET形成之復置電晶體M2、源從動件放大器M3、及列選擇電晶體M4。

玖、發明說明

光二極體D1之陽極端接地，而陰極端係連結至復置電晶體M2之源極、以及源從動件放大器M3之閘極。源從動件放大器M3之源極係連結至列選擇電晶體M4之汲極。

供復置光二極體D1之復置信號線L1以及供於列方向
5 選擇像素電路12a用之列選擇信號線L2係平行於各列由垂直掃描位移暫存器/復置控制電路13延伸。復置信號線L1係連結至復置電晶體M2之閘極。列選擇信號線L2係連結至列選擇電晶體M4之閘極。復置電晶體M2之汲極以及源從動件放大器M3之汲極係連結至復置電壓供應線L3。

10 列選擇電晶體M4之源極係連結至行選擇信號線L4，該行選擇信號線L4係用以於行方向選擇像素電路12a。於各行之行選擇信號線L4係透過放大器/雜訊消除電路14連結至行選擇電晶體M1之汲極。放大器/雜訊消除電路14之結構將於後文於第3圖說明。

15 於各行選擇電晶體M1之源極係連結至輸出匯流排15a。行選擇信號由水平掃描位移暫存器15以預定時序，循序輸入各行選擇電晶體M1之閘極。結果於放大器/雜訊消除電路14進行放大處理以及雜訊減低處理之影像信號循序輸出至輸出匯流排15a，且透過放大器15b被送至外部系統。

20 現在將描述像素電路12a之操作。

首先當復置信號RST透過復置信號線L1供給、且復置電晶體M2以預定時序進入ON態時，光二極體D1係由復置電壓VR充電。其次，當來自外側之光撞擊光二極體D1時，電荷積聚於光二極體D1。積聚的信號電荷將降低復置電

玖、發明說明

晶體M2之源電位以及源從動件放大器M3之閘電位。

信號電荷之積聚係以此種方式開始。經過一段預定時間之後，列選擇信號SLCT由列選擇信號線L2輸入列選擇電晶體M4之閘極。然後由源從動件放大器M3輸出之電壓
5 係輸出至行選擇信號線L4作為影像信號。隨後復置電晶體M2因復置信號RST的輸入而進入ON態，積聚於光二極體D1之信號電荷被復置。

第3圖為視圖顯示放大器/雜訊消除電路14之結構。

第3圖中，對應一個像素之像素電路12a、以及於一行
10 (該行透過行選擇信號線L4連結至此像素電路12a)之放大器/雜訊消除電路14之結構顯示作為範例。放大器/雜訊消除電路14包括用以消除影像信號所含固定樣式雜訊之CDS電路。

如第3圖所示，供控制來自行選擇信號線L4之影像信號輸入之樣本與保有開關14a係位於放大器/雜訊消除電路
15 14。供輸出恆定電流I用之恆定電流源14b係連結至一點，樣本與保有開關14a及行選擇信號線L4係連結至該點。供保有信號之樣本與保有電容器C1係連結至樣本與保有開關14a之輸出端。供供給參考電壓VREF用之參考電壓源14c
20 係連結至樣本與保有電容器C1之另一端。

樣本與保有開關14a與樣本與保有電容器C1之連結點係連結至放大器14d之輸入端子。CDS電容器C2係連結至放大器14d之輸出端子，CDS電容器C2之另一端係連結至放大器14e之輸入端子。

玖、發明說明

樣本與保有電容器C1與參考電壓源14c之連結點，係透過夾緊開關14f而連結至CDS電容器C2與放大器14e之連結點。藉由將夾緊開關14f轉成ON或OFF，於CDS電容器C2之放大器14e端之端子電位可被固定於由參考電壓源14c
5 供給之參考電壓VREF，或與參考電壓VREF隔開。放大器14e之輸出端子係透過行選擇電晶體M1而連結至輸出匯流排15a。

於像素電路12a，當輸入復置電晶體M2之復置信號RST進入OFF態時，將產生復置雜訊。復置電晶體M2之臨
10 限值電壓VT有變化，故於各像素電路12a產生之復置雜訊非為常數。涵括於放大器/雜訊消除電路14之CDS電路用以由輸出信號可靠地去除此種復置雜訊。此種CDS電路係經由抽樣來自包括復置雜訊之像素電路12a之影像信號、經由再度抽樣復置時輸出的電壓、以及經由獲得差異信號，
15 可消除復置雜訊。

現在將結合放大器/雜訊消除電路14與像素電路12a之操作說明放大器/雜訊消除電路14之操作。

首先，列選擇信號SLCT輸入像素電路12a之列選擇電晶體M4之閘極。同時或隨後，復置信號RST被輸入，列選擇電晶體M4維持於ON態，俾將復置電晶體M2置於ON態
20 。

其次，於藉復置電壓VR之復置完成後，停止復置信

玖、發明說明

號RST之輸入。結果開始光二極體D1的積體。此時，源從動放大器M3之電壓對應藉光二極體D1積聚之電荷量之變化，輸出至行選擇信號線L4作為影像信號電壓。

然後夾緊開關14f以及樣本與保有開關14a進如ON態。

- 5 結果，影像信號電壓外加至樣本與保有電容器C1與放大器14d之連結點，且對應積體時間之影像信號積聚於樣本與保有電容器C1以及CDS電容器C2二者作為電荷。此時堆積之雜訊包括復置雜訊。於某一段時間經過後，夾緊開關14f以及樣本與保有開關14a進入OFF態，俾保有該被抽樣的影像信號。

- 為了只堆積復置雜訊於樣本與保有電容器C1，復置信號RST再度輸入而讓復置電晶體M2進入ON態。結果光二極體D1被復置成復置電壓VR；復置電壓VR被輸出至行選擇信號線L4。此種情況下，樣本與保有開關14a進入ON態，然後復置信號RST進入OFF態，接著於一段預定時間之後，樣本與保有開關14a也進入OFF態。

- 由於此項操作結果，將於CDS電容器C2與放大器14e之連接點產生電壓，該電壓為參考電壓VREF與由其中只去除復置雜訊之影像信號間之差異電壓。因此由其中已經去除復置雜訊之影像信號將被送至輸出匯流排15a，其輸送方式係讓行選擇電晶體M1以及夾緊開關14f與來自水平掃描位移暫存器15之行選擇信號同步進入ON態。

現在將說明毗鄰放大器/雜訊消除電路14間之固定電位線路配置。本具體實施例中，經由連結固定電位線路至

玖、發明說明

位於光撞擊電路區表面之光遮蔽鋁線路，將獲得GND電位作為恆定電位。

第4圖為平面圖顯示CMOS影像感測器11中，固定電位線路所在位置。

5 第4圖為一視圖顯示由光線撞擊晶片之方向觀視，其上形成CMOS影像感測器11之半導體晶片全體。第4圖之斜線區為遮光用之鋁線路21。遮光用之鋁線路21係成形為覆蓋半導體晶片之全體，而只在中央有個開口。像素電路12a設置成類似矩陣之像素扇區12，係形成於半導體晶片
10 上，對應開口之一區，俾感測撞擊像素扇區12之光。實際上，濾色片將成形於遮光用鋁線路21上，但於第4圖刪除。濾色片於像素扇區12上方區域傳輸對應各像素電路12a之RGB各色。濾色片於遮光用鋁線路21上方區域例如為單色黑色或RGB混色所得黑色，故濾色片該區不透光。

15 形成放大器/雜訊消除電路14之單元141係形成於一區，該區藉遮光用鋁線路21遮蔽光線。形成放大器/雜訊消除電路14之各行之全部單元141具有相同結構，位置彼此平行於水平方向排列之像素電路12a之方向。此外，鋁製成之固定電位線路16係位於形成放大器/雜訊消除電路14
20 之毗鄰各行之單元141間。各行之固定電位線路16係藉電接點孔16a而連結至遮光用鋁線路21。

現在將經由顯示前述半導體晶片之一扇區來說明於放大器/雜訊消除電路14用於傳輸影像信號之信號傳輸線路形成位置、以及固定電位線路16形成位置。第5圖為剖面

玖、發明說明

圖顯示如何形成固定電位線路16之第一範例。

第5圖為沿第4圖線X-X所取之放大片段剖面圖。如第5圖所示，CMOS影像感測器11形成之半導體晶片具有多層結構。信號傳輸線路18係形成於電源供應線路22上方，且有絕緣層23夾置於其間。遮光用鋁線路21係形成於信號傳輸線路18上方且有絕緣層24夾置於其間例如黑色之濾色鏡25位於遮光用鋁線路21上方。由此一半導體晶片上之各個電路共享之電源供應電壓Vdd外加至電源供應線路22。電源供應線路22將於例如列方向(第5圖之水平方向)。此等電路中，遮光用鋁線路21被提供GND電位。

各行之放大器/雜訊消除電路14係形成於第5圖之區域17。換言之，於第5圖所示範例之各區17，於各行之放大器/雜訊消除電路14形成一條信號傳輸線路18用以於行方向傳輸影像信號。

第5圖之信號傳輸線路18係對應於行選擇信號線L4之部分，該行選擇信號線L4之一部分連結列選擇電晶體M4源極與樣本與保有開關14a；連結樣本與保有開關14a以及樣本與保有電容器C1之線路、以及連結樣本與保有開關14a及放大器14d之線路；連結樣本與保有電容器C1以及參考電壓源14c之線路；連結放大器14d與CDS電容器C2之線路；連結CDS電容器C2與放大器14e之線路；或第3圖所示之放大器/雜訊消除電路14結構中，連結放大器14e與行選擇電晶體M1之線路部分。

固定電位線路16係形成於成行之信號傳輸線路18間。

玖、發明說明

固定電位線路16以及信號傳輸線路18係形成於同一佈線層。固定電位線路16係位於行方向，故線路16將平行於毗鄰信號傳輸線路18。此外，各固定電位線路16係藉電接點孔16a，連結至遮光用鋁線路21，且係維持於GND電位。

5 經由採用前述結構，毗鄰信號傳輸線路18係藉固定電位線路16所電屏蔽。如此防止由毗鄰信號傳輸線路18傳輸之影像信號彼此干擾。因而可獲得清晰影像，而不致於提高CMOS影像感測器11之耗電功率，或無需改變例如CMOS影像感測器11之電容元件。

10 為了維持各個固定電位線路16之電位恆定，使用於GND電位之遮光用鋁線路21。換言之，經由藉電接點孔16a連結固定電位線路16與遮光用鋁線路21，可外加恆定電位至固定電位線路16，而無需改變半導體晶片之多層結構。結果可防止形成固定電位線路16造成製造成本的升高
15 且可減低半導體晶片容積的加大。

如前述，於各行之放大器/雜訊消除電路14包括CDS電路。若於毗鄰二行之CDS電路間之間隔窄，則對位於CDS電路之電容元件周圍線路，對影像信號造成之干擾影響將特大。若參照第3圖所示放大器/雜訊消除電路14之結構，
20 連結至樣本與保有電容器C1以及CDS電容器C2(屬於電容元件)各自兩端之線路可形成於行方向。於此等區，較佳固定電位線路16須形成於毗鄰行之線路間。如此將獲得防止毗鄰像素間之信號干擾效果增至最大。

第5圖所示範例中，於行方向延伸之信號傳輸線路18

玖、發明說明

係位於各區17於區域17形成於一行之放大器/雜訊消除電路14。若複數信號傳輸線路係排列於各區17的同一佈線層，則固定電位線路16須於區域17間之同一佈線層以相同方式製成。此種情況下，固定電位線路16也可形成於設置之
5 信號傳輸線路18間。

此外，於第5圖所示範例，於GND電位之遮光用鋁線路21用來維持固定電位線路16之電位於恆定。若如同第5圖所示實例，電源供應線路22係形成於固定電位線路16附近，則固定電位線路16可連結至電源供應線路22俾獲得恆
10 定電位。

第6圖為剖面圖顯示如何形成固定電位線路之第二範例。

第6圖為半導體晶片之片段剖面圖，顯示環繞區域37之形成放大器/雜訊消除電路14部分。此係同第5圖。此種
15 半導體晶片之多層結構如後。電源供應線路42、絕緣層43及44以及遮光用鋁線路41係由底循序成形。此點係同第5圖。此外，黑色濾色鏡45係位於遮光用鋁線路41上方。

信號傳輸線路38係形成於形成一行放大器/雜訊消除電路14之各區37之絕緣層43與44間。此種情況下，二信號
20 傳輸線路38係於區域37於各行之同一佈線層彼此平行成形。

固定電位線路36不僅係形成於形成各行放大器/雜訊消除電路14之二區間，同時也形成於排列於各區37之信號傳輸線路38間。如此不僅防止行間影像信號的干擾，同時也防止多行放大器/雜訊消除電路14之線路間之干擾。結

玖、發明說明

果可獲得高品質影像。

第6圖中，各固定電位線路36係藉一電接點孔36a連結至電源供應線路42，俾獲得電源供應電壓VDD為恆定電位。電源供應電壓VDD於此半導體晶片共享，因此多種情況下，電源供應線路42也形成於區域37之放大器/雜訊消除電路14成形位置附近。此種情況下，電源供應線路42及固定電位線路36須藉接觸孔36a連結。如此恆定電位可外加至固定電位線路36，而未改變半導體晶片之多層結構。此點係同第5圖所示範例。

10 前述第5及6圖所示範例中，信號傳輸線路於放大器/雜訊消除電路14形成區只形成於一層佈線層，但實際上有各種情況，其中信號傳輸線路之形成區係形成於多層佈線層。此種情況下，固定電位線路須平行於信號傳輸線路形成，因而此將對應信號傳輸線路於各佈線層之形成位置。

15 此外於前述第5及6圖所示範例中，分別連結至固定電位線路16及36之遮光用鋁線路21以及電源供應線路42為供給半導體晶片共享電壓之線路，故其電位可能根據半導體晶片之條件改變。此種情況下，固定電位線路16及36之電位也將根據此等線路電位之變化而變更。因此，固定電位
20 線路16及36之電位變化可能影響各自分別毗鄰於固定電位線路16及36之信號傳輸線路18及38，被傳輸的影像信號可能含有雜訊。

為了防止固定電位線路16及36之此種電位變化，恆定電壓須透過位於半導體晶片之一佈線襯墊隔開的獨立專用

玖、發明說明

線路而將恆定電壓供給固定電位線路16及36。另外，須由位在半導體晶片外側之獨立電壓源供給恆定電壓給固定電位線路16及36。此種情況下，供給放大器/雜訊消除電路14之參考電壓VREF也將供給固定電位線路16及36。

- 5 如前文說明，根據本發明之CMOS影像感測器，信號處理電路位置彼此平行，彼此平行之固定電位線路各自係位於二信號處理電路間。結果，毗鄰信號處理電路藉固定電位線路做電屏蔽。如此避免於毗鄰信號處理電路傳輸之影像信號間彼此交互干擾。因而可無需增加電力消耗或變
- 10 更電路元件而獲得清晰影像。

- 前文說明僅供舉例說明本發明之原理。此外，因無數修改及變化對熟諳技藝人士顯然自明，故絕非意圖圍限本發明於所顯示與說明之確切組成及應用，如此全部適當修改及相當例皆視為落入如隨附之申請專利範圍及其相當範圍
- 15 圍界定之本發明之範圍。

【圖式簡單說明】

第1圖為說明本發明基本原理之視圖。

第2圖為視圖顯示根據本發明之具體實施例，CMOS影像感測器之整體結構。

- 20 第3圖為視圖顯示於本發明之具體實施例，放大器/雜訊消除電路之結構。

第4圖為平面圖顯示根據本發明之一具體實施例，於CMOS影像感測器之固定電位線路所在位置。

第5圖為剖面圖顯示如何形成固定電位線路之第一範

玖、發明說明

例。

第6圖為剖面圖顯示如何形成固定電位線路之第二範例。

第7圖為視圖顯示於習知CMOS影像感測器之像素電路
5 結構。

第8圖為智慧型描述如何於習知CMOS影像感測器電路定位CDS電路之視圖。

【圖式之主要元件代表符號表】

1...互補金屬氧化物半導體影像感測器	14a...樣本與保有開關
2...像素扇區	14b...恆定電流源
2a...像素電路	14c...參考電壓源
3...垂直掃描電路	14d...放大器
3a...列選擇信號線	14e...放大器
4...信號處理電路	14f...夾緊電路
5...水平掃描電路	15...水平掃描位移暫存器
5a...行選擇信號線	15a...輸出匯流排
6...固定電位線路	15b...放大器
11...CMOS影像感測器	16...固定電位線路
12...像素扇區	16a...電接點孔
12a...像素電路	17...區
13...垂直掃描位移暫存器/復置控制電路	18...信號傳輸線路
14...放大器/雜訊消除電路	21...遮光用鋁線路
	22...電源供應線路
	23...絕緣層

玖、發明說明

24...絕緣層	L4，L74...行選擇信號線
25...濾色片	M1...行選擇電晶體
36...固定電位線路	M2，M71...復置電晶體
36a...電接點孔	M3，M72...源從動件放大器
37...區	M4，M73...列選擇電晶體
38...信號傳輸線路	80...CDS電路
41...遮光用之鋁線路	141...單元
42...電源供應線路	APS...主動像素感測器
43，44...絕緣層	CCD...電荷耦合裝置
70...像素電路	CDS...交互關聯雙重抽樣
C1...樣本與保有電容器	CMOS...互補金屬氧化物半導體
C2...CDS電容器	RST...復置信號
D1，D71...光二極體	SLCT...列選擇信號
I...恆定電流	VDD...電源供應電壓
L71...電源供應線	VR...復置電壓
L1，L72...復置信號線	VT...臨限值電壓
L2，L73...列選擇信號線	
L3...復置電壓供應線	

肆、中文發明摘要

一種拍攝清晰影像用之低功率CMOS影像感測器，其中無需變更電路元件而於毗鄰像素間不會產生干擾。各排列類似矩陣之像素電路將入射光使用光電轉換元件轉成電信號。由水平方向彼此毗鄰之像素電路輸出之影像信號被輸入各行之信號處理電路，進行預定信號處理，且藉水平掃描電路循序切換與輸出。信號處理電路經排列，彼此並聯之各固定電位線路係位於信號處理電路間。因此毗鄰信號處理電路藉固定電位線路所電屏蔽。

伍、英文發明摘要

A low-power CMOS image sensor that gets distinct images in which interference does not occur between adjacent pixels without changing an element in a circuit. Each of pixel circuits arranged like a matrix converts incident light into electrical signals with a photoelectric conversion element. Image signals output from pixel circuits adjacent to each other in a horizontal direction are input to a signal processing circuit in each column, undergo predetermined signal processing, and are switched and output in order by a horizontal scanning circuit. The signal processing circuits are arranged and each of fixed potential wirings parallel to one another is located between adjacent signal processing circuits. Therefore, adjacent signal processing circuits are electrically shielded by a fixed potential wiring.

陸、(一)、本案指定代表圖爲：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

- 1...互補金屬氧化物半導體影像感測器
- 2...像素扇區
- 2a...像素電路
- 3...垂直掃描電路
- 3a...列選擇信號線
- 4...信號處理電路
- 5...水平掃描電路
- 5a...行選擇信號線
- 6...固定電位線路

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種CMOS影像感測器，其係經由基於X-Y定址，於各個排列成矩陣狀之像素區，循序輸出感測得之影像信號而獲得影像，該感測器包含：

5 複數排列成矩陣狀之像素電路，各自包括一光電轉換元件，俾對入射光做光電轉換用以輸出對應一個像素之影像信號；

10 複數個信號處理電路，其係以等於水平方向排列像素電路編號之相等編號排列，且係連結至全部於垂直方向排列之像素電路，用以對來自垂直方向排列之全部像素電路各自之影像信號，進行預定信號處理；

一水平掃描電路，其係用以循序切換及輸出來自複數個信號處理電路之影像信號；以及

固定電位線路，其係彼此平行且各自位在排列之複數個信號處理電路之二信號處理電路間。

- 15 2. 如申請專利範圍第1項之CMOS影像感測器，其中該固定電位線路經常係形成於同一佈線層，於該佈線層中於複數信號處理電路用以傳輸影像信號之信號傳輸線路係形成於該佈線層。

- 20 3. 如申請專利範圍第1項之CMOS影像感測器，其中若於複數信號處理電路之各電路之信號傳輸線路係於同一佈線層排列成彼此平行，則該固定電位線路也係位於信號傳輸線路中之任二線路間。

4. 如申請專利範圍第1項之CMOS影像感測器，其中該固定電位線路被設定為GND電位。

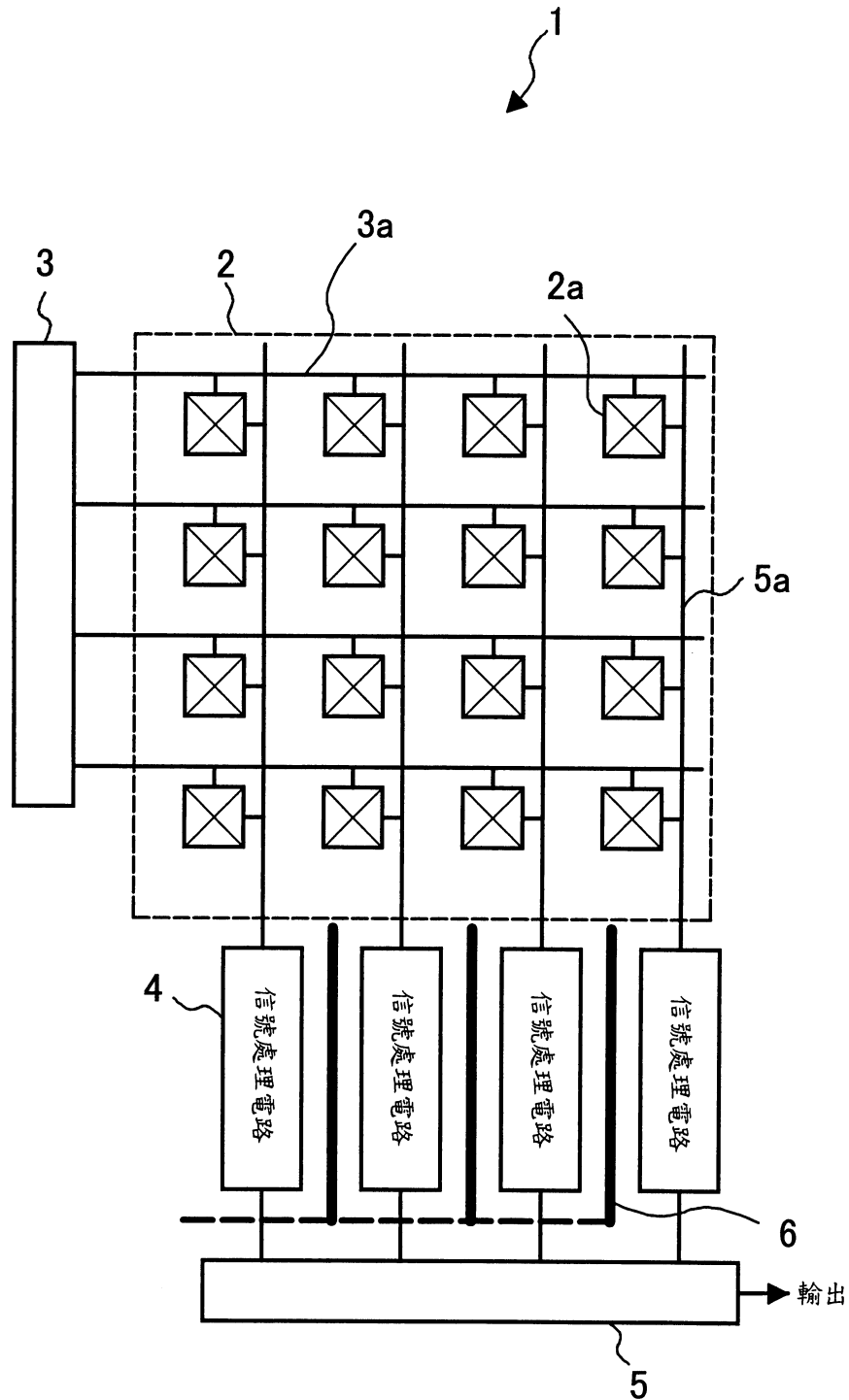
拾、申請專利範圍

5. 如申請專利範圍第1項之CMOS影像感測器，其中若進一步定位一遮光用線路，該遮光用線路有個開口只位在一區，於該區設置複數個像素電路用以防止入射光撞擊該區以外部分，則該固定電位線路係連結至該遮光用線路。
6. 如申請專利範圍第5項之CMOS影像感測器，其中該遮光用線路係設定為GND電位。
7. 如申請專利範圍第1項之CMOS影像感測器，其中若供給共通電源供應電壓，而該電壓係由複數像素電路之各電路以及水平掃描電路所共享，則該固定電位線路係設定於共通電源供應電壓。
8. 如申請專利範圍第1項之CMOS影像感測器，其中該固定電位線路係透過位於半導體晶片之一線路襯墊部分隔離形成之獨立電壓供應線路而被供給電壓。
9. 如申請專利範圍第1項之CMOS影像感測器，其中該固定電位線路係由位在半導體晶片外側之獨立電壓源供給電壓。
10. 如申請專利範圍第1項之CMOS影像感測器，其中該複數信號處理電路各自包括交互關聯之雙重抽樣電路。
11. 如申請專利範圍第10項之CMOS影像感測器，其中若各個交互關聯之雙重抽樣電路包括一電容元件，該電容元件係用以由連結至交互關聯之雙重抽樣電路之複數像素電路各自抽樣影像信號，則該固定電位線路係平行於連結至電容元件兩端之信號傳輸線路。

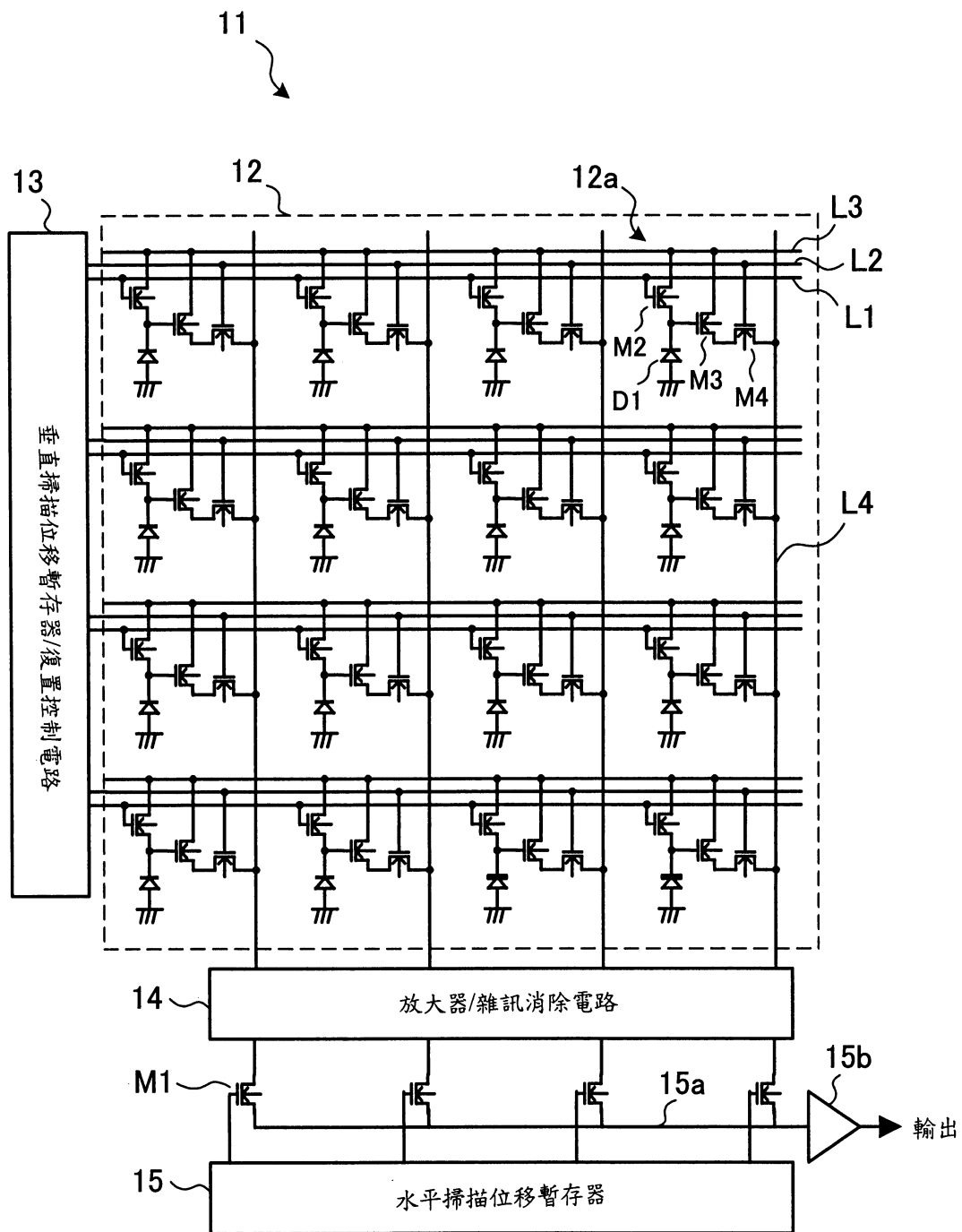
拾、申請專利範圍

12. 如申請專利範圍第10項之CMOS影像感測器，其中若交互關聯之雙重抽樣電路被供給專用參考電壓，則該固定電位線路係被設定於該參考電壓。

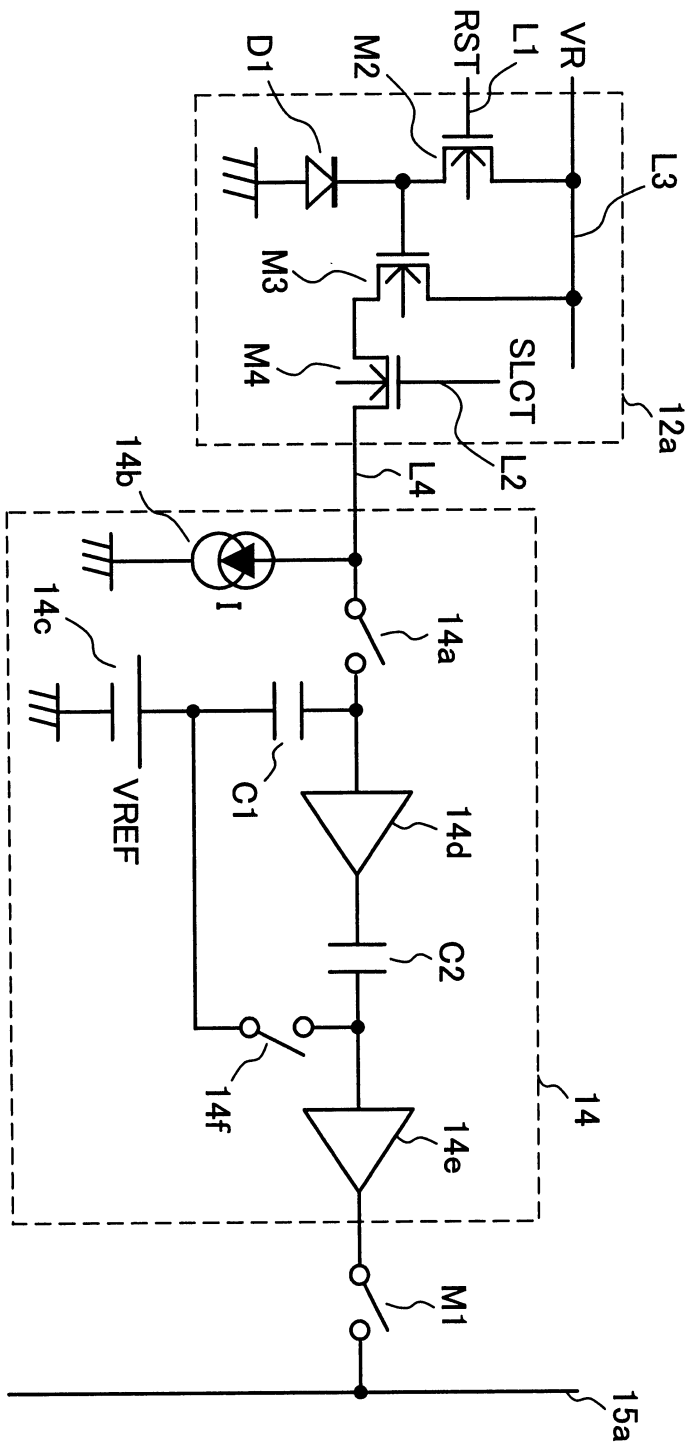
91135083



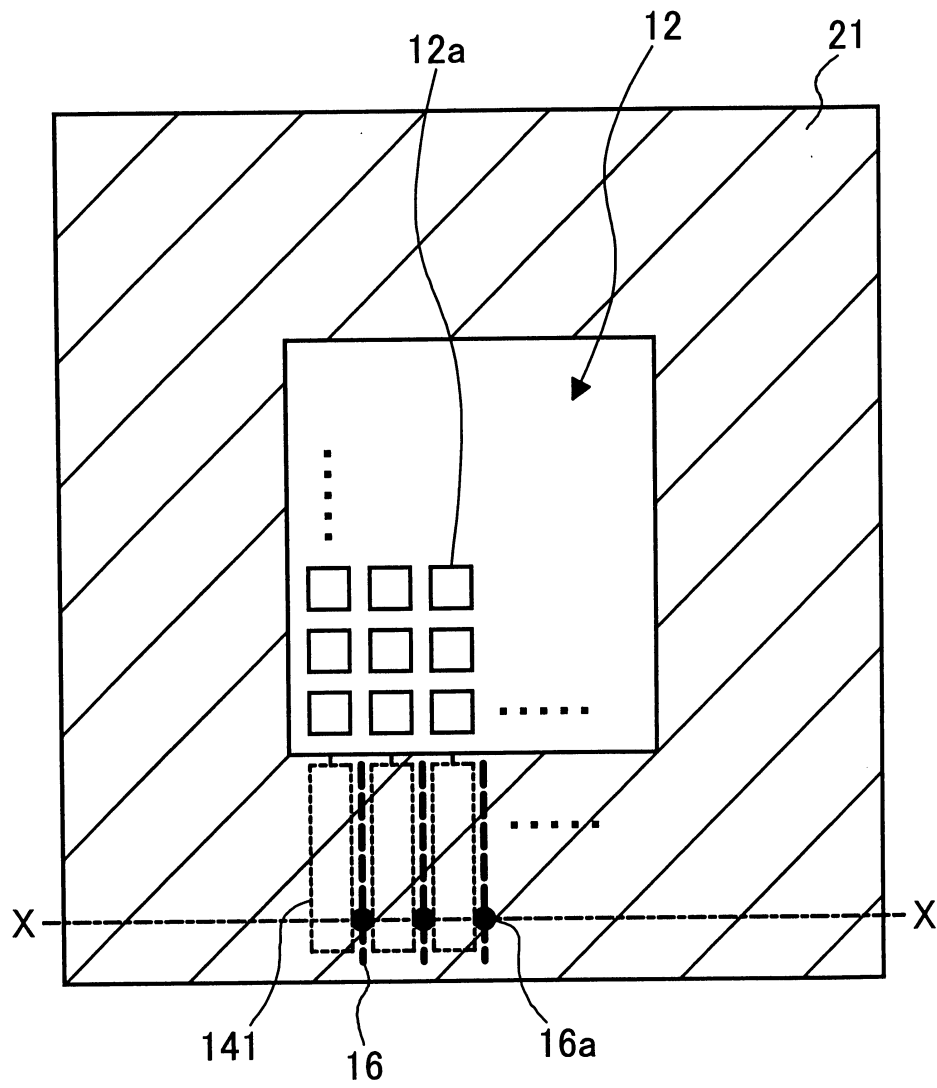
第 1 圖



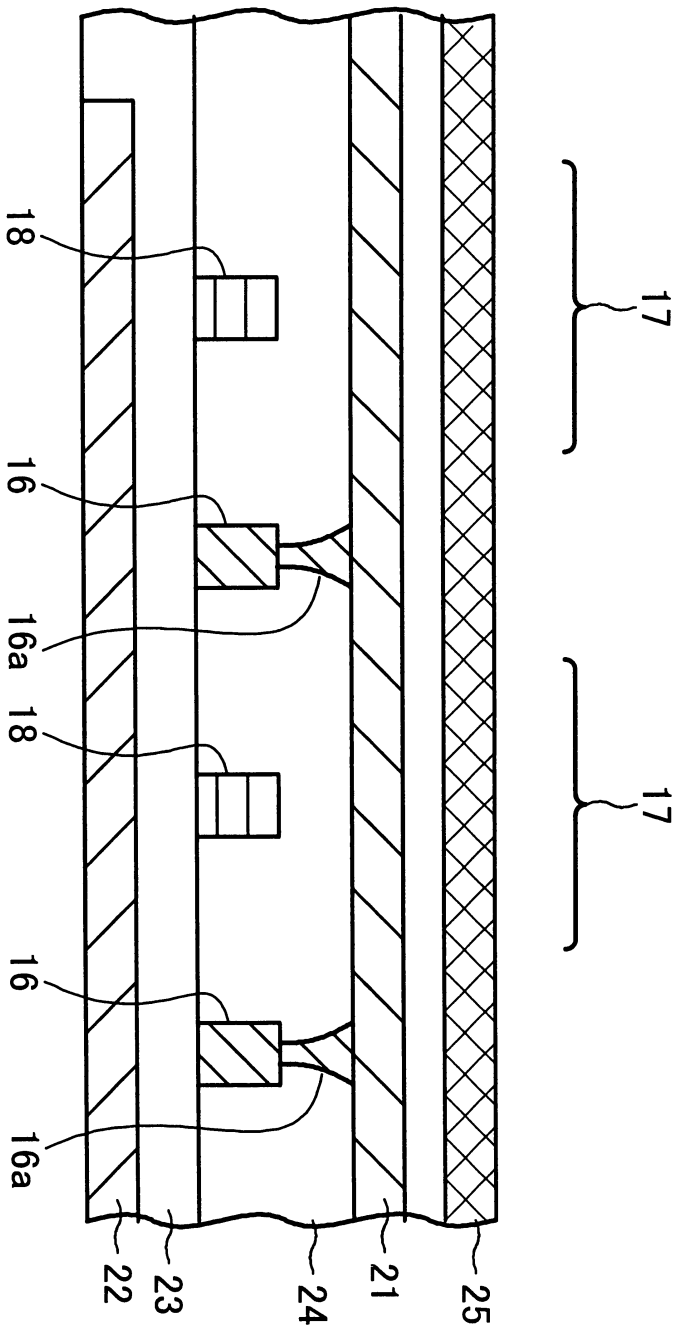
第 2 圖



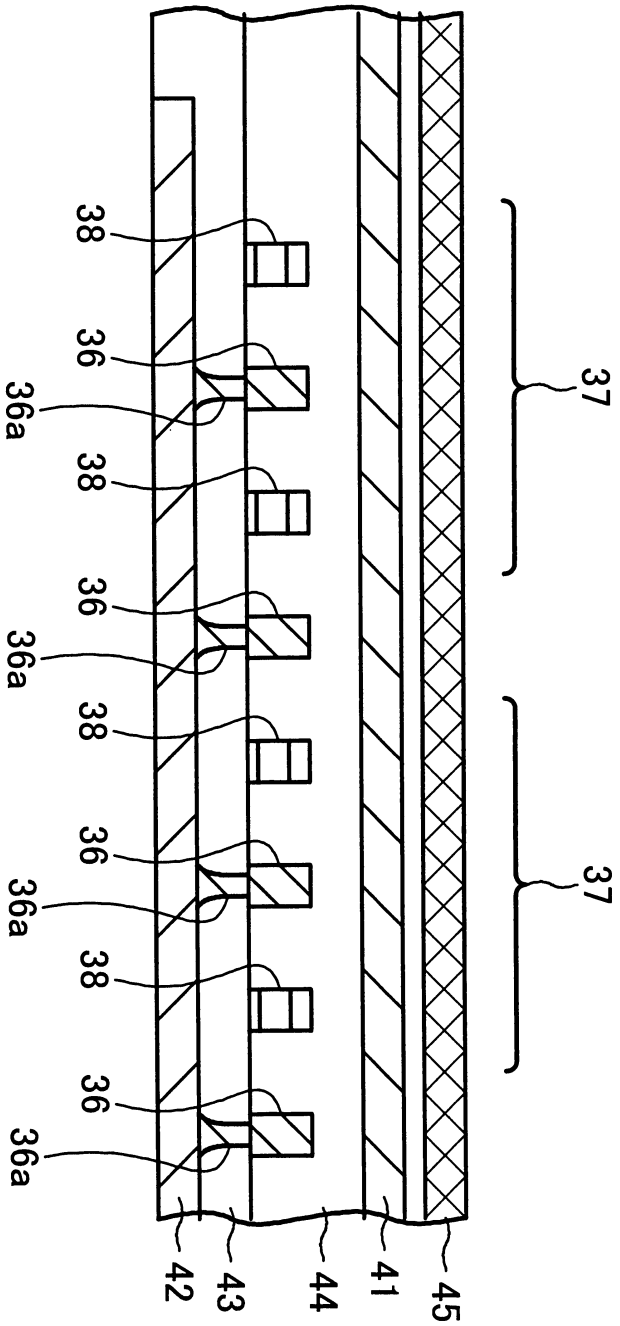
第 3 圖



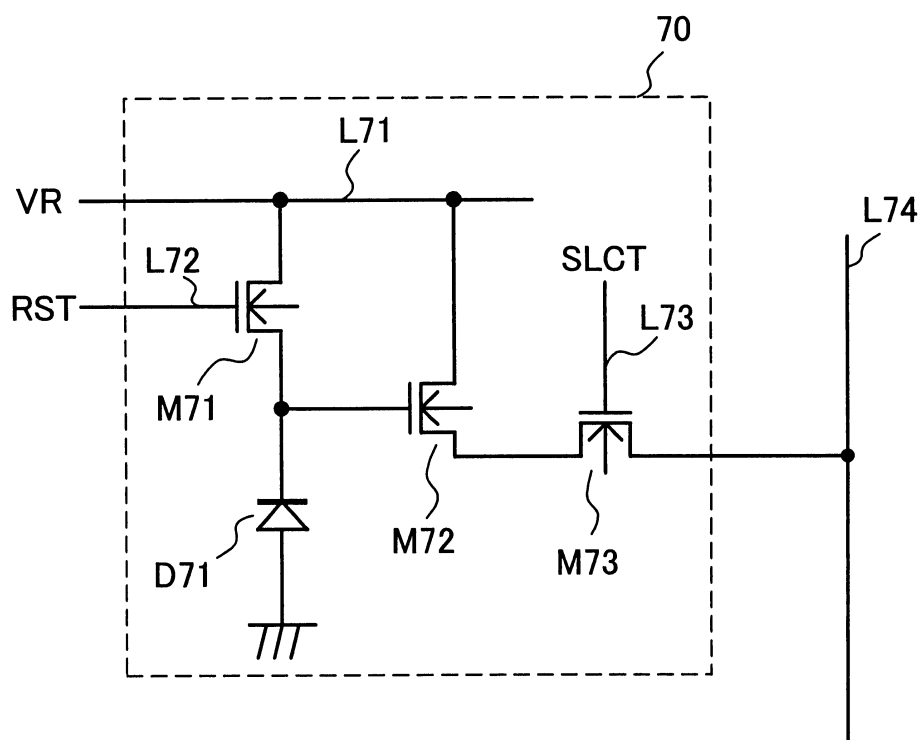
第 4 圖



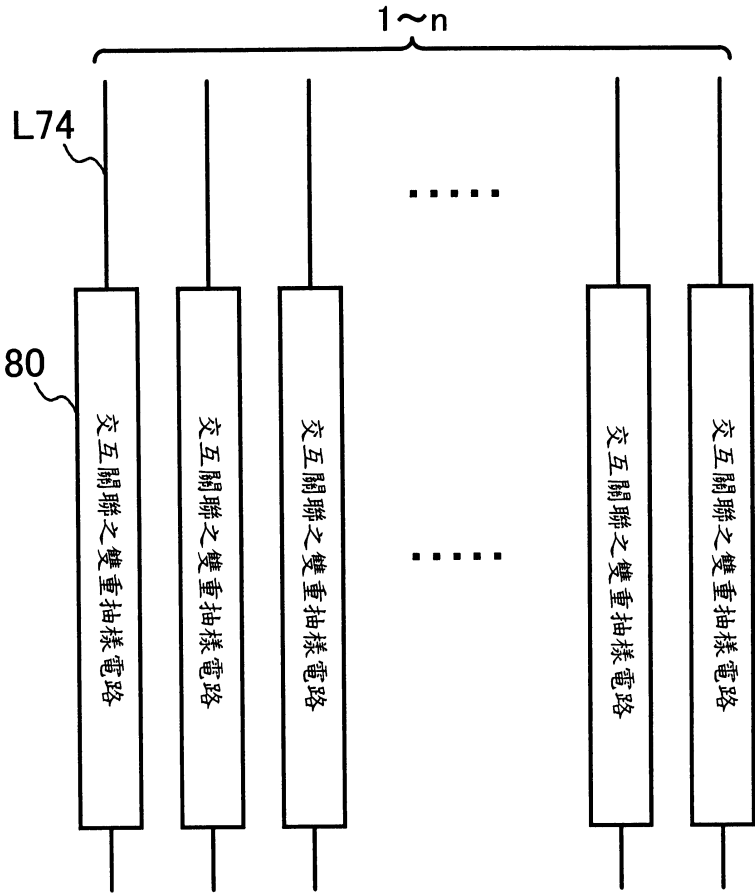
第 5 圖



第 6 圖



第 7 圖



第 8 圖